

HT series

HT9070

ユーザーズマニュアル

目次

1	<u>はじめに</u>	1
2	<u>注意事項</u>	2
2.1	安全に関する注意事項.....	2
2.2	取り扱い上の注意事項.....	2
3	<u>ハードウェア機能</u>	3
3.1	ブロック図.....	3
3.2	コネクタ.....	4
3.2.1	コネクタピン配列.....	4
3.2.2	CN1 信号機能.....	6
3.2.3	CN2 信号機能.....	6
3.2.4	CN3 信号機能.....	7
3.2.5	CN4/CN5 信号機能.....	7
3.2.6	CN6 信号機能.....	8
3.3	ジャンパ.....	8
3.3.1	JP1 ~ 4.....	8
3.3.2	JP5 ~ 9.....	9
3.3.3	JP10.....	9
3.4	アドレスデコーダ.....	10
3.5	ウェイト発生回路.....	10
4	<u>使用方法</u>	11
4.1	電源.....	11
4.2	I/O アドレス配分の設計とジャンパ設定.....	11
4.3	スタッキング.....	11
4.4	設定例.....	12
4.4.1	HT2050 を 5 枚、HT2060 を 5 枚使用する場合.....	12
4.4.2	HT2010 を 5 枚、HT2020 を 5 枚使用する場合.....	13
4.4.3	HT3010 を 4 枚使用する場合.....	13
5	<u>仕様</u>	15
6	<u>外形寸法図</u>	16
7	<u>回路図</u>	17

表目次	
表 3-1 CN1 信号配列.....	4
表 3-2 CN2 信号配列.....	4
表 3-3 CN3 信号配列.....	4
表 3-4 CN4 信号配列.....	5
表 3-5 CN5 信号配列.....	5
表 3-6 CN6 信号配列.....	6
表 3-7 CN1 信号機能.....	6
表 3-8 CN2 信号機能.....	7
表 3-9 CN4/CN5 信号機能.....	7
表 3-10 CN6 信号機能.....	8
表 3-11 JP1～4 の設定とバッファアドレス範囲.....	8
表 3-12 JP5～9 の設定と IRQ 番号.....	9
表 3-13 JP10 設定.....	9
表 3-14 JP1～4 の設定とバッファアドレス範囲(JP10 が 2-3 設定の場合).....	10
表 3-15 PLD で IOCHRDY 作成に使用可能な制御信号.....	10
表 4-1 H2050/HT2060 のアドレス設定例.....	12
表 4-2 HT2010/HT2020 アドレス・割り込み設定例.....	13
表 4-3 HT3010 アドレス・割り込み設定例.....	13
表 5-1 HT9070 仕様.....	15

図目次	
図 3-1 HT9070 ブロック図.....	3
図 3-2 CN3 信号配置.....	7
図 4-1 CPU モジュールや I/O モジュールの搭載例.....	12
図 6-1 外形寸法図.....	16
図 7-1 HT9070 回路図.....	17

1 はじめに

このたびは HT9070 をお求めいただき、ありがとうございます。
HT9070 は PC/104 バスのバッファ機能をもち、弊社 HT1010 や HT1030、HT1070 などの CPU モジュールに 10 枚までの I/O モジュールを接続することができます。

本ボードは標準 C-MOS ロジック IC と PLD を使用したシンプルな回路で構成され、拡張バスのアドレスをデコードしデータバスバッファのコントロールをしています。また、基板の空きスペースはユニバーサルエリアとしました。

本マニュアルは、HT9070 の仕様や使用方法について書かれたものです。HT9070 の機能を最大限引き出すために、ご活用いただければ幸いです。

2 注意事項

2.1 安全に関する注意事項

HT9070 を安全にご使用いただくために、特に以下の点にご注意くださいますようお願いいたします。



本製品には一般電子機器用（OA 機器・通信機器・計測機器・工作機械等）に製造された半導体部品を使用しておりますので、その誤作動や故障が直接生命を脅かしたり、身体・財産等に危害を及ぼす恐れのある装置（医療機器・交通機器・燃焼制御・安全装置等）に組み込んで使用しないでください。

また、半導体部品を使用した製品は、外来ノイズやサージにより誤作動したり故障したりする可能性がありますので、ご使用になる場合は万一誤作動、故障した場合においても生命・身体・財産等が侵害されることのないよう、装置としての安全設計（リミットスイッチやヒューズ・ブレーカ等の保護回路の設置、装置の多重化等）に万全を期されますようお願い申し上げます。

2.2 取り扱い上の注意事項

HT9070 や他のボードに恒久的なダメージをあたえないよう、取り扱い時には以下のような点にご注意ください。

- 電源の投入
HT9070 や他のボードに電源がはいっている状態では絶対に本ボードの着脱を行わないでください。
- 静電気
HT9070 には CMOS デバイスを使用しておりますので、ご使用になるまでは帯電防止対策のされている、出荷時のパッケージ等にて保管してください。
- ラッチアップ
電源および入出力からの過大なノイズやサージ、電源電圧の急激な変動等で使用している CMOS デバイスがラッチアップを起こす可能性があります。いったんラッチアップ状態となると、電源を切断しないかぎりこの状態が維持されるため、デバイスの破損につながる可能性があります。ノイズの影響を受けやすい入出力ラインには保護回路を入れることや、ノイズ源となる装置と共通の電源を使用しない等の対策をとることをお勧めします。
- スタッキング時のスペーサ
PC/104 モジュールの積み重ねに 15mm のスペーサを使用する場合、段数が多くなると基板にストレスを与えることがあります。0.5～0.8mm 厚のワッシャ等を挟むか、15.5～16mm のスペーサをご使用ください。

3 ハードウェア機能

この章では、HT9070 のハードウェアに関連する事項について説明します。

3.1 ブロック図

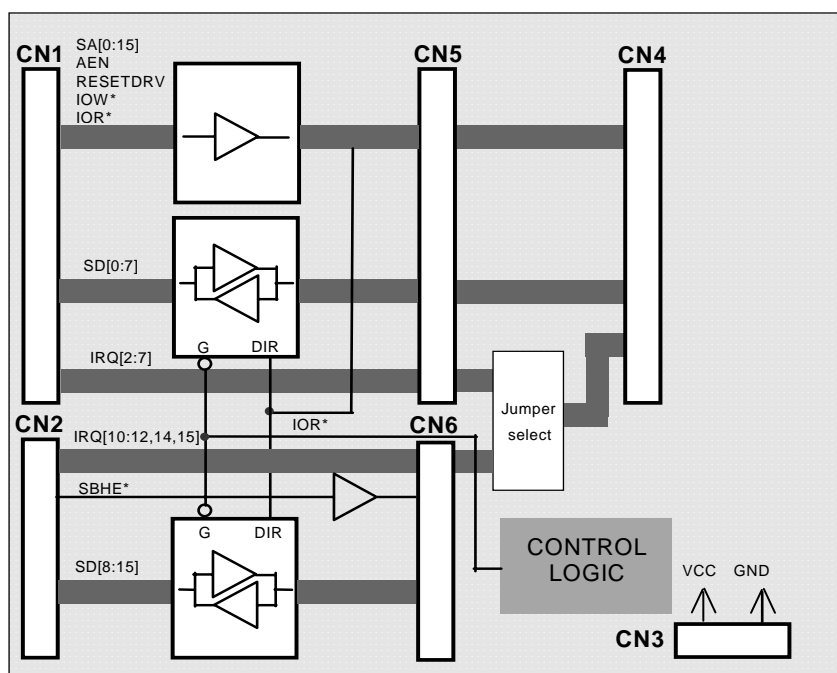


図 3-1 HT9070 ブロック図

CPU モジュールは CN1/2 にスタッキング接続します。バッファリングされた I/O バスは CN4(5)/6 に接続されており、CN4 と CN5 は IRQ の信号を除いて並列に接続されています。データバスバッファは PLD によりアドレスデコードして制御されており、データバスバッファが有効となるアドレス範囲を JP1~4 で設定します。

3.2 コネクタ

3.2.1 コネクタピン配列

表 3-1から表 3-6に CN1~CN6 コネクタの信号配列を示します。表中*のついた信号名は負論理であることを示します。-印の端子は HT9070 において未使用ですが、参考のため該当する PC/104 バスの機能を括弧内に示しています。

表 3-1 CN1 信号配列

A1	IOCHCHK*	B1	GND
A2	SD7	B2	RESETDRV
A3	SD6	B3	+5V
A4	SD5	B4	IRQ2
A5	SD4	B5	- (-5V)
A6	SD3	B6	- (DRQ2)
A7	SD2	B7	- (-12V)
A8	SD1	B8	- (SRDY)
A9	SD0	B9	+12V
A10	IOCHRDY	B10	GND
A11	AEN	B11	- (SMEMW*)
A12	- (SA19)	B12	- (SMEMR*)
A13	- (SA18)	B13	IOW*
A14	- (SA17)	B14	IOR*
A15	- (SA16)	B15	- (DACK3*)
A16	SA15	B16	- (DRQ3)
A17	SA14	B17	- (DACK1*)
A18	SA13	B18	- (DRQ1)
A19	SA12	B19	- (REFRESH*)
A20	SA11	B20	SYSCLK
A21	SA10	B21	IRQ7
A22	SA9	B22	IRQ6
A23	SA8	B23	IRQ5
A24	SA7	B24	IRQ4
A25	SA6	B25	IRQ3
A26	SA5	B26	- (DACK2*)
A27	SA4	B27	- (TC)
A28	SA3	B28	- (BALE)
A29	SA2	B29	+5V
A30	SA1	B30	- (OSC)
A31	SA0	B31	GND
A32	GND	B32	GND

表 3-2 CN2 信号配列

C0	GND	D0	GND
C1	SBHE*	D1	- (MEMCS16*)
C2	- (LA23)	D2	IOCS16*
C3	- (LA22)	D3	IRQ10
C4	- (LA21)	D4	IRQ11
C5	- (LA20)	D5	IRQ12
C6	- (LA19)	D6	IRQ15
C7	- (LA18)	D7	IRQ14
C8	- (LA17)	D8	- (DACK0*)
C9	- (MEMR*)	D9	- (DRQ0)
C10	- (MEMW*)	D10	- (DACK5*)
C11	SD8	D11	- (DRQ5)
C12	SD9	D12	- (DACK6*)
C13	SD10	D13	- (DRQ6)
C14	SD11	D14	- (DACK7*)
C15	SD12	D15	- (DRQ7)
C16	SD13	D16	+5V
C17	SD14	D17	- (MASTER*)
C18	SD15	D18	GND
C19	-	D19	GND

表 3-3 CN3 信号配列

1	+5V
2	GND
3	GND
4	+12V

表 3-4 CN4 信号配列

A1	IOCHCHK*	B1	GND
A2	ED7	B2	ERESETDRV
A3	ED6	B3	+5V
A4	ED5	B4	IRQ2
A5	ED4	B5	- (-5V)
A6	ED3	B6	- (DRQ2)
A7	ED2	B7	- (-12V)
A8	ED1	B8	- (SRDY)
A9	ED0	B9	+12V
A10	IOCHRDY	B10	GND
A11	EAEN	B11	- (SMEMW*)
A12	- (SA19)	B12	- (SMEMR*)
A13	- (SA18)	B13	EIOW*
A14	- (SA17)	B14	EIOR*
A15	- (SA16)	B15	- (DACK3*)
A16	EA15	B16	- (DRQ3)
A17	EA14	B17	- (DACK1*)
A18	EA13	B18	- (DRQ1)
A19	EA12	B19	- (REFRESH*)
A20	EA11	B20	ESYSCLK
A21	EA10	B21	IRQ7/IRQ15
A22	EA9	B22	IRQ6/IRQ14
A23	EA8	B23	IRQ5/IRQ12
A24	EA7	B24	IRQ4/IRQ11
A25	EA6	B25	IRQ3/IRQ10
A26	EA5	B26	- (DACK2*)
A27	EA4	B27	- (TC)
A28	EA3	B28	- (BALE)
A29	EA2	B29	+5V
A30	EA1	B30	- (OSC)
A31	EA0	B31	GND
A32	GND	B32	GND

表 3-5 CN5 信号配列

A1	IOCHCHK*	B1	GND
A2	ED7	B2	ERESETDRV
A3	ED6	B3	+5V
A4	ED5	B4	IRQ2
A5	ED4	B5	- (-5V)
A6	ED3	B6	- (DRQ2)
A7	ED2	B7	- (-12V)
A8	ED1	B8	- (SRDY)
A9	ED0	B9	+12V
A10	IOCHRDY	B10	GND
A11	EAEN	B11	- (SMEMW*)
A12	- (SA19)	B12	- (SMEMR*)
A13	- (SA18)	B13	EIOW*
A14	- (SA17)	B14	EIOR*
A15	- (SA16)	B15	- (DACK3*)
A16	EA15	B16	- (DRQ3)
A17	EA14	B17	- (DACK1*)
A18	EA13	B18	- (DRQ1)
A19	EA12	B19	- (REFRESH*)
A20	EA11	B20	ESYSCLK
A21	EA10	B21	IRQ7
A22	EA9	B22	IRQ6
A23	EA8	B23	IRQ5
A24	EA7	B24	IRQ4
A25	EA6	B25	IRQ3
A26	EA5	B26	- (DACK2*)
A27	EA4	B27	- (TC)
A28	EA3	B28	- (BALE)
A29	EA2	B29	+5V
A30	EA1	B30	- (OSC)
A31	EA0	B31	GND
A32	GND	B32	GND

表 3-6 CN6 信号配列

C0	GND	D0	GND	C10	-(MEMW*)	D10	-(DACK5*)
C1	ESBHE*	D1	-(MEMCS16*)	C11	ED8	D11	-(DRQ5)
C2	-(LA23)	D2	IOCS16*	C12	ED9	D12	-(DACK6*)
C3	-(LA22)	D3	IRQ10	C13	ED10	D13	-(DRQ6)
C4	-(LA21)	D4	IRQ11	C14	ED11	D14	-(DACK7*)
C5	-(LA20)	D5	IRQ12	C15	ED12	D15	-(DRQ7)
C6	-(LA19)	D6	IRQ15	C16	ED13	D16	+5V
C7	-(LA18)	D7	IRQ14	C17	ED14	D17	-(MASTER*)
C8	-(LA17)	D8	-(DACK0*)	C18	ED15	D18	GND
C9	-(MEMR*)	D9	-(DRQ0)	C19	-	D19	GND

3.2.2 CN1 信号機能

CN1 は CPU モジュールのスタック接続に使用します。HT9070 は I/O バスのバッファを目的としているため、メモリアクセスに関連する信号や DMA に関連する信号は CN1 に配線されていませんのでご注意ください。また、電源は+5V と+12V のみ配線されており、-5V、-12V は配線されていません。

表 3-7 CN1 信号機能

信号名	機能
SYSCLK	CPU モジュールからのシステムクロック入力です。HCT541 でバッファされ CN4/CN5 に供給されています。
SA[15:0]	アドレス入力です。HCT541 でバッファされ、CN4/CN5 の ESA[15:0]に出力されます。
SD[7:0]	データ入出力バスです。HCT245 でバッファされ、CN4/CN5 の ESD[7:0]に接続されます。バッファのアクティブとなるアドレス範囲は JP1 ~ 4 で設定します。
IOR* IOW* AEN RESET	これらの信号は CPU モジュールから出力される制御信号です。HCT541 でバッファされ CN4/CN5 に供給されています。
/IOCHCHK	この信号は CN4/CN5 にそのまま接続されています。
IOCHRDY	CPU モジュールに対するウェイト信号出力です。CN4/CN5 からそのまま接続されているほか、ボード上にオプションで搭載可能な GAL16V8 相当の PLD を使ってこの信号を作成し、供給することも可能です。
IRQ[2:7]	CPU モジュールへの割り込み出力です。CN5 からそのまま接続されています。CN4 からは JP5 ~ 9 を通して CN6 からの割り込み出力と切替可能です。



CN1、CN2 を使用して搭載した CPU モジュール上にも他の I/O モジュールを積み重ねて拡張することができます。積み重ねることができる I/O モジュール枚数は、CPU モジュールのバスドライブ能力に依存します。

3.2.3 CN2 信号機能

CN2 は CPU モジュールのスタック接続に使用します。8 ビットバス PC/104 モジュールでは接続されません。HT9070 は I/O バスのバッファを目的としているため、メモリアクセスに関連する信号や、DMA に関連する信号は CN2 に配線されていませんのでご注意ください。

表 3-8 CN2 信号機能

信号名	機能
SBHE*	CPU モジュールからの SBHE 入力です。HCT541 でバッファされ CN6 に供給されています。
SD[15:8]	データ入出力バスです。HCT245 でバッファされ、CN6 の ESD[15:8]に接続されます。バッファのアクティブとなるアドレス範囲は JP1 ~ 4 で設定します。
IOCS16*	この信号は CN6 にそのまま接続されています。
IRQ[10:12] IRQ[14:15]	CPU モジュールへの割り込み出力です。CN5 からそのまま接続されています。CN6 からの IRQ[10:12,14,15]あるいは CN4 からの IRQ[3:7]を JP5 ~ 9 を通して切り替えて接続可能です。

3.2.4 CN3 信号機能

CN3 に部品は実装されていませんが、2.5 または 2.54mm ピッチの 4 極コネクタで HT9070 および搭載する CPU や I/O モジュールに電源を供給することができます。信号配置はシルク表示がありませんので図 3-2 をご参照ください。

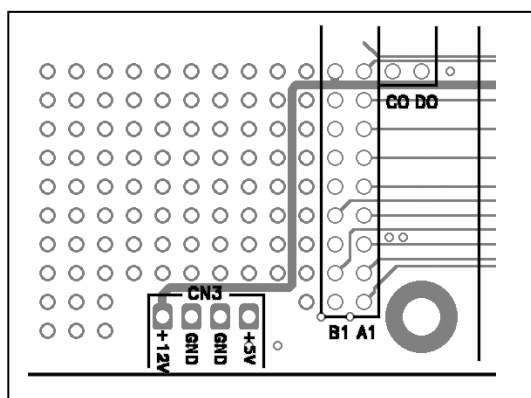


図 3-2 CN3 信号配置

3.2.5 CN4/CN5 信号機能

CN4/CN5 は I/O モジュールのスタック接続に使用します。メモリアクセスに関連する信号や、DMA に関連する信号は CN4 には配線されていないのでご注意ください。また、電源は +5V と +12V のみ配線されており、-5V、-12V は配線されていません。

表 3-9 CN4/CN5 信号機能

信号名	機能
ESA[15:0]	アドレス出力です。CN1 の SA[15:0]信号が HCT541 でバッファされています。
ESD[7:0]	データ入出力バスです。CN1 の SD[7:0]が HCT245 でバッファされています。バッファのアクティブとなるアドレス範囲は JP1 ~ 4 で設定します。
EIOR* ELOW* EAEN ERESET ESYCLK	これらの信号は CN1 に接続された CPU モジュールから I/O モジュールへ出力される制御信号です。HCT541 でバッファされています。
IOCHCHK*	この信号は CN1 からそのまま接続されています。
IOCHRDY	CPU モジュールに対するウェイト信号入力です。CN1 へそのまま接続されています。
IRQ[2:7]	CPU モジュールへの割り込み信号です。IRQ2 は CN1 へそのまま接続されています。CN4 の IRQ[3:7]は JP5 ~ 9 を通して CN1 へ接続されており、CN6 からの割り込み出力と CN4 からの割り込み出力を切替できます。CN5 の IRQ[3:7]は CN1 にそのまま接続されています。



CN4 は CN6 とともにスタックスルーソケットで 8 ビットおよび 16 ビット PC/104 モジュールを搭載することができます。CN5 はピンヘッダとなっており、8 ビット PC/104 モジュールを裏向きに搭載することができます。

CN4、CN5 を使用して接続する I/O モジュールは合計 10 枚まででご使用ください。

3.2.6 CN6 信号機能

CN6 は 16 ビットバス PC/104 準拠の I/O モジュールスタック接続に使用します。8 ビットバス PC/104 モジュールでは使用されません。HT9070 は I/O バスのバッファを目的としているため、メモリアクセスに関連する信号や、DMA に関連する信号は CN6 に配線されていませんのでご注意ください。

表 3-10 CN6 信号機能

信号名	機能
ESBHE*	I/O モジュールへの SBHE 出力です。CN2 の SBHE が HCT541 でバッファされています。
ESD[15:8]	データ入出力バスです。CN2 の SD[15:8]が HCT245 でバッファされています。バッファのアクティブとなるアドレス範囲は JP1~4 で設定します。
IOCS16*	この信号は CN2 にそのまま接続されています。
IRQ[10:12] IRQ[14:15]	CPU モジュールへの割り込み出力です。CN2 へそのまま接続されています。

3.3 ジャンパ

HT9070 には JP1~10 までのジャンパが用意されています。ここでは機能別にジャンパの設定について説明します。

3.3.1 JP1~4

HT9070 にはデータバスバッファ機能がありますが、CPU モジュール内および CPU モジュール上にスタッキングして増設する I/O と干渉しないよう、CN4/CN5/CN6 を通して増設する I/O のアクセス時のみデータバスバッファをアクティブとする必要があります。HT9070 ではアドレスバス SA[9:7]信号を利用してデータバスバッファのアクティブとなるアドレス範囲を決定しており、JP1~4 はこの設定に使用します。

表 3-11 JP1~4 の設定とバッファアドレス範囲

ジャンパ	アドレス範囲	1-2	2-3
JP1	100H~17FH	無効	有効(出荷時設定)
JP2	180H~1FFH	無効	有効(出荷時設定)
JP3	200H~2FFH	無効(出荷時設定)	有効
JP4	300H~37FH	無効(出荷時設定)	有効



JP1~4 の設定は任意の組み合わせが可能です。CPU モジュール内蔵の I/O アドレスや CPU モジュールにスタッキングする I/O モジュールの占有アドレスと重複しないよう設定してください。SA[15:10]はデコードされていないため、表に示したアドレス範囲のイメージが 400H おきに発生します。たとえば JP1 を 2-3 に設定した場合、100H~17FH のほか 500H~57FH、900H~97FH、D00H~D7FH...といったアドレス範

囲でもバッファが有効となります。また、この設定にかかわらず A300H～A3FFH のアドレス範囲では常に HT9070 のデータバスバッファが有効になりますのでご注意ください。

JP10 が 2-3 設定の場合のバッファアドレス範囲は、表 3-14 をご参照ください。

3.3.2 JP5～9

CPU モジュールが PC/AT 互換などの場合、8 ビットバスモジュールの IRQ はシリアルポートや FDC など全て占有されてしまうことが多いため、その他の 8 ビットバス I/O モジュールが接続可能な割り込みが空いていないことがあります。

このようなとき JP5～9 を使用して、CN4 に出力される I/O モジュールの割り込み信号 IRQ[3:7] を、CPU モジュールの IRQ[10:15] に切り替えて接続することができます。表 3-12 にこのジャンパの設定で切り替わる IRQ 番号を示します。出荷時これらのジャンパは 1-2 に設定されています。

表 3-12 JP5～9 の設定と IRQ 番号

ジャンパ	CN4 IRQ 入力	1-2	2-3
JP5	IRQ3	IRQ3(CN1)	IRQ10(CN2)
JP6	IRQ4	IRQ4(CN1)	IRQ11(CN2)
JP7	IRQ5	IRQ5(CN1)	IRQ12(CN2)
JP8	IRQ6	IRQ6(CN1)	IRQ14(CN2)
JP9	IRQ7	IRQ7(CN1)	IRQ15(CN2)



この機能は CPU モジュールが 16 ビットバスの場合に有効です。HT9070 を通じて接続する I/O モジュールで 16 ビットバスのものと 8 ビットバスのものが混在する場合は、割り込みが競合しないよう設定にご確認ください。

3.3.3 JP10

I/O モジュールによっては設定可能な占有 I/O アドレスが限定されているものがあり、複数枚のモジュールを接続する場合に制約となることがあります。例えば弊社 HT3010 を増設シリアルポートとして使用する場合、設定用の I/O アドレスが 3F0H または 370H しか選択できないため、増設は 2 枚までに限定されてしまいます。HT9070 では JP10 によってアドレス SA8 を反転する機能がありますので、例えば CPU モジュール上に HT3010 を 2 枚、HT9070 を通じてさらに 2 枚、計 4 枚接続することができます。

JP10 の設定で ESA8 に接続される信号は表 3-13 をご参照ください。

表 3-13 JP10 設定

JP10	ESA8 出力
1-2	SA8(出荷時設定)
2-3	/SA8

なお、JP10 を 2-3 に設定した場合、HT9070 でバッファされる I/O アドレス範囲は(CPU ボードからみて)下表のようになります。このほか、ジャンパ設定にかかわらず A200H～A2FFH の I/O アドレス範囲でも HT9070 のデータバスバッファが有効となります。(A200H～A2FFH のアドレス範囲は HT3010 を初期設定するために使用されます。)

表 3-14 JP1～4 の設定とバッファアドレス範囲(JP10 が 2-3 設定の場合)

ジャンパ	アドレス範囲	1-2	2-3
JP1	000H～07FH	無効	有効(出荷時設定)
JP2	080H～0FFH	無効	有効(出荷時設定)
JP3	300H～3FFH	無効(出荷時設定)	有効
JP4	200H～27FH	無効(出荷時設定)	有効



JP10 を 2-3 設定で使用する場合、HT9070 を通して接続される I/O モジュールのアドレスが、CPU モジュールからみたアドレスと異なることにご注意ください。たとえばジャンパ設定などでアドレス占有範囲を 100H～108H に設定した I/O モジュールは、CPU モジュールからみて 300H～308H に存在することになります。

なお A[15:10]はデコードされていないため、表に示したアドレス範囲のイメージが 400H おきに発生します。たとえば JP1 を 2-3 に設定した場合、000H～07FH のほか 400H～47FH、800H～87FH、C00H～C7FH・・・といったアドレス範囲でもバッファが有効となります。

3.4 アドレスデコーダ

CN4/CN6 を通して接続する(バッファが動作する)I/O アドレス範囲は JP1～4 で設定しますが、このジャンパは PLD GAL16V8 に接続されており、次の論理式でバッファのイネーブルを制御しています。

$$\begin{aligned}
 /YL=/YH &= /A9^* A8^*/A7^*/AEN^*/JP1 \\
 &+ /A9^* A8^* A7^*/AEN^*/JP2 \\
 &+ A9^*/A8^* /AEN^*/JP3 \\
 &+ A9^* A8^*/A7^*/AEN^*/JP4 \\
 &+ A15^*/A14^* A13^*/A12^*/A11^*/A10^* A9^* A8^*/AEN
 \end{aligned}$$

この PLD はソケットに搭載されていますので、必要に応じて書き換えて使用することができます。PLD にはこのほか SBHE*や A0 も配線されています。

3.5 ウェイト発生回路

U7 のスペースには 20 ピン PLD(GAL16V8 相当品他)が搭載可能です。U7 には表 3-15 に示す信号が配線されていますので、これらの信号を入力として IOCHRDY を発生させることができます。

表 3-15 PLD で IOCHRDY 作成に使用可能な制御信号

信号名	機能
SYSCLK	バッファを通ったシステムクロック
/IOR	バッファを通った/IOR
/IOW	バッファを通った/IOW
/ENBL	データバスバッファのイネーブル信号(D0～D7)
/ENBH	データバスバッファのイネーブル信号(D8～D15)

4 使用方法

4.1 電源

HT9070 の電源電圧は 5V です。HT9070 の CN3 を通して HT9070 上に搭載するモジュールへ電源供給することができます。

CPU モジュールや I/O モジュールが 5 V 以外の電源を必要とする場合は、それらに合わせた電源供給が必要となります。CN3 からは+5V および+12V が供給できますが、-12V と-5V は CN2/CN4/CN5 に配線されていませんのでご注意ください。

4.2 I/O アドレス配分の設計とジャンパ設定

HT9070 を使用して多くの I/O モジュールを CPU モジュールに接続する場合、まず CN1/CN2 を使用して接続する(バッファを使用しない)CPU モジュールや I/O モジュールと、CN4/CN5/CN6 を使用して接続する(バッファを使用する)I/O モジュールの I/O アドレス配分を決定し、その配分のなかで各 I/O モジュールに割り当てる I/O アドレス範囲を決める必要があります。その際、複数の I/O モジュールが重複したアドレスを占有しないこと、および HT9070 の JP1 ~ 4 で設定されたバッファの有効となるアドレス範囲を使用するモジュールが、CN1/2 側に存在しないことを確認してください。

例えば JP1 ~ 4 が出荷時設定の場合、HT9070 でバッファされる I/O モジュールのアドレス範囲は 100H ~ 1FFH となりますので、CN1/CN2 を使用して接続する CPU モジュールや I/O モジュールはこのアドレス範囲を使用できません。

4.3 スタッキング

モジュールをスタッキングする場合、モジュール間は通常スタッドで固定しますが、積み重ね段数が多くなると各部品の寸法精度によってはスタッドや基板に機械的ストレスがかかり、基板の損傷につながる可能性があります。



4 枚以上のモジュールをスタッキングする場合は、0.5 ~ 0.8mm 厚のワッシャを挟むか 16mm のスタッドを使用することをお勧めいたします。(通常 I/O モジュールに添付されているスタッドは 15mm です。)

CN6 を通して I/O モジュールを接続する場合は、HT9070 から I/O モジュールが大きく飛び出した状態になりますが、この飛び出した部分を支えるスタッドは通常のスタッド 2 個+基板 1 枚分の高さが必要です。HT9070 にはこの高さ調整に使用できる捨て部分が CN6 の外側に用意されていますので、ここを切り離し写真右端のように使用します。

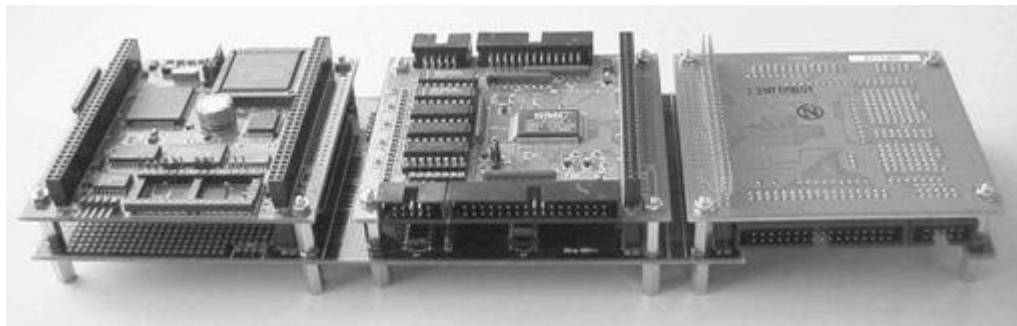


図 4-1 CPU モジュールや I/O モジュールの搭載例

4.4 設定例

4.4.1 HT2050 を 5 枚、HT2060 を 5 枚使用する場合

HT2050 は 40 ビットオプトアイソレート入力モジュール、HT2060 は 40 ビットオプトアイソレート出力モジュールで、ジャンパにより 100 ~ 1FFH までの範囲で 8 バイト単位で占有アドレスを設定することができます。

ここでは HT9070 のバッファアドレス範囲を 100H ~ 17FH にし、HT2050 と HT2060 はこの範囲に重複しないよう占有アドレスを割り当てます。表 4-1 に設定例を示します。

表 4-1 H2050/HT2060 のアドレス設定例

モジュール	アドレス設定	ジャンパ設定
HT2050	100 ~ 107H	JP1[A7:A3]=[00000]
HT2050	108 ~ 10FH	JP1[A7:A3]=[00001]
HT2050	110 ~ 117H	JP1[A7:A3]=[00010]
HT2050	118 ~ 11FH	JP1[A7:A3]=[00011]
HT2050	120 ~ 127H	JP1[A7:A3]=[00100]
HT2060	140 ~ 147H	JP1[A7:A3]=[01000]
HT2060	148 ~ 14FH	JP1[A7:A3]=[01001]
HT2060	150 ~ 157H	JP1[A7:A3]=[01010]
HT2060	158 ~ 15FH	JP1[A7:A3]=[01011]
HT2060	160 ~ 167H	JP1[A7:A3]=[01100]
HT9070	100 ~ 17FH	JP1:2-3 JP2:1-2 JP3:1-2 JP4:1-2

4.4.2 HT2010 を 5 枚、HT2020 を 5 枚使用する場合

HT2010 は 24 ビットオプトアイソレート入力モジュール、HT2020 は 24 ビットオプトアイソレート出力モジュールで、ジャンパにより 100 ~ 13FH までの範囲で 4 バイト単位で占有アドレスを設定することができます。ここでは HT9070 のバッファアドレス範囲を 100H ~ 17FH にし、HT2010 と HT2020 はこの範囲に重複しないよう占有アドレスを割り当てます。また HT2010 は割り込み機能があるためこれを使用することも可能です。表 4-2 に設定例を示します。

表 4-2 HT2010/HT2020 アドレス・割り込み設定例

モジュール	アドレス設定	割り込み	ジャンパ設定
HT2010	100 ~ 103H	IRQ2	JP1[A7:A3]=[00000] JP16=IRQ2
HT2010	104 ~ 107H	IRQ3	JP1[A7:A3]=[00001] JP16=IRQ3
HT2010	108 ~ 10BH	IRQ4	JP1[A7:A3]=[00010] JP16=IRQ4
HT2010	10C ~ 10FH	IRQ5	JP1[A7:A3]=[00011] JP16=IRQ5
HT2010	110 ~ 113H	IRQ7	JP1[A7:A3]=[00100] JP16=IRQ7
HT2020	120 ~ 123H		JP1[A7:A3]=[01000]
HT2020	124 ~ 127H		JP1[A7:A3]=[01001]
HT2020	128 ~ 12BH		JP1[A7:A3]=[01010]
HT2020	12C ~ 12FH		JP1[A7:A3]=[01011]
HT2020	130 ~ 133H		JP1[A7:A3]=[01100]
HT9070	100 ~ 17FH		JP1:2-3 JP2:1-2 JP3:1-2 JP4:1-2 JP5 ~ 9:1-2

4.4.3 HT3010 を 4 枚使用する場合

HT3010 はマルチ I/O(COM×2、LPT、FDC)モジュールで、機能や占有アドレスはコンフィグレーションポートを通してソフトウェアにより設定します。コンフィグレーションポートは JP1 によって 3F0H か 370H かを選択できます。コンフィグレーションポートのアドレスは固定されているため、通常 1 つのシステムには HT3010 は 2 枚までしか接続できませんが、HT9070 ではバッファされたバスの SA8 を反転する回路が用意されていますので、合計 4 枚まで接続することができます。表 4-3 に HT3010 の COM ポート 2 つを有効にし、合計 8 ポート使用する設定例を示します。

表 4-3 HT3010 アドレス・割り込み設定例

モジュール	Configuration ポート	CPU からみた I/O アドレス	接続場所	割り込み	ジャンパ設定
HT3010	3F0H	300 ~ 307H 308 ~ 30FH	CN1/2	IRQ2	JP1:3F0
HT3010	370H	310 ~ 317H 318 ~ 31FH	CN1/2	IRQ3	JP1:370
HT3010	3F0H(2F0H)	200 ~ 207H 208 ~ 20FH	CN4/6	IRQ4	JP1:3F0
HT3010	370H(270H)	210 ~ 217H 218 ~ 21FH	CN4/6	IRQ5	JP1:370
HT9070		200 ~ 27FH			JP1 ~ 3:1-2 JP4:2-3 JP5 ~ 9:1-2 JP10:2-3

バッファされたバス(CN4/6)に接続するHT3010の占有するアドレスは2xxHと
なっていますが、ソフトウェアによるコンフィグレーションを行う場合の設定
値は3xxHとなることに注意してください。

割込みを各チャンネルごとに使用するとIRQが8つ必要となります。8ビット
バスCPUを使用する場合IRQは6本しかありませんので、HT3010のシェア
ードIRQ機能を使い、2つのチャンネルの割り込み出力を1つのIRQに束ねて
使用することができます。この場合、割込みプログラムはどちらのチャンネル
の割り込みがあったのか確認する必要があります。

なおHT3010のソフトウェア設定詳細については、SMSC社FDC37C669のデ
ータシートをご参照ください。(SMSC社ホームページよりダウンロード可能で
す。<http://www.smsc.com/>)

マニュアルディスクにはHT1010をCPUモジュールとして使用する場合は
HT3010コンフィグレーション例およびCOMポート使用例が添付されていま
す。

プログラム名 3010CFG0.C

HT3010モジュール4枚(8チャンネル分COMポート)のコンフィグレーション
を行うプログラムです。このプログラムはCOMポート以外の機能を設定しま
せんので、FDCやLPTを使用する場合は別途設定が必要です。

プログラム名 3010COMP.C / 3010COMU.C

COM(n)に入力された内容をそのままCOM(n)に、コンソールには"COM(n):"を
前置して出力する通信サンプルプログラムです。

ボーレートは全チャンネル共通で起動時にコマンドラインで指定できます。指
定しない場合は9600BPSに設定されます。

1枚のHT3010(COMポート2チャンネル)でIRQ1本を使用し、割込みプログ
ラムでは1回の割込みで2CHのフラグをチェックして受信処理をしています。
このプログラムにはHT3010のコンフィグレーション部分を含みませんので、
前記の3010CFG0.Cを使用してあらかじめコンフィグレーションする必要があ
ります。

3010COMP.Cと3010COMU.Cの相違点は、HT1010の割込みコントローラと
して82C59を使用する(3010COMP.C)か、V55CPUの内蔵割込みコントローラ
を使用する(3010COMU.C)かです。

5 仕様

本ボードの主な仕様を表 5-1に示します。

表 5-1 HT9070 仕様

CN4(5)/6 で増設可能なモジュール数	10 枚(最大)
バッファ可能なアドレス範囲	100H ~ 17FH, 180H ~ 1FFH, 200H ~ 2FFH, 300H ~ 37FH A300H ~ A3FFH は常にバッファ有効
使用可能なモジュール	I/O 空間だけでアクセス可能な I/O モジュール HT20x0 シリーズ, HT3010(COM, LPT), HT3020, HT3030 HT3050, HT3060 など
使用できないモジュール	DMA を使用するもの、メモリー空間が必要なもの、 バスマスタとなるもの HT3010(FDC)、HT3040、VGA ボードなど
基板サイズ	225.5mm × 90.2mm × 13.5mm (突出部を含まず)
電源電圧	5V ± 5%
消費電流	100mA(Max.)
動作温度範囲	0 ~ 75

HT9070 ユーザーズマニュアル 2006年11月10日 rev.1.01

梅澤無線電機株式会社

東京営業部

101-0044 東京都千代田区鍛冶町 2-3-14

TEL03-3256-4491 FAX03-3256-4494

仙台営業所

982-0031 仙台市太白区長町南 4 丁目 25-5

TEL022-304-3880 FAX022-304-3882

札幌営業所

060-0062 札幌市中央区南 2 条西 7 丁目

TEL011-251-2992 FAX011-281-2515

本製品・資料についての技術的なお問い合わせは技術推進部直通ダイヤル(TEL/FAX)へ



0 1 2 0 - 0 2 4 7 6 8
