

HT series

HT3080

---

ユーザーズマニュアル



# 目次

---

<b>1</b>	<b>はじめに</b> .....	<b>1</b>
<b>2</b>	<b>注意事項</b> .....	<b>2</b>
2.1	安全に関する注意事項.....	2
2.2	取り扱い上の注意事項.....	2
<b>3</b>	<b>XR16L788 概要</b> .....	<b>3</b>
<b>4</b>	<b>資料・参考文献</b> .....	<b>4</b>
<b>5</b>	<b>テストプログラム</b> .....	<b>5</b>
5.1	HT1070/ARMADILLO-9 との組み合わせ.....	5
5.1.1	準備.....	5
5.1.2	RS232C 送受信テスト.....	6
5.1.3	RS485 送受信テスト.....	7
5.2	HT1030/HT1040 との組み合わせ.....	9
5.2.1	準備.....	9
5.2.2	RS232C 送受信テスト.....	9
5.2.3	RS232C フロー制御受信テスト.....	10
5.2.4	RS485 送受信テスト.....	11
<b>6</b>	<b>仕様</b> .....	<b>13</b>
<b>7</b>	<b>ハードウェア機能</b> .....	<b>14</b>
7.1	ブロック図.....	14
7.2	コネクタ信号配置・機能.....	15
7.2.1	HT3080 コネクタピン配列.....	15
7.2.2	バス信号(CN1).....	16
7.2.3	入出力信号(CN2/CN3).....	17
7.2.4	コネクタ型式.....	17
7.2.5	オプションケーブル HT3080-01.....	17
7.3	ジャンパ設定.....	19
7.3.1	JP1 ~ JP4.....	19
7.3.2	JP5.....	20
7.3.3	JP6 ~ 9.....	20
7.3.4	JPn0.....	21
7.3.5	JPn1/JPn2.....	21
7.3.6	JPn3/JPn4.....	22
7.3.7	JPn5.....	22
7.3.8	JPn6.....	22
7.4	RS485 出力ドライバ制御.....	23
7.5	RS485 ハーフ・フルデュプレクス切替.....	23
7.6	タイマ外部クロック入力.....	23
<b>8</b>	<b>内蔵レジスタ</b> .....	<b>24</b>
8.1	レジスタマップ.....	24

8.2	UART チャンネルコンフィグレーションレジスタ .....	25
8.2.1	RHR .....	25
8.2.2	THR .....	26
8.2.3	DLL, DLM .....	26
8.2.4	IER .....	26
8.2.5	ISR .....	27
8.2.6	FCR .....	28
8.2.7	LCR .....	29
8.2.8	MCR .....	30
8.2.9	LSR .....	31
8.2.10	MSR .....	31
8.2.11	RS485DLY .....	32
8.2.12	SPR .....	32
8.2.13	FCTR .....	32
8.2.14	EFR .....	33
8.2.15	TXCNT .....	35
8.2.16	TXTRG .....	35
8.2.17	RXCNT .....	35
8.2.18	RXTRG .....	35
8.2.19	XCHAR .....	35
8.2.20	XOFF1 .....	35
8.2.21	XOFF2 .....	36
8.2.22	XON1 .....	36
8.2.23	XON2 .....	36
8.3	デバイスコンフィグレーションレジスタ .....	36
8.3.1	INT0, INT1, INT2, INT3 .....	37
8.3.2	TIMERCTRL .....	37
8.3.3	TIMER .....	38
8.3.4	TIMERLSB, TIMERMSB .....	38
8.3.5	8XMODE .....	38
8.3.6	REGA .....	38
8.3.7	RESET .....	39
8.3.8	SLEEP .....	39
8.3.9	DREV .....	39
8.3.10	DVID .....	39
8.3.11	REGB .....	40
<b>9</b>	<b>XR16L788 の拡張機能 .....</b>	<b>41</b>
9.1	RTS/DTR ハードウェアフロー制御 .....	41
9.2	CTS/DSR フロー制御 .....	42
9.3	オート XON/XOFF フロー制御 .....	43
9.4	オート RS485 ハーフデュプレクス制御 .....	44
<b>10</b>	<b>LINUX デバイスドライバ .....</b>	<b>45</b>
10.1	インストールオプション .....	45
10.2	ノード .....	45
10.3	I/O コントロール .....	46
<b>11</b>	<b>接続例 .....</b>	<b>47</b>

11.1	RS232C モデム接続 .....	47
11.2	RS232C クロス接続 .....	47
11.3	RS422 機器との接続(1 対 1 の場合).....	48
11.4	RS485 ハーフデュプレクス接続 .....	48
11.5	RS485 フルデュプレクス接続.....	48
<b>12</b>	<b>ソフトウェア制作時の注意事項 .....</b>	<b>49</b>
12.1	DLL/DLM 設定値.....	49
12.2	RS485 送信ドライバ制御.....	49
12.3	RS485 ハーフ・フルデュプレクス設定.....	49
12.4	フロー制御機能の設定(LINUX).....	49
12.5	自動フロー制御機能 .....	50
<b>13</b>	<b>回路図.....</b>	<b>51</b>
<b>14</b>	<b>外形寸法図.....</b>	<b>53</b>

## 図目次

図 7-1 HT3080 ブロック図.....	14
図 7-2 各チャンネルドライバ部 ブロック図.....	15
図 7-3 オプションケーブル結線.....	18
図 7-4 JP5 の設定.....	20
図 7-5 JPN0 ラインドライバ選択.....	21
図 7-6 RS485 出力ネーブル信号の制御.....	23
図 8-1 XR16L788 のレジスタ概要.....	24
図 8-2 IER の構成.....	26
図 8-3 ISR の構成.....	27
図 8-4 FCR の構成.....	28
図 8-5 LCR の構成.....	29
図 8-6 MCR の構成.....	30
図 8-7 LSR の構成.....	31
図 8-8 MSR の構成.....	31
図 8-9 RS485DLY の構成.....	32
図 8-10 FCTR の構成.....	33
図 8-11 EFR の構成.....	34
図 8-12 XCHAR の構成.....	35
図 8-13 INT0 の構成.....	37
図 8-14 INT1 ~ 3 の構成.....	37
図 8-15 TIMERCTRL の構成.....	37
図 8-16 TIMERLSB/TIMERMSB の構成.....	38
図 8-17 8XMODE の構成.....	38
図 8-18 RESET の構成.....	39
図 8-19 SLEEP の構成.....	39
図 11-1 RS232C モデム接続.....	47
図 11-2 RS232C クロス接続.....	47
図 11-3 RS422 フルデュプレクス接続.....	48
図 11-4 RS485 ハーフデュプレクス接続.....	48
図 11-5 RS485 マルチドロップ接続.....	48
図 13-1 HT3080 回路図 1.....	51
図 13-2 HT3080 回路図 2.....	52
図 14-1 HT3080 外形寸法図.....	53

## 表目次

表 6-1 HT3080 仕様.....	13
表 7-1 CN1 信号配列.....	15
表 7-2 CN2 信号配列.....	16
表 7-3 CN3 信号配列.....	16
表 7-4 CN1 信号.....	16
表 7-5 CN2/CN3 信号.....	17
表 7-6 コネクタ型式.....	17
表 7-7 CN2/3 適合ソケット型式.....	17
表 7-8 オプションケーブルコネクタ型式.....	18
表 7-9 D-SUB9 ピン(オス)コネクタ信号配列.....	19
表 7-10 JP1 ~ 4 の設定とベースアドレス.....	19
表 7-11 JP6 ~ 9 の設定とベースアドレス.....	20
表 7-12 JPN1/JPN2 設定とスルーレート.....	21
表 7-13 JPN3/JPN4 設定とオートパワーダウン.....	22
表 8-1 UART チャンネルコンフィグレーションレジスタアドレスマップ.....	25
表 8-2 分周比計算式.....	26
表 8-3 IER の各ビット機能.....	27
表 8-4 割り込み要因とプライオリティレベル.....	27
表 8-5 割り込みの発生、クリア条件.....	28
表 8-6 FCR の各ビット機能.....	28
表 8-7 FIFO トリガテーブルとトリガレベル設定値.....	29
表 8-8 LCR の各ビット機能.....	30
表 8-9 MCR の各ビット機能.....	30
表 8-10 LSR の各ビット機能.....	31
表 8-11 MSR の各ビット機能.....	32
表 8-12 FCTR の各ビット機能.....	33
表 8-13 ヒステリシスレベルの設定.....	33
表 8-14 EFR の各ビット機能.....	34
表 8-15 ソフトウェアフロー制御の設定.....	34
表 8-16 デバイスコンフィグレーションレジスタアドレスマップ.....	36
表 8-17 割り込みソースとプライオリティレベル.....	37
表 8-18 TIMERCTRL の各ビット機能.....	38
表 9-1 RTS/DTR フロー制御を行う場合に設定するレジスタ.....	42
表 9-2 CTS/DSR フロー制御を行う場合に設定するレジスタ.....	42
表 9-3 ソフトウェアフロー制御を行う場合に設定するレジスタ.....	44
表 9-4 オート RS485 ハーフデュプレクス制御を行う場合に設定するレジスタ.....	44
表 10-1 ドライバインストールオプション.....	45
表 10-2 IOCTL コマンドとパラメータ.....	46





# 1 はじめに

---

このたびは HT3080 をお求めいただき、ありがとうございます。

HT3080 は XR16L788(EXAR)を採用した 8 ポート UART モジュールで、ジャンパ切替でポート毎に RS232C/485(422)/TTL レベルの切替ができます。

バスは 8bit の PC/104 準拠となっており、弊社 HT シリーズの CPU だけでなく、他の CPU にも容易にインターフェースすることができます。ボードの占有 I/O アドレスや使用する割り込みチャンネル選択はジャンパによって設定できます。

本マニュアルは、HT3080 の仕様や使用方法について書かれたものです。HT3080 の機能を最大限引き出すために、ご活用いただければ幸いです。

なお、本マニュアルでは XR16L788 の機能詳細については記述しておりませんので、XR16L788 のデータシートもあわせてご参照ください。

## 2 注意事項

---

### 2.1 安全に関する注意事項

HT3080 を安全にご使用いただくために、特に以下の点にご注意くださいますようお願いいたします。



本製品には一般電子機器用（OA機器・通信機器・計測機器・工作機械等）に製造された半導体部品を使用しておりますので、その誤作動や故障が直接生命を脅かしたり、身体・財産等に危害を及ぼす恐れのある装置（医療機器・交通機器・燃焼制御・安全装置等）に組み込んで使用しないでください。

また、半導体部品を使用した製品は、外来ノイズやサージにより誤作動したり故障したりする可能性がありますので、ご使用になる場合は万一誤作動、故障した場合においても生命・身体・財産等が侵害されることのないよう、装置としての安全設計（リミットスイッチやヒューズ・ブレーカ等の保護回路の設置、装置の多重化等）に万全を期されますようお願い申し上げます。

### 2.2 取り扱い上の注意事項

HT3080 に恒久的なダメージをあたえないよう、取り扱い時には以下のような点にご注意ください。

- 電源の投入  
HT3080 や周辺回路に電源がはいっている状態では絶対に本ボードの着脱を行わないでください。
- 静電気  
HT3080 には CMOS デバイスを使用しておりますので、ご使用になるまでは帯電防止対策のされている、出荷時のパッケージ等にて保管してください。
- ラッチアップ  
電源および入出力からの過大なノイズやサージ、電源電圧の急激な変動等で使用している CMOS デバイスがラッチアップを起こす可能性があります。いったんラッチアップ状態となると、電源を切断しないかぎりこの状態が維持されるため、デバイスの破損につながる可能性があります。ノイズの影響を受けやすい入出力ラインには保護回路を入れることや、ノイズ源となる装置と共通の電源を使用しない等の対策をとることをお勧めします。

## 3 XR16L788 概要

---

HT3080 はコントローラに XR16L788(EXAR)を使用しています。XR16L788 は 8 ポート UART で、以下のような特徴を備えています。

- 8 チャンネルで単一の割り込みを占有
- 8 チャンネル同時初期化機能
- 16C550 互換レジスタ(拡張機能を除く)
- RS485 ハーフデュプレクス自動制御
- 64 バイト送信/受信 FIFO
- プログラマブル FIFO トリガレベル
- ハードウェア自動フロー制御
- ソフトウェア自動フロー制御
- 汎用タイマカウンタ

XR16L788 の詳細な機能については、以下の資料をご参照ください。

XR16L788 Datasheet version1.2.3 July 2008  
<http://www.exar.com/>

## 4 資料・参考文献

---

本マニュアル作成に際して使用した資料・参考文献を以下に示します。

- Exar XR16L788 Data Sheet version.1.2.3(2008/7 発行)
- Maxim MAX3089E Datasheet Rev.1
- TI TRS3243E Datasheet (2009/7 発行)

# 5 テストプログラム

---

HT3080 には、動作確認のためのテストプログラムが用意されています。このプログラムは C で記述されており、ソースも添付されていますので、プログラミングサンプルとしてもご利用いただけます。

《注意》

これらのプログラムは HT3080 のテストを目的としたものであり、プログラムの正当性および特定の用途への適合性を保証するものではありません。

## 5.1 HT1070/Armadillo-9 との組み合わせ

HT3080 のテストに HT1070 または株式会社アットマークテクノの Armadillo-9 を使用する手順を説明します。

### 5.1.1 準備

- パソコン用通信ソフトウェア  
ターミナルソフトが HT1070 や Armadillo-9 のコンソール用に必要です。
- シリアルポート  
テストに使用するパソコンには上記コンソールに使用するシリアルポートと、HT3080 の 1 チャンネル分の最低 2 ポートが必要です。別々の PC2 台でもかまいません。
- ネットワーク設定  
HT1070/Armadillo-9 に FTP でファイル転送して実行する場合、HT1070/Armadillo-9 と PC とが通信可能なネットワークに接続されている必要があります。
- HT3080 のジャンパ設定  
JP1~4  
テストプログラムは、ボードの I/O ベースアドレスが 0500H であることを仮定していますので、JP1=0, JP2=1, JP3=0, JP4=1 に設定してください。  
JP5  
テストプログラムでは IRQ4 を使用します。設定については 7.3.2 項をご参照ください。  
JP10,JP20,JP30,JP40,JP50,JP60,JP70,JP80  
5.1.2 項のテストプログラムでは RS232C モードとなるように、5.1.3 項のテストプログラムでは RS485 モードとなるように設定してください。設定については 7.3.4 項をご参照ください。
- テストプログラムの HT1070/Armadillo-9 への転送  
ドライバとサンプルプログラムは tgz 圧縮されています。FTP 経由で HT1070/Armadillo-9 に転送するか、コンパクトフラッシュに保存して実行することができます。ここでは FTP 経由で転送する方法を説明します。  
Armadillo-9 の場合、ftp 転送で使用するエリアをあらかじめ大きくしておく必要

があります。Armadillo-9 のコンソールで

```
mount -t tmpfs tmpfs /home/ftp/pub
```

と入力してください。

PC 側から転送するための FTP コマンドの例を示します。

```
#ftp 192.168.1.10 (HT1070/Armadillo-9 の IP アドレスを指定)
Connected to 192.168.1.10.
220 armadillo FTP server (Version 6.4/OpenBSD/Linux-ftpd-0.17) ready.
User (192.168.1.10:(none)): ftp (ログイン名は ftp)
331 Guest login ok, type your name as password.
Password: (パスワードも ftp)
230 Guest login ok, access restrictions apply.
ftp> cd pub (pub ディレクトリに移動)
250 CWD command successful.
ftp> bin (バイナリモードに変更)
200 Type set to I.
ftp> put 3080test232.ht1070.2421.tgz (転送するファイルを put コマンドで転送)
200 PORT command successful.
150 Opening BINARY mode data connection for 'ht3080.k2421.test.tar.gz'
226 Transfer complete.
ftp: 14350 bytes sent in 0.00Seconds 14350000.00Kbytes/sec.
ftp> quit (FTP プログラムを終了)
221 Goodbye.
```

HT1070/Armadillo-9 のネットワークアドレスは ifconfig コマンドで確認してください。

## 5.1.2 RS232C 送受信テスト

- プログラムファイル名
  - 3080test232.ht1070.2416.tgz (HT1070 kernel2.4.16 用)
  - 3080test232.ht1070.2421.tgz (HT1070 kernel2.4.21 用)
  - 3080test232.a9.2612.tgz (Armadillo-9 kernel2.6.12 用)
- 動作概要

HT3080 の全チャンネルを 9600bps で初期化し、改行で区切られた各チャンネルの受信内容をコンソールに表示します。また受信した文字列を逆順にした文字列をそのチャンネルに返信します。いずれかのチャンネルで"stop"と入力されるとプログラムは終了します。起動時のオプションでハードフロー制御、ソフトウェア制御を指定することができます。
- 操作手順
  1. プログラムの転送

FTP でプログラムファイルを転送します。(5.1.1項参照) 転送したファイルを HT1070/Armadillo-9 のコンソールからコマンドで解凍してください。

```
#cd /home/ftp/pub
#tar xzf 3080test232.ht1070.2416.tgz (転送ファイル名、例では HT1070 の kernel2.4.16 用)
```
  2. デバイスノードの作成とドライバのインストール

解凍された start.sh を実行し、デバイスノード作成とデバイスドライバのインストールを行います。

```
#./start.sh
```

3. アプリケーションの実行  
3080test232 を実行すると起動メッセージが表示され、各チャンネルからの入力内容が表示されます。

```
# ./test232
HT3080 Send/Receive sample
Received CH1:test message
Received CH3:ht3080 8ch UART
Received CH3:stop
#
```



各チャンネルから入力してもコンソールに受信データが表示されない....

- ボーレートの確認  
各チャンネルは 9600bps に初期化されます。HT3080 に接続しているシリアルポートの通信速度を確認してください。
- JP 設定状態の確認  
I/O ベースアドレスが正しく設定されていなかったり、割り込みチャンネルの設定が誤っていると動作しません。また各チャンネルで使用するドライバが 232C に設定されていない場合も動作しません。

### 5.1.3 RS485 送受信テスト

- プログラムファイル名  
3080test485.ht1070.2416.tgz (HT1070 kernel2.4.16 用)  
3080test485.ht1070.2421.tgz (HT1070 kernel2.4.21 用)  
3080test485.a9.2612.tgz (Armadillo-9 kernel2.6.12 用)
- 準備  
ジャンパ JPx0 でテストに使用するチャンネルを RS485 に設定します。テストではチャンネル 1 を RS485 のデータ送信に使用しますので、チャンネル 1 の送信信号を受信するチャンネルに接続します。  
例えばチャンネル 4 をフルデュプレクス接続で使用する場合は、  
TxP1(CN2-12) - RxP4(CN2-46)  
TxM1(CN2-11) - RxM4(CN2-45)  
を接続します。  
チャンネル 4 をハーフデュプレクス接続で使用する場合は、  
TxP1(CN2-12) - TxP4(CN2-48)  
TxM1(CN2-11) - TxM4(CN2-47)  
を接続します。
- 動作概要  
HT3080 の全チャンネルを 9600bps で初期化し、各チャンネルの受信待ち状態でプログラムを常駐させます。ここでコンソールから echo コマンドを使い送信データをチャンネル 1 に送信すると、接続された受信チャンネルでの受信内容がコンソールに表示されます。送信データとして"stop"を送信すると、プログラムは終了します。起動時のオプションでフルデュプレクス、ハーフデュプレクスを指定することができます。なお自動 RS485 ハーフデュプレクス機能が有効となっているため、フルデュプレクス設定の場合でも送信中以外は送信ドライバがオフとなります。

- 操作手順

1. プログラムの転送

FTP でプログラムファイルを転送します。(5.1.1項参照) 転送したファイルを HT1070/Armadillo-9 のコンソールからコマンドで解凍してください。

```
#cd /home/ftp/pub
```

```
#tar xzf 3080test485.ht1070.2416.tgz (転送ファイル名、例ではHT1070のkernel2.4.16用)
```

2. デバイスノードの作成とドライバのインストール

解凍された start.sh を実行し、デバイスノード作成とデバイスドライバのインストールを行います。

```
#./start.sh
```

3. アプリケーションの実行

3080test485 を実行します。このとき、このプログラムを常駐させるために行末には&をつけて起動してください。コンソールには起動メッセージが表示されますが、Enter キーを押すとプロンプトに戻ります。

```
#./test485 &
```

```
HT3080 RS485 Receive sample
```

```
#
```

ここで、echo コマンドを使い、チャンネル1に文字列を送信すると、受信チャンネルで受信された内容がコンソールに表示されます。

```
#echo test message >/dev/ttyXR78x0
```

```
Received CH1:test message
```

```
#
```

起動時にオプション `-full` を指定すると、フルデュプレクス制御を、`-half` を指定するとハーフデュプレクス制御を行います。

送信データがコンソールに表示されない....



- JP 設定状態の確認

I/O ベースアドレスが正しく設定されていなかったり、割り込みチャンネルの設定が誤っていると動作しません。また各チャンネルで使用するドライバが RS485 に設定されていない場合も動作しません。

- 接続する信号

ハーフデュプレクスの場合、信号の送受信に使用する信号は TXPn と TXMn です。また信号には極性がありますので各チャンネルの非反転信号同士、反転信号同士を接続してください。他の機器を接続する場合、信号の極性が A/B で表示されていることがありますが、デバイスメーカーによって極性の割り当てが異なるため注意が必要です。



## 5.2 HT1030/HT1040 との組み合わせ

HT3080 のテストに HT1030 または HT1040 を使用する場合は手順を説明します。

### 5.2.1 準備

- パソコン用通信ソフトウェア  
ターミナルソフトが HT1030 や HT1040 のコンソール接続用に必要です。
- シリアルポート  
テストに使用するパソコンには上記コンソールに使用するシリアルポートと、HT3080 の 1 チャンネル分の最低 2 ポートが必要です。別々の PC2 台でもかまいません。
- HT3080 のジャンパ設定  
JP1~4  
テストプログラムは、ボードの I/O ベースアドレスが 0500H であることを仮定していますので、JP1=0, JP2=1, JP3=0, JP4=1 に設定してください。  
JP5  
テストプログラムでは IRQ4 を使用します。設定については 7.3.2 項をご参照ください。  
JP10,JP20,JP30,JP40,JP50,JP60,JP70,JP80  
5.1.2 項のテストプログラムでは RS232C モードとなるように、5.1.3 項のテストプログラムでは RS485 モードとなるように設定してください。設定については 7.3.4 項をご参照ください。  
テストプログラムの実行方法  
サンプルプログラムは HT1030/HT1040 の S ファイルローダを使って RAM に転送して実行するファイル、フラッシュメモリに書き込みして実行するファイルの 2 種類を用意しています。S ファイルローダを使用する場合は転送後 G コマンドを使用して 400000 番地から実行してください。なおフラッシュメモリに書き込みするテストプログラムのコンソール通信速度は 38400bps です。

### 5.2.2 RS232C 送受信テスト

- プログラムファイル名  
3080test232Loader.s (S ファイルローダ用)  
3080test232Flash.s (フラッシュメモリ書き込み用)
- 動作概要  
HT3080 の全チャンネルを 9600bps で初期化し、改行で区切られた各チャンネルの受信内容をコンソールに表示します。また受信した文字列を逆順にした文字列をそのチャンネルに返信します。起動時にハードフロー制御、ソフトフロー制御を指定することができます。
- 操作手順  
S ファイルローダを使用する場合のコンソール表示例を示します。プログラムを転送して実行後、この例ではチャンネル 1 に接続されたポートから hello(+Enter キー)と入力しています。コンソールに表示されるのと同時に、チャンネル 1 には olleh の文字列が返信されます。

```
-L (コマンド投入後ターミナルソフトのファイル転送機能で 3080test232Loader.s を転送)
-G400000
HT3080 RS232C Send/Receive sample
```

```
Received strings from CH1-8 are shown on the console.
Received CH1:hello
```



各チャンネルから入力してもコンソールに受信データが表示されない....

- ボーレートの確認  
各チャンネルは 9600bps に初期化されます。HT3080 に接続しているシリアルポートの通信速度を確認してください。
- JP 設定状態の確認  
I/O ベースアドレスが正しく設定されていなかったり、割り込みチャンネルの設定が誤っていると動作しません。また各チャンネルで使用するドライバが 232C に設定されていない場合も動作しません。

## 5.2.3 RS232C フロー制御受信テスト

- プログラムファイル名  
3080flowtest232Loader.s (S ファイルローダ用)  
3080flowtest232Flash.s (フラッシュメモリ書き込み用)
- 動作概要  
HT3080 のチャンネル 1 を 115.2kbps で初期化し、受信内容をコンソールに表示します。起動時にハードフロー制御、ソフトフロー制御を指定することができます。
- 操作手順  
S ファイルローダを使用する場合のコンソール表示例を示します。プログラムを転送して実行するとソフトウェアフロー制御またはハードウェアフロー制御を行うか確認するメッセージが表示され、いずれかに Y を入力すると該当するフロー制御の設定で動作します。いずれも N を入力するとフロー制御を行わない設定で動作します。この例ではハードウェアフロー制御を選択し、その後チャンネル 1 に接続されたポートから hello と入力しています。チャンネル 1 に接続した PC のターミナルソフトでテキストファイル送信を行うと、送信したファイル内容が HT1030/1040 のコンソールに表示されます。チャンネル 1 の受信速度(115.2kbps)はコンソールの表示速度(HT1030 では 9600bps, HT1040 では 38400bps)よりも速いですが、フロー制御が働き、コンソールには受信データが欠落なく表示されます。(ターミナルソフトは該当するフロー制御機能を有効に設定してください。)

```
-L (コマンド投入後ターミナルソフトのファイル転送機能で 3080flowtest232Loader.s を転送)
-G400000
HT3080 RS232C Flow Control Test
Use Software Flow Control?(Y/N):n
Use Hardware Flow Control?(Y/N):y
Hardware flow control mode
```

```
Received characters from CH1 are shown on the console.
hello
```



コンソールに受信データが表示されない....

- ボーレートの確認  
チャンネル 1 は 115.2kbps に初期化されます。HT3080 に接続しているシリアルポートの通信速度を確認してください。
- JP 設定状態の確認  
I/O ベースアドレスが正しく設定されていなかったり、割り込みチャンネルの設定が誤っていると動作しません。また各チャンネルで使用するドライバが 232C に設定されていない場合も動作しません。

ハードウェアフロー制御ラインのレベルをモニタしても、フロー制御が機能している状態が確認できない....

ソフトウェアフロー制御のコードが送られているかモニタしてもフロー制御のキャラクタが送られていることが確認できない....

- チャンネル 1 に接続したターミナルからのデータ送信間隔が長い場合、フロー制御が動作する条件が成立せず、フロー制御を行わずに受信できる場合があります。(たとえば通信速度が 115kbps でもデータ送信間隔が 1ms 程度の場合、実質 9600bps 相当となってしまいます。)

コンソールに表示される内容が一部欠落している....

- チャンネル 1 に接続した PC で使用しているターミナルソフトの、フロー制御設定が正しいか確認してください。

## 5.2.4 RS485 送受信テスト

- プログラムファイル名  
3080test485Loader.s (S ファイルローダ用)  
3080test485Flash.s (フラッシュメモリ書き込み用)
- 準備  
ジャンパ JPx0 でテストに使用するチャンネルを RS485 に設定します。テストではチャンネル 1 を RS485 のデータ送信に使用しますので、チャンネル 1 の送信信号を受信するチャンネルに接続します。  
例えばチャンネル 4 をフルデュプレクス接続で使用する場合、  
TxP1(CN2-12) - RxP4(CN2-46)  
TxM1(CN2-11) - RxM4(CN2-45)  
を接続します。  
チャンネル 4 をハーフデュプレクス接続で使用する場合は、  
TxP1(CN2-12) - TxP4(CN2-48)  
TxM1(CN2-11) - TxM4(CN2-47)  
を接続します。
- 動作概要  
HT3080 の全チャンネルを 9600bps で初期化し、各チャンネルの受信待ち状態となります。ここでコンソールからテキストを入力し Enter を押すと、チャンネル 1 から入力されたテキストが送信されます。接続された受信チャンネルでの受信データがあると、内容がコンソールに表示されます。起動時にフルデュプレクス、ハーフデュプレクスを指定することができます。

- 操作手順

S ファイルローダを使用する場合のコンソール表示例を示します。プログラムを転送して実行後、この例ではハーフデュプレクスを選択し、コンソールからhello(+Enter キー)と入力してチャンネル1からテキストを送信しています。送信したデータが表示された後、接続先のチャンネルで受信されたデータがコンソールに表示されています。

```
-L (コマンド投入後ターミナルソフトのファイル転送機能で 3080test485Loader.s を転送)
-G400000
HT3080 RS485 Send/Receive sample
Use Half Duplex interface?(Y/N):y
```

Half Duplex mode

Enter string to send from CH1 then press Enter

(Typed characters are not echoed back.)

Send CH1>hello (入力文字はエコーバックしないが送信後に内容が表示される)

Recv CH1:hello

Recv CH4:hello

この例ではチャンネル1と4がハーフデュプレクス接続されており、送信したデータは送信したチャンネルでも受信されるため、チャンネル1と4で受信データが表示されています。

起動時ハーフデュプレクス接続が確認するメッセージが表示され、Yを入力するとハーフデュプレクス、それ以外の場合はフルデュプレクスの設定で動作します。

送信データがコンソールに表示されない....



- JP 設定状態の確認

I/O ベースアドレスが正しく設定されていなかったり、割り込みチャンネルの設定が誤っていると動作しません。また各チャンネルで使用するドライバがRS485に設定されていない場合も動作しません。

- 接続する信号

ハーフデュプレクスの場合、信号の送受信に使用する信号はTXPnとTXMnです。また信号には極性がありますので各チャンネルの非反転信号どうし、反転信号どうしを接続してください。他の機器を接続する場合、信号の極性がA/Bで表示されていることがありますが、デバイスメーカーによって極性の割り当てが異なるため注意が必要です。

## 6 仕様

表 6-1に HT3080 の仕様を示します。

表 6-1 HT3080 仕様

コントローラ	XR16L788(Exar)
RS232C ドライバ素子	TRS3243E(TI または相当品)
RS485 ドライバ素子	MAX3089E(Maxim)
I/O アドレス	A[8:11]をジャンパで選択、100h 毎に設定可能 144 バイトを占有
チャンネル数	8
ボーレートジェネレータ	各チャンネル独立、コントローラ内蔵 RS232C:230.4kbps max. RS485/422/TTL: 460.8kbps max.
割り込み	全チャンネルで 1 つの割り込みを共有 IRQ2 から 7 をジャンパで選択
基板サイズ	90.2 × 95.9 × 15.2mm ( 突出部を含まず )
電源電圧	5V ± 5% 20mA max. (周辺回路無接続時の typ.値)
動作温度範囲	-20 ~ 70

# 7 ハードウェア機能

この章では、HT3080 のハードウェア機能に関連する事項について説明します。なお、XR16L788 の詳細についてはデータシートをご参照ください。

## 7.1 ブロック図

図 7-1に HT3080 のブロック図を示します。

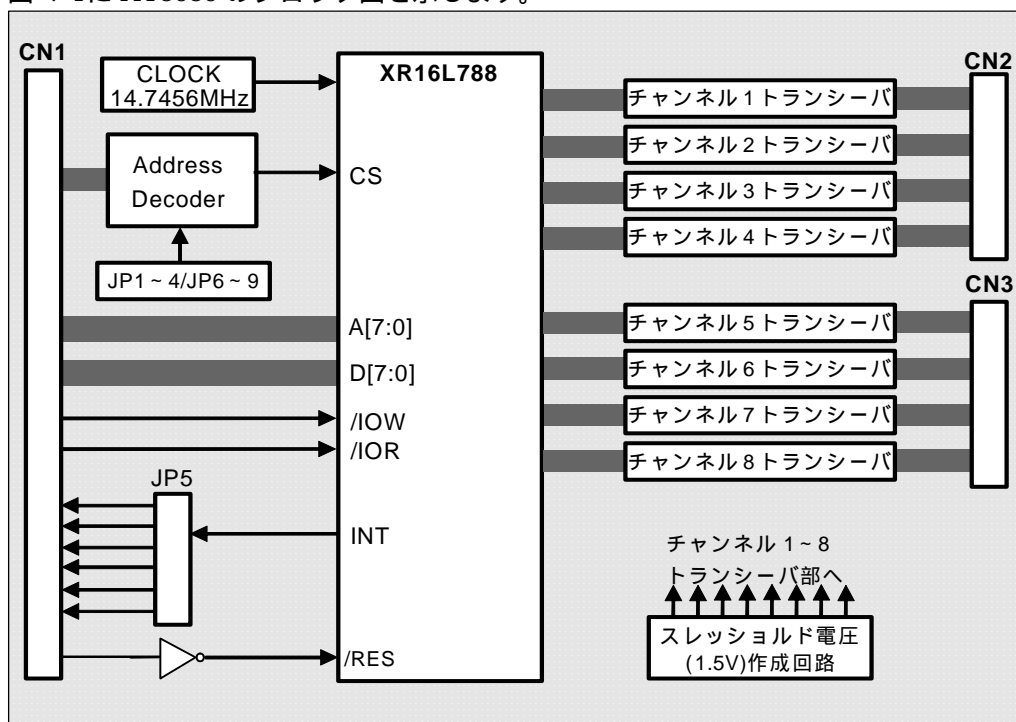


図 7-1 HT3080 ブロック図

各チャンネルのトランシーバ回路ブロックを図 7-2に示します。信号名の n は、チャンネル番号 1~8 を表わしています。

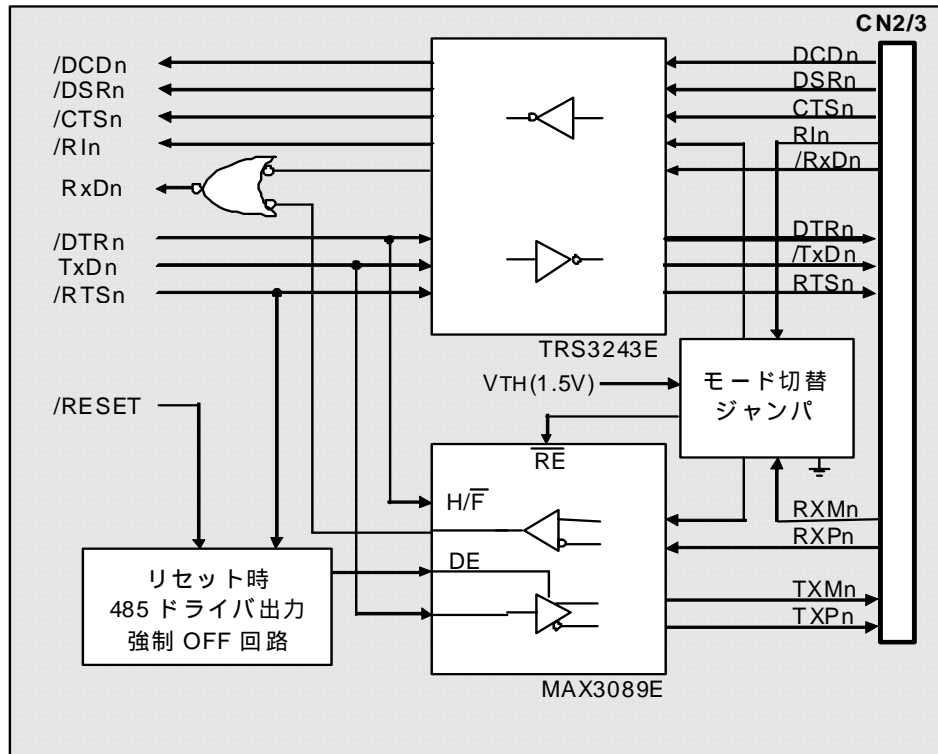


図 7-2 各チャンネルドライバ部 ブロック図

## 7.2 コネクタ信号配置・機能

### 7.2.1 HT3080 コネクタピン配列

表 7-1から表 7-3にコネクタの信号配列を示します。表中、-印の端子は未使用です。

表 7-1 CN1 信号配列

A1	-	B1	GND
A2	SD7	B2	RESETDRV
A3	SD6	B3	+5V
A4	SD5	B4	IRQ2
A5	SD4	B5	-
A6	SD3	B6	-
A7	SD2	B7	-
A8	SD1	B8	-
A9	SD0	B9	-
A10	-	B10	GND
A11	AEN	B11	-
A12	-	B12	-
A13	-	B13	/IOW
A14	-	B14	/IOR
A15	-	B15	-

A16	SA15	B16	-
A17	SA14	B17	-
A18	SA13	B18	-
A19	SA12	B19	-
A20	SA11	B20	SYSCCLK
A21	SA10	B21	IRQ7
A22	SA9	B22	IRQ6
A23	SA8	B23	IRQ5
A24	SA7	B24	IRQ4
A25	SA6	B25	IRQ3
A26	SA5	B26	-
A27	SA4	B27	-
A28	SA3	B28	-
A29	SA2	B29	+5V
A30	SA1	B30	-
A31	SA0	B31	GND
A32	GND	B32	GND

表 7-2 CN2 信号配列

1	DCD1	2	DSR1
3	/RXD1	4	RTS1
5	/TXD1	6	CTS1
7	DTR1	8	RI1 <sup>*1</sup>
9	RXM1 <sup>*2</sup>	10	RXP1
11	TXM1	12	TXP1
13	DCD2	14	DSR2
15	/RXD2	16	RTS2
17	/TXD2	18	CTS2
19	DTR2	20	RI2 <sup>*1</sup>
21	RXM2 <sup>*2</sup>	22	RXP2
23	TXM2	24	TXP2
25	DCD3	26	DSR3
27	/RXD3	28	RTS3
29	/TXD3	30	CTS3
31	DTR3	32	RI3 <sup>*1</sup>
33	RXM3 <sup>*2</sup>	34	RXP3
35	TXM3	36	TXP3
37	DCD4	38	DSR4
39	/RXD4	40	RTS4
41	/TXD4	42	CTS4
43	DTR4	44	RI4 <sup>*1</sup>
45	RXM4 <sup>*2</sup>	46	RXP4
47	TXM4	48	TXP4
49	+5V	50	GND

表 7-3 CN3 信号配列

1	DCD5	2	DSR5
3	/RXD5	4	RTS5
5	/TXD5	6	CTS5
7	DTR5	8	RI5 <sup>*1</sup>
9	RXM5 <sup>*2</sup>	10	RXP5
11	TXM5	12	TXP5
13	DCD6	14	DSR6
15	/RXD6	16	RTS6
17	/TXD6	18	CTS6
19	DTR6	20	RI6 <sup>*1</sup>
21	RXM6 <sup>*2</sup>	22	RXP6
23	TXM6	24	TXP6
25	DCD7	26	DSR7
27	/RXD7	28	RTS7
29	/TXD7	30	CTS7
31	DTR7	32	RI7 <sup>*1</sup>
33	RXM7 <sup>*2</sup>	34	RXP7
35	TXM7	36	TXP7
37	DCD8	38	DSR8
39	/RXD8	40	RTS8
41	/TXD8	42	CTS8
43	DTR8	44	RI8 <sup>*1</sup>
45	RXM8 <sup>*2</sup>	46	RXP8
47	TXM8	48	TXP8
49	+5V	50	GND

\*1: 485 モード, TTL モードでは GND となります。

\*2: 232C モードでは GND となります。

## 7.2.2 バス信号(CN1)

CN1 には、CPU バス信号が配置されています。信号配置は PC/104 に準拠しています。

表 7-4 CN1 信号

信号名	機能
SA[15:0]	アドレス入力です。
AEN	アドレス入力有効であることを示します。I/O のアドレスデコードには SA とともに、この信号が L であることを使用しています。
SD[7:0]	データ入出力バスです。
/IOR	I/O リード信号です。
/IOW	I/O ライト信号です。
RESETDRV	リセット入力です。H アクティブですのでご注意ください。
IRQ[7:2]	外部割り込み出力です。本ボードが使用する割り込み出力は JP5 で選択します。
+5V	システムの電源です。+5V を供給します。
GND	システムの GND です。



## 7.2.3 入出力信号(CN2/CN3)

CN2、CN3 にはシリアル入出力信号が配置されています。表 7-5に各信号の機能を示します。(表中信号名の n はチャンネル番号 1~8 を表しています。) RIn および RXMn は使用するモードによって GND となります。RS485 信号をハーフデュプレクスで使用する場合は、TxPn および TxMn を使用してください。

表 7-5 CN2/CN3 信号

信号名	入出力	232C	485 フル	485 ハーフ	TTL
/TXDn	出力	TxD(232C)		使用できません	
/RXDn	入力	RxD(232C)		使用できません	
DCDn	入力	DCD(232C)		使用できません	
DSRn	入力	DSR(232C)		使用できません	
RTSn	出力	RTS(232C)		使用できません	
CTSn	入力	CTS(232C)		使用できません	
DTRn	出力	DTR(232C)		使用できません	
RIn	入力	RI(232C)	GND		GND
RXPn	入力	使用できません	RXP(485)	使用できません	RxD(TTL)
RXMn	入力	GND	RXM(485)	使用できません	使用できません
TXPn	出力 <sup>*1</sup>	使用できません	TXP(485)	TXP 入出力(485)	TxD(TTL)
TXMn	出力 <sup>*1</sup>	使用できません	TXM(485)	TXM 入出力(485)	使用できません
+5V	-		+5V		
GND	-		GND		

\*1:485 ハーフデュプレクス時には入出力信号となります。

## 7.2.4 コネクタ型式

コネクタの型式等を表 7-6に示します。コネクタのメーカー・型式は同等他社製品が使用される場合があります。

表 7-6 コネクタ型式

コネクタ	メーカー	型式	備考
CN1	ASTRON	25-0206-232-1G-R	PC/104 J1 スタックスルーコネクタ
CN2	ASTRON	26-02-225-1G-R	50 極ボックスピンヘッダ
CN3	ASTRON	26-02-225-1G-R	50 極ボックスピンヘッダ

CN2、CN3 に適合するソケットの参考型式を表 7-7に示します。

表 7-7 CN2/3 適合ソケット型式

メーカー	型式	備考
ヒロセ電機	HIF3BB-50D-2.54R	
	HIF3BB-50D-2.54C	バラ線圧接タイプハウジング
	HIF3-2226SCA	上記ハウジング用端子(AWG#22~26)
オムロン	XG4M-5030	ストレインリリーフ別売 型名 XG4T-5004
和泉電気	JE1S-501	ストレインリリーフなし品は JE1S-503

## 7.2.5 オプションケーブル HT3080-01

オプションケーブルは、CN2(CN3)の信号を DTE 配列の RS232C 用 Dsub9 ピンオスコネクタ 4 つに変換します。ケーブル長は約 25cm です。使用部品を表 7-8に示します。コネクタのメーカー・型式は同等他社製品が使用される場合があります。

表 7-8 オプションケーブルコネクタ型式

コネクタ	メーカー	型式	備考
CNa	HIROSE	HIF3BB-50D-2.54R	50 極圧接コネクタ
CNb ~ e	Amphenol	L17DEFRA09P	9 極 D-SUB オスピンコネクタ(IDC)

D-SUB 取付用スペーサ、ナット、ワッシャ、ばねワッシャが 4 組付属します。

図 7-3にケーブルの結線を示します。

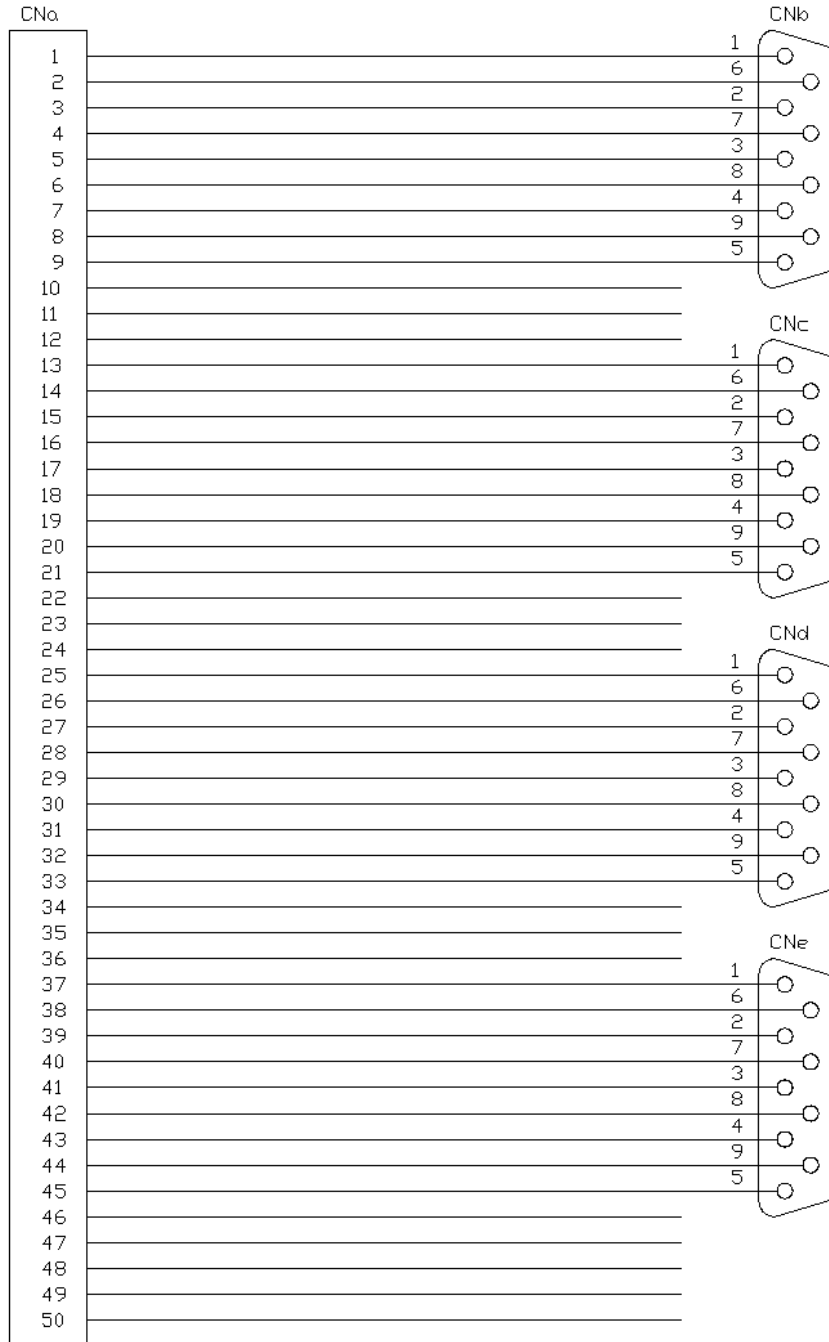


図 7-3 オプションケーブル結線

Dsub9 ピン(オス)コネクタの信号配列を表 7-9に示します。

表 7-9 D-sub9 ピン(オス)コネクタ信号配列

ピン番号	機能	ピン番号	機能
1	DCD	6	DSR
2	RXD	7	RTS
3	TXD	8	CTS
4	DTR	9	RI
5	GND		

## 7.3 ジャンパ設定

HT3080 には全チャンネルに共通の JP1 ~ 9 までのジャンパと、各チャンネル毎に JPn0 から n6 までのジャンパ(n=1 ~ 8)があります。**出荷時 JP1 ~ 5 および JPn0(n=1 ~ 8)にはジャンパソケットが取り付けられていません**ので、使用環境にあわせて設定してください。

### 7.3.1 JP1 ~ JP4

JP1 ~ 4 は、本ボードの占有する 144 バイト I/O 空間の先頭アドレス(ベースアドレス)を設定します。アドレスの設定は SA[11:8]について行い、アドレスの下位 8 ビット SA[7:0]はボード内の I/O 選択に使用されるため設定することはできません。JP1 ~ 4 は 3 極ジャンパポストで、印の側にジャンパソケットを取り付けると 1、反対側に取り付けると 0 が設定されます。

JP の設定とベースアドレスの関係は表 7-10をご参照ください。z は JP6 ~ 9 で指定され、出荷時の設定は z=0(SA[15:12]は全て 0)となっています。JP6 ~ 9 の設定については表 7-11をご参照ください。

表 7-10 JP1 ~ 4 の設定とベースアドレス

JP1	JP2	JP3	JP4	ベースアドレス
0	0	0	0	z000
0	0	0	1	z100
0	0	1	0	z200
0	0	1	1	z300
0	1	0	0	z400
0	1	0	1	z500
0	1	1	0	z600
0	1	1	1	z700

JP1	JP2	JP3	JP4	ベースアドレス
1	0	0	0	z800
1	0	0	1	z900
1	0	1	0	zA00
1	0	1	1	zB00
1	1	0	0	zC00
1	1	0	1	zD00
1	1	1	0	zE00
1	1	1	1	zF00



#### 《注意》

JP1 ~ 4 のジャンパソケットは必ず設定してください。ジャンパソケットをはずした状態で動作させないでください。

## 7.3.2 JP5

JP2 は使用する割り込みチャンネルを選択します。ジャンパソケットの設定は、図 7-4 をご参照ください。

割り込みを使用しない場合は、JP5 にジャンパソケットを取り付けしないか、図中の未使用の位置に取り付けてください。

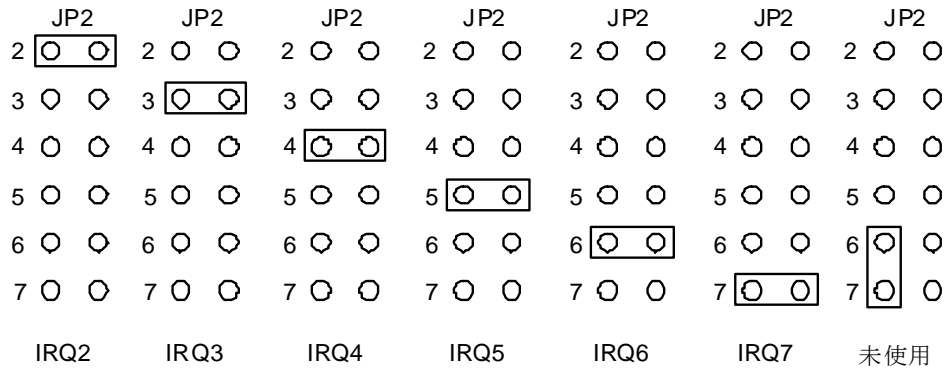


図 7-4 JP5 の設定

## 7.3.3 JP6 ~ 9

JP6 ~ 9 は HT3080 のベースアドレス SA[15:12]を設定するジャンパで、0 チップ抵抗取り付け位置で設定します。ジャンパ番号は(数字のみで)シルク表示されています。

印のある側にチップ抵抗を取り付けた場合は 1、反対側に取り付けた場合は 0 となります。HT3080 出荷時は全て 0 に設定されています。表 7-11 に JP6 ~ 9 の設定とベースアドレスの関係を示します。x は JP1 ~ 4 で指定されます。JP1 ~ 4 の設定については表 7-10 をご参照ください。

表 7-11 JP6 ~ 9 の設定とベースアドレス

JP6	JP7	JP8	JP9	ベースアドレス
0	0	0	0	0x00
0	0	0	1	1x00
0	0	1	0	2x00
0	0	1	1	3x00
0	1	0	0	4x00
0	1	0	1	5x00
0	1	1	0	6x00
0	1	1	1	7x00

JP6	JP7	JP8	JP9	ベースアドレス
1	0	0	0	8x00
1	0	0	1	9x00
1	0	1	0	Ax00
1	0	1	1	Bx00
1	1	0	0	Cx00
1	1	0	1	Dx00
1	1	1	0	Ex00
1	1	1	1	Fx00



《注意》

JP6 ~ 9 のジャンパは必ず 0 か 1 を設定してください。ジャンパをはずした状態で動作させないでください。

## 7.3.4 JPn0

JPn0(n=1~8)は各チャンネルの送受信に使用するドライバを RS232C/485(422)/TTL から選択するジャンパです。n はチャンネル番号に対応します。設定は図 7-5をご参照ください。使用しないチャンネルの設定はいずれの状態でもかまいませんが、全てのジャンパをはずした状態でドライバの消費電力が最小となります。

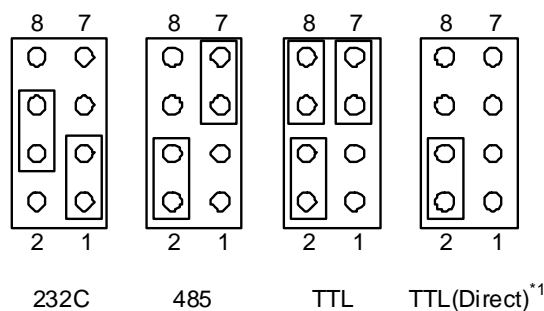


図 7-5 JPn0 ラインドライバ選択

\*1:この設定で使用する場合は、JPn5 を ON にする必要があります。7.3.7項をご参照ください。



### 《注意》

図に示されていない組み合わせのジャンパ設定はしないようご注意ください。電源がジャンパで短絡される組み合わせがあり、HT3080 のパターン焼損等の事故につながる可能性があります。

## 7.3.5 JPn1/JPn2

JPn1/JPn2(n=1~8)は各チャンネルをRS485/422で使用する場合のドライバスルーレートを設定するジャンパです。ジャンパ番号は(数字のみで)シルク表示されています。ジャンパ設定とスルーレートの関係は表 7-12をご参照ください。0 チップ抵抗を取り付けた場合 ON, 取り外した場合 OFF となります。出荷時には 500kbps にスルーレート制限されています。

表 7-12 JPn1/JPn2 設定とスルーレート

JPn1	JPn2	スルーレート
OFF	OFF	115kbps
OFF	ON	10Mbps
ON	OFF	500kbps(出荷時設定)



### 《注意》

表に示されていない組み合わせ(JPn1/JPn2 両方を ON) の設定はしないようご注意ください。ジャンパを通して電源が短絡されるため、HT3080 のパターン焼損等の事故につながる可能性があります。

## 7.3.6 JPn3/JPn4

JPn3/JPn4(n=1~8)は、各チャンネルを RS232C で使用する場合のオートパワーダウン機能設定ジャンパです。ジャンパ番号は(数字のみで)シルク表示されています。ジャンパ設定とオートパワーダウン機能の関係は表 7-13をご参照ください。0 チップ抵抗を取り付けた場合 ON, 取り外した場合 OFF となります。出荷時にはオートパワーダウン機能は無効に設定されています。

オートパワーダウンが有効となっている場合、各チャンネルの RS232C レベル入力に信号が観測されないと RS232C ドライバ出力がオフとなります。

表 7-13 JPn3/JPn4 設定とオートパワーダウン

JPn3	JPn4	オートパワーダウン機能
OFF	ON	オートパワーダウン有効
ON	OFF	オートパワーダウン無効(出荷時)



### 《注意》

JPn3/JPn4 両方を ON に設定しないようご注意ください。ジャンパを通して電源が短絡されるため、HT3080 のパターン焼損等の事故につながる可能性があります。また JPn3/JPn4 両方を OFF にすると RS232C ドライバの制御入力端子がオープンとなり動作が不安定となりますので、設定しないでください。

## 7.3.7 JPn5

JPn5(n=1~8)は、各チャンネルの受信信号を TTL レベルで使用する場合に、RS485 レシーバを通さず、直接 XR16L788 の Rxn 入力に接続するためのジャンパです。ジャンパ番号は(数字のみで)シルク表示されています。0 チップ抵抗を取り付けた場合 ON, 取り外した場合 OFF となります。出荷時このジャンパは OFF に設定されています。JPn5 を ON にする場合は、RS485 レシーバの出力と競合しないよう、JPn0 を TTL(Direct)の設定にしてください。(図 7-5参照)

## 7.3.8 JPn6

JPn6(n=1~8)は、各チャンネルの送信信号を TTL レベルで使用する場合に、RS485 ドライバ出力を使用せず、直接 XR16L788 の Txn 出力に接続するためのジャンパです。ジャンパ番号は(数字のみで)シルク表示されています。0 チップ抵抗を取り付けた場合 ON, 取り外した場合 OFF となります。出荷時このジャンパは OFF に設定されています。JPn6 を ON にする場合は、RS485 ドライバの出力と競合しないよう、該当チャンネルの RTS をソフトウェアでアクティブにしないようご注意ください。

## 7.4 RS485 出力ドライバ制御

HT3080 では RS485 出力ドライバの ON/OFF を RTS で制御します。

自動 RS485 ハーフデュプレクス機能を有効にすると、XR16L788 は送信時に/RTS(または/DTR)を H にし、送信後 L に戻します。RS485 の出力ドライバ MAX3089E の送信ドライバイネーブル入力(DE)は、H のとき出力ドライバがアクティブとなるため、基本的には XR16L788 の/RTS 出力をドライバの DE 入力に接続すればよいのですが、ハードウェアリセット時に XR16L788 の/RTS は H となるためドライバ出力がアクティブになってしまいます。

このため HT3080 ではハードウェアリセット後 MAX3089E の DE 入力を L とし、該当チャンネルの/RTS 信号が H L H と遷移してから DE 入力を/RTS で制御する回路を各チャンネルに付加しています。

図 7-6 に RESETDRV、/RTS の変化に対する DE の状態変化を波形で示します。

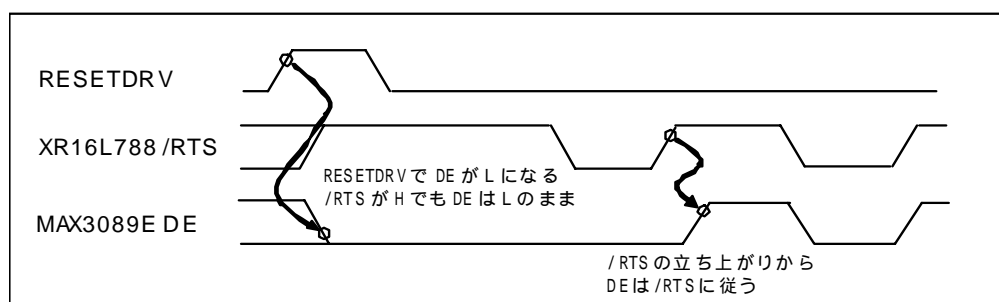


図 7-6 RS485 出力イネーブル信号の制御

RS485 をフルデュプレクスで使用する場合も、出力ドライバをアクティブにするために/RTS を H L H と変化させる必要があります。/RTS の制御については8.2.8項をご参照ください。

## 7.5 RS485 ハーフ・フルデュプレクス切替

HT3080 では RS485 のハーフ・フルデュプレクス切替を各チャンネルの/DTR で制御します。各チャンネルの/DTR が MAX3089E の H/F 端子に接続されており、/DTR がアクティブの場合はフルデュプレクス、インアクティブの場合はハーフデュプレクスとなります。/DTR の制御については8.2.8項をご参照ください。

## 7.6 タイマ外部クロック入力

XR16L788 のタイマクロック入力 TMRCK には、オンボードのポーレートクロック発振回路のほか外部クロックを接続することも可能です。外部クロックを使用する場合は R90 に 0 のチップ抵抗を取り付けると、PC/104 バスの SYSCLK を XR16L788 の TMRCK に接続することができます。(出荷時 R90 には部品が実装されていません。基板裏面シルクで 90 と表示されています。)

# 8 内蔵レジスタ

この章では、HT3080 に採用している XR16L788 のレジスタについて説明します。HT3080 は I/O アドレス空間に XR16L788 のレジスタ 144 バイトを占有し、そのベースアドレスを JP1 ~ 4 で設定します。同時に使用する他の PC/104 モジュールの占有 I/O アドレスと重複しないようご注意ください。HT3080 はアドレスデコードを SA[15:0]までの 16 ビットで行っていますが、他の PC/104 モジュールは SA[10:0]までをデコードに使用している場合があります。

たとえば SA[10:0]までをデコードに使用しているボードの占有アドレスが 300H から 16 バイトの場合、そのイメージは B00H、1300H、1B00H...等にも存在しますので、HT3080 のベースアドレスは 300H だけでなく B00H に設定することもできません。

## 8.1 レジスタマップ

図 8-1に XR16L788 のレジスタの概要を示します。XR16L788 のレジスタは各チャンネルごとに用意されている UART チャンネルコンフィグレーションレジスタと、デバイス全体の設定を行うデバイスコンフィグレーションレジスタで構成されています。各チャンネルの UART チャンネルコンフィグレーションレジスタのうち先頭 8 バイトは 16550 互換です。

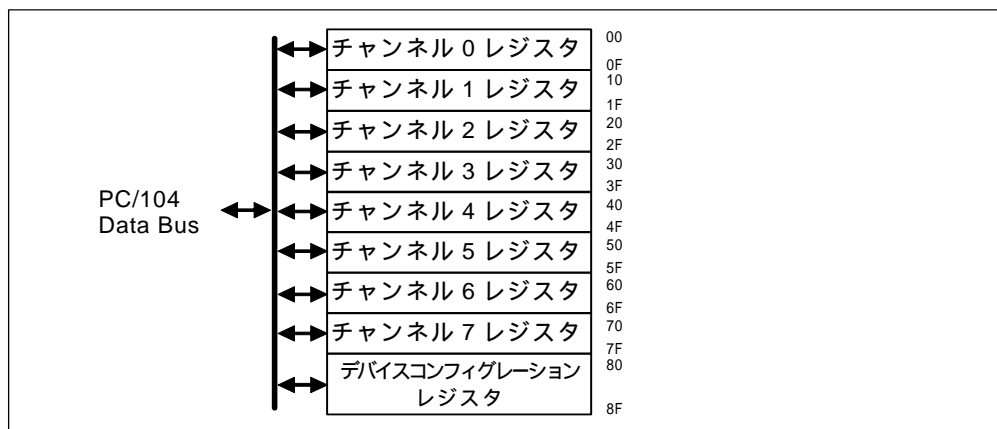


図 8-1 XR16L788 のレジスタ概要



## 8.2 UART チャンネルコンフィグレーションレジスタ

表 8-1に各チャンネルの UART チャンネルコンフィグレーションレジスタのアドレスマップを示します。先頭の 8 つのレジスタは 16550 互換レジスタ、それ以降のレジスタが拡張されたレジスタとなっています。互換レジスタにもビット機能が拡張された箇所がありますので、16550 用に作成されたプログラムを HT3080 用書き換えする場合は注意が必要です。

表 8-1 UART チャンネルコンフィグレーションレジスタアドレスマップ

SA3	SA2	SA1	SA0	Read/Write	レジスタ	機能
0	0	0	0	R/W	DLL	ディバイザラッチ LSB(LCR[7]=1 の場合)
0	0	0	1	R/W	DLM	ディバイザラッチ MSB(LCR[7]=1 の場合)
0	0	0	0	RO	RHR	受信ホールディングレジスタ(LCR[7]=0 の場合)
0	0	0	0	WO	THR	送信ホールディングレジスタ(LCR[7]=0 の場合)
0	0	0	1	R/W	IER	インタラプトイネーブルレジスタ(LCR[7]=0 の場合)
0	0	1	0	RO	ISR	インタラプトステータスレジスタ
0	0	1	0	WO	FCR	FIFO コントロールレジスタ
0	0	1	1	R/W	LCR	ラインコントロールレジスタ
0	1	0	0	R/W	MCR	モデムコントロールレジスタ
0	1	0	1	RO	LSR	ラインステータスレジスタ
0	1	1	0	RO	MSR	モデムステータスレジスタ
0	1	1	0	WO	RS485DLY	RS485 ターンアラウンドディレイレジスタ
0	1	1	1	R/W	SPR	スクラッチパッドレジスタ
1	0	0	0	R/W	FCTR	フィーチャーコントロールレジスタ
1	0	0	1	R/W	EFR	エンハンスドファンクションレジスタ
1	0	1	0	RO	TXCNT	送信 FIFO レベルカウンタ
1	0	1	0	WO	TXTRG	送信 FIFO トリガレベル
1	0	1	1	RO	RXCNT	受信 FIFO レベルカウンタ
1	0	1	1	WO	RXTRG	受信 FIFO トリガレベル
1	1	0	0	WO	Xoff1	Xoff キャラクタ 1
1	1	0	0	RO	Xchar	X 制御キャラクタレジスタ
1	1	0	1	WO	Xoff2	Xoff キャラクタ 2
1	1	1	0	WO	Xon1	Xon キャラクタ 1
1	1	1	1	WO	xon2	Xon キャラクタ 2

各レジスタ詳細については、XR16L788 のデータシートをご参照ください。

### 8.2.1 RHR

RHR は受信データを読み出しする 8bit のレジスタで、読み出し専用です。同じアドレスへの書き込みは THR への書き込みとなります。RHR と DLL レジスタは同じアドレスにマッピングされているため、RHR をアクセスする場合は LCR の bit7 に 0 を設定する必要があります。

## 8.2.2 THR

THR は送信データを書き込みする 8bit のレジスタで、書き込み専用です。同じアドレスからのデータ読み出しでは、RHR の値を読み出します。THR と DLL レジスタは同じアドレスにマッピングされているため、THR をアクセスする場合は、LCR の bit7 に 0 を設定する必要があります。

THR への書き込みは、THR 割り込み時または LSR の THREmpty が 1 のときに行ってください。

## 8.2.3 DLL, DLM

DLL/DLM レジスタはボーレートジェネレータの分周比を設定するレジスタで DLL が LSB、DLM が MSB となる 16bit レジスタを構成しています。

ボーレートは 14.7456MHz を DLL/DLM レジスタ設定値で分周して作成されますが、プリスケアラの設定(MCR レジスタの BRG Prescaler ビット)とサンプリングクロックの設定(8XMODE レジスタの UARTn ビット)にも影響をうけます。分周比の計算式とこれらの設定値との関係を表 8-2 に示します。

表 8-2 分周比計算式

BRG Prescaler	8XMODE	分周比
0	0	$14745600 / (\text{ボーレート設定値} \times 16)$
0	1	$14745600 / (\text{ボーレート設定値} \times 8)$
1	0	$3686400 / (\text{ボーレート設定値} \times 16)$
1	1	$3686400 / (\text{ボーレート設定値} \times 8)$

DLL/DLM レジスタは THR/RHR/IER と同じアドレスにマッピングされているため、DLL/DLM レジスタをアクセスする場合は、LCR の bit7 に 1 を設定する必要があります。なおリセット時 DLL/DLM の値は不定です。

《注意》

MCR レジスタの BRGPrescaler ビットは 16550 互換レジスタに割り当てされていますが XR16L788 の拡張機能です。ソフトウェア移植の際にはご注意ください。また UART 用のシステムクロックや分周比設定値の計算は PC/AT とは異なります。PC/AT の場合、分周比は  $1843200 / (\text{ボーレート設定値} \times 16)$  で計算されます。



## 8.2.4 IER

IER は割り込み禁止・許可を設定する 8bit のレジスタです。IER と DLM レジスタは同じアドレスにマッピングされているため、IER をアクセスする場合は、LCR の bit7 に 0 を設定する必要があります。

IER のビット構成を図 8-2 に、各ビットの機能を表 8-3 に示します。

bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
CTS Int. Enable	RTS Int. Enable	Xoff Int. Enable	0	Modem Status Int. Enable	RX Line Status Int. Enable	THR Int. Enable	RHR Int. Enable

図 8-2 IER の構成

表 8-3 IER の各ビット機能

bit	説明
RHR Int. Enable	nonFIFO モードでは RHR に受信データがある場合、FIFO モードでは受信 FIFO が設定されたトリガレベルに達した場合に割り込みを発生します。
THR Int. Enable	THR が空となった場合または送信 FIFO が設定されたトリガレベルを下回った場合に割り込みを発生します。
RX Line Status Int. Enable	LSR のビット 1 ~ 4 のいずれかが 1 になった場合に割り込みを発生します。
Modem Status Int. Enable	MSR のビット 0 ~ 3 のいずれかが 1 になった場合に割り込みを発生します。
Xoff Int. Enable	Xoff/Xon/特別キャラクタ受信で割り込みを発生します。この機能を使用する場合は EFR の bit4 に 1 を設定する必要があります。
RTS Int. Enable	オートハードフロー制御を使用する設定で、/RTS または /DTR がアクティブからインアクティブになった場合に割り込みを発生します。この機能を使用する場合は EFR の bit4 に 1 を設定する必要があります。
CTS Int. Enable	オートハードフロー制御を使用する設定で、/CTS または /DSR がアクティブからインアクティブになった場合に割り込みを発生します。この機能を使用する場合は EFR の bit4 に 1 を設定する必要があります。

0 が設定されたビットの割り込みは禁止、1 が設定されたビットの割り込みは許可されます。リセット後 IER は 00H に初期化されます。

## 8.2.5 ISR

ISR は割り込みのステータスを示す 8bit のレジスタで、読み出し専用です。同じアドレスへの書き込みは FCR への書き込みとなります。

ISR のビット構成を図 8-3に示します。

bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
FIFOs Enable	FIFOs Enable	INT Source Bit-5	INT Source Bit-4	INT Source Bit-3	INT Source Bit-2	INT Source Bit-1	INT Source Bit-0

図 8-3 ISR の構成

FIFOsEnable ビットには FIFO が有効な場合は 1、無効の場合は 0 が読み出されます。INT Source フィールドは 6 ビットで構成され、ISR の読み出しでその時点で一番高い優先順位の割り込み要因を返します。その他の割り込みはその割り込みが処理されるまで保留となります。

表 8-4 割り込み要因とプライオリティレベル

プライオリティ	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0	割り込み要因
1	0	0	0	1	1	0	LSRbit1,2,3,4 に変化があった場合
2	0	0	0	1	0	0	受信トリガレベルによる RxDataRDY
3	0	0	1	1	0	0	タイムアウトによる RxRDY
4	0	0	0	0	1	0	THR が空になった場合(オート RS485 機能を有効にしている場合は TSR が空になった場合)
5	0	0	0	0	0	0	MSR の bit0,1,2,3 に変化があった場合
6	0	1	0	0	0	0	Xon/Xoff/特別キャラクタが検出された場合
7	1	0	0	0	0	0	オートハードフロー制御ラインがアクティブからインアクティブになった場合
-	0	0	0	0	0	1	なし

表 8-4に INT Source フィールドの値と、割り込み要因を示します。複数の割り込み条件が成立した場合は、表中の優先順位が高いものから通知されます。ISR の bit4、bit5 は拡張機能のため、この機能を使用する場合は EFR の bit4 に 1 を設定する必要があります。各割り込みの発生条件、クリア条件を表 8-5に示します。

表 8-5 割り込みの発生、クリア条件

割り込み	発生	クリア
LSR	LSRbit1/2/3/4 の変化	LSR 読み出したとき
RxRDY	受信トリガレベル	受信 FIFO がトリガレベルを下回ったとき
RxRDY	受信タイムアウト	RHR の読み出し
TxRDY	THR が空となったとき(オート RS485 機能が有効な場合は TSR が空となったとき)	ISR 読み出しまたは THR への書き込み
MSR	MSRbit0/1/2/3 の変化	MSR の読み出し
Xon/Xoff	Xon/Xoff 受信	ISR 読み出し
SpecialCharacter	特別キャラクタ受信	ISR 読み出しまたは次のキャラクタ受信
オートハードフロー	制御入出力の変化	MSR の読み出し

## 8.2.6 FCR

FCR は FIFO の動作を設定する 8bit のレジスタで、書き込み専用です。同じアドレスの読み出しは ISR の読み出しとなります。FCR のビット構成を図 8-4に示します。

bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
RX FIFO Trigger	RX FIFO Trigger	TX FIFO Trigger	TX FIFO Trigger	-	TX FIFO Reset	RX FIFO Reset	FIFOs Enable

図 8-4 FCR の構成

FCR の各ビット機能を表 8-6に示します。FIFO のトリガレベル設定は FCTR の bit6,7 の設定により異なります。表 8-7をご参照ください。FCR の bit4、bit5 は拡張機能のため、この機能を使用する場合は EFR の bit4 に 1 を設定する必要があります。リセット時に FCR は 00H に初期化されます。

表 8-6 FCR の各ビット機能

bit	説明
FIFOs Enable	0:送受信 FIFO を禁止します。(初期値) 1:送受信 FIFO を許可します。 このビットが 0 の場合は FCR のその他のビットは設定できません。
RX FIFO Reset	1 を書き込むと受信 FIFO をリセットします。リセット後このビットは 0 に戻ります。
TX FIFO Reset	1 を書き込むと送信 FIFO をリセットします。リセット後このビットは 0 に戻ります。
TX FIFO Trigger Select	送信 FIFO のトリガレベルを選択します。選択されるトリガレベルは FCTR の bit6,7 の設定によって異なります。
RX FIFO Trigger Select	受信 FIFO のトリガレベルを選択します。選択されるトリガレベルは FCTR の bit6,7 の設定によって異なります。

表 8-7 FIFO トリガテーブルとトリガレベル設定値

トリガテーブル	FCTR		FCR				トリガレベル		
	Bit7	Bit6	Bit7	Bit6	Bit5	Bit4	受信	送信	
Table A	0	0			0	0		1	
			0	0				1	
			0	1				4	
			1	0				8	
			1	1				14	
Table B	0	1			0	0		16	
					0	1		8	
					1	0		24	
					1	1		30	
			0	0				8	
			0	1				16	
			1	0				24	
			1	1				28	
Table C	1	0			0	0		8	
					0	1		16	
					1	0		32	
					1	1		56	
			0	0				8	
			0	1				16	
			1	0				56	
			1	1				60	
Table D	1	1	X	X	X	X	RXTRG で設定	TXTRG で設定	

## 8.2.7 LCR

LCR は非同期通信フォーマットを設定する 8bit のレジスタです。FCR のビット構成を図 8-5に、各ビットの機能を表 8-8に示します。リセット時 LCR は 00H に初期化されます。

bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
Divisor Enable	Set TX Break	Set Parity	Even Parity	Parity Enable	Stop Bits	Word Length bit 1	Word Length bit 0

図 8-5 LCR の構成

表 8-8 LCR の各ビット機能

bit	説明
Word Length[1:0]	通信のキャラクタ長を設定します。 00:5bit 01:6bit 10:7bit 11:8bit
Stop Bits	ストップビット長を設定します。 0:1stop bit 1:2stop bit(キャラクタ長が 5bit の場合は 1.5stop bit)
Parity Enable	0:パリティを使用しません。 1:送信時パリティを付加し、受信時はパリティエラーチェックを行います。
Even Parity	0:奇数パリティ (ODD) 1:偶数パリティ (EVEN)
Set Parity	Parity Enable ビットが 1 の場合に、 0:パリティの計算を行います。 1:強制的にパリティの値を設定します。奇数パリティ設定の場合はパリティビットを 1 に、偶数パリティ設定の場合はパリティビットを 0 に設定します。
SetTX Break	1 を設定するとこのビットを 0 に戻すまで送信出力をブレイク状態にします。
Divisor Enable	0:RHR/THR をアクセスすることができます。 1:DLL/DLM をアクセスすることができます。

## 8.2.8 MCR

MCR はモデムインターフェース信号を制御する 8bit のレジスタです。MCR のビット構成を図 8-6に、各ビットの機能を表 8-9に示します。リセット時 MCR は 00H に初期化されます。

bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
BRG Prescaler	IR Enable	Xon Any	Internal Loopback	-	Flow Sel	RTS Control	DTR Control

図 8-6 MCR の構成

表 8-9 MCR の各ビット機能

bit	説明
BRG Prescaler	0:プリスケラ分周比を 1 に設定します。 1:プリスケラ分周比を 4 に設定します。
IR Enable	0:通常のもデム送受信インターフェースを選択します。 1:IrDA モードとなりますが、HT3080 ではサポートしていません。
Xon Any	このビットを 1 に設定すると、受信キャラクタが Xon 以外でもデータ送信を再開します。
Internal Loopback	0:ループバック状態を解除します。 1:ローカルループバック状態にします。
Flow Sel	ハードフロー制御に使う信号を選択します。 0:RTS/CTS を使用します。 1:DTR/DSR を使用します。
RTS control	RTS 端子のレベルを制御します。RS485 モード時の機能は7.4をご参照ください。 0:RTS をインアクティブにします。 1:RTS をアクティブにします。
DTR control	DTR 端子のレベルを制御します。RS485 モード時の機能は7.5をご参照ください。 0:DTR をインアクティブにします。 1:DTR をアクティブにします。

MCR の bit2、bit5、bit6、bit7 は拡張機能のため、この機能を使用する場合は EFR の bit4 に 1 を設定する必要があります。

## 8.2.9 LSR

LSR は UART とホスト間のデータ転送ステータスを提供する 8bit のレジスタです。LSR のビット構成を図 8-6に、各ビットの機能を表 8-9に示します。リセット時 MCR は 60H に初期化されます。

bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
RX FIFO ERROR	TSR Empty	THR Empty	RX Break	RX Framing Error	RX Parity Error	Rx OverRun	RxData Ready

図 8-7 LSR の構成

表 8-10 LSR の各ビット機能

bit	説明
RX FIFO Error	0:受信 FIFO にエラーがないことを示します。 1:受信 FIFO になんらかのエラーがあることを示します。FIFO からエラーがなくなるとこのビットはクリアされます。
TSR Empty	0:THR または TSR にデータがある場合 1:送信アイドル状態を示します。
THR Empty	0:THR にデータがある場合 1:THR または TXFIFO に空きがある場合
RX Break	0:ブレイク状態ではないことを示します。 1:ブレイク信号を受信したことを示します。FIFO モードでは FIFO には 1 バイトのみブレイクキャラクタがロードされます。
RX Framing Error	0:フレーミングエラーなし 1:フレーミングエラー
RX Parity Error	0:パリティエラーなし 1:パリティエラー検出
RX Overrun Error	0:オーバーランエラーなし 1:オーバーランエラー検出
RX Data Ready	0:受信データなし 1:受信データあり

## 8.2.10 MSR

MSR はモデムインターフェース信号の状態を示す 8bit のレジスタで、読み出し専用です。同じアドレスへの書き込みは RS485DLY レジスタへの書き込みとなります。MSR のビット構成を図 8-8に、各ビットの機能を表 8-11に示します。

bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
CD	RI	DSR	CTS	CD Change	RI Change	DSR Change	CTS Change

図 8-8 MSR の構成

表 8-11 MSR の各ビット機能

bit	説明
CD	0:CD がインアクティブ 1:CD がアクティブ
RI	0:RI がインアクティブ 1:RI がアクティブ
DSR	0:DSR がインアクティブ 1:DSR がアクティブ
CTS	0:CTS がインアクティブ 1:CTS がアクティブ
CD Change	0:CD の状態に変化がないことを示します。 1:CD の状態に変化があったことを示します。このレジスタの読み出しで 0 にリセットされます。
RI Change	0:RI の状態に変化がないことを示します。 1:RI の状態に変化があったことを示します。このレジスタの読み出しで 0 にリセットされます。
DSR Change	0:DSR の状態に変化がないことを示します。 1:DSR の状態に変化があったことを示します。このレジスタの読み出しで 0 にリセットされます。
CTS Change	0:CTS の状態に変化がないことを示します。 1:CTS の状態に変化があったことを示します。このレジスタの読み出しで 0 にリセットされます。

## 8.2.11 RS485DLY

RS485DLY レジスタは、オート RS485 モードの場合に送信から受信への切替時間を設定する書き込み専用レジスタです。同じアドレスの読み出しは MSR レジスタからの読み出しとなります。図 8-9に RS485DLY レジスタのビット構成を示します。

bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
DLY3	DLY2	DLY1	DLY0	0	0	0	0

図 8-9 RS485DLY の構成

DLY[3:0]の 4 ビットで 0 から 15 までの値を設定可能です。最終データのストップビット送信後から DLY で指定された値×1 ビット時間のディレイ後に RTS を切り替えて RS485 出力をハイインピーダンスにします。

## 8.2.12 SPR

SPR はユーザが自由に使用することができる 8bit のスクラッチパッドレジスタです。リセット時は FFH に初期化されます。

## 8.2.13 FCTR

FCTR は拡張された機能の設定を行う 8bit のレジスタです。図 8-10に FCTR のビット構成を、表 8-12に各ビット機能を示します。リセット時 FCTR は 00H に初期化されます。



bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
TRG Table 1	TRG Table 0	AUTO RS485 Enable	Invert IR RX Input	RTS/DTR Hyst 3	RTS/DTR Hyst 2	RTS/DTR Hyst 1	RTS/DTR Hyst 0

図 8-10 FCTR の構成

表 8-12 FCTR の各ビット機能

bit	説明
TRG Table[1:0]	FIFO のトリガテーブルを選択します。FIFO のトリガレベルについては表 8-7をご参照ください。
AUTO RS485 Enable	0:AUTO RS485 ハーフデュプレクス制御を無効にします。 1:AUTO RS485 ハーフデュプレクス制御を有効にします。
Invert IR RX input	0:受信入力をアクティブハイの IrDA 入力とします。 1:受信入力をアクティブローの IrDA 入力とします。
RTS/DTR Hyst[3:0]	ハードフロー制御のトリガテーブル D が選択されている場合に、受信 FIFO のトリガレベルに対する RTS/DTR のヒステリシスを設定します。ヒステリシスの設定については表 8-13をご参照ください。

表 8-13 ヒステリシスレベルの設定

Hyst3	Hyst2	Hyst1	Hyst0	RTS/DTR ヒステリシス (キャラクタ)
0	0	0	0	0
0	0	0	1	4
0	0	1	0	6
0	0	1	1	8
0	1	0	0	8
0	1	0	1	16
0	1	1	0	24
0	1	1	1	32
1	1	0	0	12
1	1	0	1	20
1	1	1	0	28
1	1	1	1	36
1	0	0	0	40
1	0	0	1	44
1	0	1	0	48
1	0	1	1	52

## 8.2.14 EFR

EFR は拡張された機能の設定を行う 8bit のレジスタです。図 8-11に EFR のビット構成を、表 8-14に各ビット機能を示します。リセット時 EFR は 00H に初期化されます。

bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
Auto CTS/DSR Enable	Auto RTS/DTR Enable	Special Char Select	Enhanced Function Enable	Software Flow Cntl 3	Software Flow Cntl 2	Software Flow Cntl 1	Software Flow Cntl 0

図 8-11 EFR の構成

表 8-14 EFR の各ビット機能

bit	説明
AutoCTS/DSR Enable	CTS または DSR による送信ハードウェアフロー制御を使用するかどうかを設定します。 0:使用しない 1:使用する CTS/DSR のどちらを使用するかは MCR の bit2 で設定します。
Auto RTS/DTR Enable	RTS または DTR による受信ハードウェアフロー制御を使用するかどうかを設定します。 0:使用しない 1:使用する RTS/DTR のどちらを使用するかは MCR の bit2 で設定します。
Special Char Select	0:特別キャラクタ検出を行いません。 1:特別キャラクタ検出を行います。
Enhanced Function Enable	このビットを 1 にすると、IER の bit4-7、ISR の bit4,5、FCR の bit4,5、MCR の bit5-7 を変更することができます。このビットを 0 にすると変更された値は保持され、変更できなくなります。
Software Flow Cntl[3:0]	4 ビットの組み合わせでソフトウェアフロー制御の機能を設定します。詳細は表 8-15をご参照ください。

表 8-15 ソフトウェアフロー制御の設定

Software Flow Cntl				受信フロー制御	送信フロー制御
bit3	bit2	bit1	bit0		
0	0	0	0	フロー制御なし	フロー制御なし
0	0	0	1	フロー制御なし	Xon2/Xoff2 を検出
0	0	1	0	フロー制御なし	Xon1/Xoff1 を検出
1	0	0	0	Xon1/Xoff1 を送信	フロー制御なし
1	0	0	1	Xon1/Xoff1 を送信	Xon2/Xoff2 を検出
1	0	1	0	Xon1/Xoff1 を送信	Xon1/Xoff1 を検出
0	1	0	0	Xon2/Xoff2 を送信	フロー制御なし
0	1	0	1	Xon2/Xoff2 を送信	Xon2/Xoff2 を検出
0	1	1	0	Xon2/Xoff2 を送信	Xon1/Xoff1 を検出
1	1	0	0	Xon1 と Xon2/Xoff1 と Xoff2 を送信	フロー制御なし
1	1	0	1	Xon1 と Xon2/Xoff1 と Xoff2 を送信	Xon2/Xoff2 を検出
1	1	1	0	Xon1 と Xon2/Xoff1 と Xoff2 を送信	Xon2/Xoff2 を検出
1	0	1	1	Xon1/Xoff1 を送信	Xon1 または Xon2, Xoff1 または Xoff2 を検出
0	1	1	1	Xon2/Xoff2 を送信	Xon1 または Xon2, Xoff1 または Xoff2 を検出
1	1	1	1	Xon1 と Xon2/Xoff1 と Xoff2 を送信、	Xon1 と Xon2 の連続 2 キャラクタまたは Xoff1 と Xoff2 の連続 2 キャラクタを検出
0	0	1	1	フロー制御なし、	Xon1 と Xon2 の連続 2 キャラクタまたは Xoff1 と Xoff2 の連続 2 キャラクタを検出

## 8.2.15 TXCNT

TXCNT レジスタは送信 FIFO 内のキャラクタ数を示す 8bit の読み出し専用レジスタです。読み出しされる値は 0~40H です。

## 8.2.16 TXTRG

TXTRG レジスタは送信 FIFO のトリガレベルを設定する 8bit の書き込み専用レジスタです。書き込み可能な設定値は 0~40H です。リセット時 TXTRG は 00H に初期化されます。

## 8.2.17 RXCNT

RXCNT レジスタは受信 FIFO 内のキャラクタ数を示す 8bit の読み出し専用レジスタです。読み出しされる値は 0~40H です。

## 8.2.18 RXTRG

RXTRG レジスタは受信 FIFO のトリガレベルを設定する 8bit の書き込み専用レジスタです。書き込み可能な設定値は 0~40H です。リセット時 RXTRG は 00H に初期化されます。

## 8.2.19 XCHAR

XCHAR レジスタは Xon/Xoff 制御キャラクタ検出状態を示す 8bit の読み出し専用レジスタです。XCHAR レジスタのビット構成を図 8-12 に示します。

bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
0	0	0	0	0	0	Xon Det. Indicator	Xoff Det. Indicator

図 8-12 XCHAR の構成

Xon Det. Indicator ビットは XON キャラクタの検出を、Xoff Det. Indicator ビットは XOFF キャラクタの検出時に 1 となります。これらのビットは XCHAR レジスタのリードで 0 にクリアされます。

## 8.2.20 XOFF1

XOFF1 レジスタはソフトウェアフロー制御で使用する XOFF キャラクタを設定する 8bit のレジスタで、書き込み専用です。同じアドレスからのデータ読み出しでは、XCHAR レジスタを読み出します。EFR[0:3] で設定される X 制御のモードについては表 8-15 をご参照ください。リセット時 XOFF1 は 00H に初期化されます。

## 8.2.21 XOFF2

XOFF2 レジスタはソフトウェアフロー制御で使用する XOFF キャラクタを設定する 8bit のレジスタで、書き込み専用です。EFR[0:3]で設定される X 制御のモードについては表 8-15をご参照ください。リセット時 XOFF2 は 00H に初期化されます。

## 8.2.22 XON1

XON1 レジスタはソフトウェアフロー制御で使用する XON キャラクタを設定する 8bit のレジスタで、書き込み専用です。EFR[0:3]で設定される X 制御のモードについては表 8-15をご参照ください。リセット時 XON1 は 00H に初期化されます。

## 8.2.23 XON2

XON2 レジスタはソフトウェアフロー制御で使用する XON キャラクタを設定する 8bit のレジスタで、書き込み専用です。EFR[0:3]で設定される X 制御のモードについては表 8-15をご参照ください。リセット時 XON2 は 00H に初期化されます。

## 8.3 デバイスコンフィグレーションレジスタ

表 8-16にデバイスコンフィグレーションレジスタのアドレスマップを示します。デバイスコンフィグレーションレジスタは割り込みのステータス取得や内蔵タイマの制御、サンプリングクロック選択、スリープモード等の機能を設定します。

表 8-16 デバイスコンフィグレーションレジスタアドレスマップ

SA[7:0]	Read/Write	レジスタ	機能
80	RO	INT0	INT ソースレジスタ
81	RO	INT1	INT1 レジスタ
82	RO	INT2	INT2 レジスタ
83	RO	INT3	INT3 レジスタ
84	R/W	TIMERCTRL	タイマコントロールレジスタ
85	RO	TIMER	タイマレジスタ(予約)
86	R/W	TIMERLSB	タイマ LSB
87	R/W	TIMERMSB	タイマ MSB
88	R/W	8XMODE	8 X モードレジスタ
89	R	REGA	REGA(予約)
8A	W	RESET	リセットレジスタ
8B	R/W	SLEEP	スリープレジスタ
8C	R	DREV	デバイスレビジョンレジスタ
8D	R	DVID	デバイス ID レジスタ
8E	R/W	REGB	REGB

## 8.3.1 INT0, INT1, INT2, INT3

INT0～3はXR16L788の割り込みソースを特定する情報を提供する8ビットの読み出し専用レジスタです。

INT0は割り込みが発生したチャンネルを示し、CH<sub>n</sub>(n=1～8)の該当するビットが1になります。割り込みがクリアされると、INT0の該当ビットがクリアされます。INT0のビット構成を図8-13に示します。

bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
CH7	CH6	CH5	CH4	CH3	CH2	CH1	CH0

図 8-13 INT0 の構成

INT1～3は割り込みソースを各チャンネル3ビットで示します。INT1～3のビット構成を図8-14に示します。割り込みソースについては表8-17をご参照ください。複数の割り込みソースがある場合、表中のプライオリティの高いものが優先されます。

INT3								INT2								INT1															
CH7		CH6		CH5		CH4		CH3		CH2		CH1		CH0		CH7		CH6		CH5		CH4		CH3		CH2		CH1		CH0	
7	6	5	4	3	2	1	0	7	6	5	4	3	2	1	0	7	6	5	4	3	2	1	0								
2	1	0	2	1	0	2	1	0	2	1	0	2	1	0	2	1	0	2	1	0	2	1	0								

図 8-14 INT1～3 の構成

表 8-17 割り込みソースとプライオリティレベル

プライオリティ	Bit2	Bit1	Bit0	割り込みソース
-	0	0	0	なし
1	0	0	1	受信レディおよび受信ラインステータス
2	0	1	0	受信レディタイムアウト
3	0	1	1	送信レディ
4	1	0	0	モデムステータス信号の変化、RTS/DTRの変化、X制御キャラクタまたは特別キャラクタの検出
5	1	0	1	予約
6	1	1	0	予約
7	1	1	1	タイマタイムアウト(CH0のみ)

## 8.3.2 TIMERCTRL

TIMERCTRLレジスタは、タイマの動作を設定する8ビットのレジスタです。TIMERCTRLのビット構成を図8-15に、各ビットの機能を表8-18に示します。リセット時TIMERCTRLの上位4ビットは不定で、下位4ビットは0に初期化されます。INT Enableを1に設定して発生したタイマ割り込みは、TIMERCTRLの読み出しによってクリアされます。

bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
-	-	-	-	Clock Select	Single Retrigger	Start Stop	INT Enable

図 8-15 TIMERCTRL の構成

表 8-18 TIMERCTRL の各ビット機能

bit	説明
Clock Select	タイマのクロックソースを選択します。 0:内部クロックを使用 1:外部クロックを使用
Single/ Retrigger	0:リトリガ動作 1:ワンショット動作
Start/ Stop	0:タイマを停止 1:タイマをスタート
INT Enable	0:タイマ割り込みを禁止 1:タイマ割り込みを許可

### 8.3.3 TIMER

TIMER レジスタはシステム予約された 8 ビットの読み出し専用レジスタで、読み出し値は 00H となります。

### 8.3.4 TIMERLSB, TIMERMSB

TIMERLSB、TIMERMSB レジスタは 16 ビットのタイマ設定値を保持する 8 ビットレジスタです。TIMERLSB は下位 8 ビット、TIMERMSB が上位 8 ビットに相当します。タイマはこのレジスタ設定値からカウントダウンします。リセット時 TIMERLSB、TIMERMSB レジスタは 00H に初期化されます。

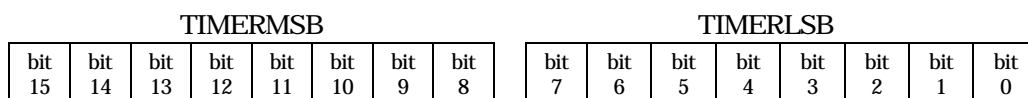


図 8-16 TIMERLSB/TIMERMSB の構成

### 8.3.5 8XMODE

8XMODE レジスタは、送受信のサンプルレートを設定する 8 ビットのレジスタです。8XMODE レジスタのビット構成を図 8-17に示します。0 が設定されているチャンネルはサンプルレートが×16、1 が設定されているチャンネルはサンプルレートが×8 となります。リセット時 8XMODE レジスタは 00H に初期化されます。このレジスタの設定値は分周比の計算に影響します。表 8-2をご参照ください。

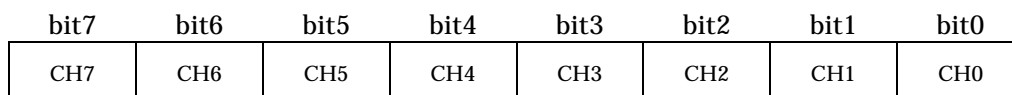


図 8-17 8XMODE の構成

### 8.3.6 REGA

REGA レジスタはシステム予約された 8 ビットの読み出し専用レジスタで、読み出し値は 00H となります。

## 8.3.7 RESET

RESET レジスタは各チャンネルをソフトウェアでリセットする 8 ビットの書き込み専用レジスタです。1 を設定したビットに対応するチャンネルの UART がリセットされます。設定したビットはリセット動作後 0 にクリアされます。なお RS485 を使用しているチャンネルについては、RS485 ドライバ出力がリセットによりアクティブとなりますのでご注意ください。RESET レジスタのビット構成を図 8-18に示します。

bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
CH7	CH6	CH5	CH4	CH3	CH2	CH1	CH0

図 8-18 RESET の構成

## 8.3.8 SLEEP

SLEEP レジスタは各チャンネルを独立にスリープモードに設定するための 8 ビットレジスタです。SLEEP のビット構成を図 8-19に示します。ペンディングとなっている割り込みがない場合、1 を設定したビットに対応するチャンネルの UART がスリープ状態となり、消費電流が 0.1mA 程度下がります。SLEEP に FFH を設定した場合は、全てのチャンネルがスリープ状態となった場合に発振回路も停止状態となります。このとき消費電流は 5mA 程度下がります。

bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
CH7	CH6	CH5	CH4	CH3	CH2	CH1	CH0

図 8-19 SLEEP の構成

スタートビットの受信、モデムステータスの変化および THR レジスタへの書き込みでスリープ状態から動作状態になりますが、通常動作状態になるまで 32 クロック時間必要なため、動作状態に移行した直後数バイトの受信は正常に行われられない可能性がありますのでご注意ください。

## 8.3.9 DREV

DREV レジスタはデバイスのレビジョン番号を返す 8 ビットの読み出し専用レジスタです。レビジョン番号として 08H が読み出され、Revision-H を示します。(今後デバイスのレビジョン変更で異なる値になる可能性があります。)

## 8.3.10 DVID

DVID レジスタはデバイス ID を返す 8 ビットの読み出し専用レジスタです。XR16L788 のデバイス ID として 28H が読み出されます。

### 8.3.11 REGB

REGB は 8 チャンネル同時書き込みを行う場合に使用される 8 ビットレジスタです。このレジスタの bit0 に 1 を設定して UART チャンネルコンフィグレーションレジスタに書き込みすると、全てのチャンネルに同時に同じ値が書き込みされます。UART 各チャンネルのレジスタを読み出しする前に、必ずこのレジスタの bit0 を 0 に戻してください。



# 9 XR16L788 の拡張機能

---

この章では、16550 等の従来の UART から追加された XR16L788 独自のフロー制御やハーフデュプレクス切替機能について説明します。

## 9.1 RTS/DTR ハードウェアフロー制御

XR16L788 は自動ハードウェアフロー制御機能により XR16L788(ローカル)受信 FIFO のオーバーランを防ぐことが可能です。フロー制御に使用するモデム制御出力は RTS または DTR を選択することができます。なお以下の説明では RTS を使用する場合について記述していますが、DTR についても同様の制御が可能です。

ハードウェアフロー制御を行う場合、図 11-2 のように XR16L788(ローカル)側の RTS 出力は通常リモート側の CTS 入力に接続されます。リモート側の装置は、CTS 入力 がアクティブの間はデータを送出しますが、インアクティブとなった場合はデータの送信を中断します。ローカル側の装置は通常 RTS をアクティブにして受信動作を行い、受信バッファに余裕がなくなった場合、RTS をインアクティブにしてリモート側の装置に送信の中断を要求します。受信バッファの余裕ができると、ローカル側の装置は RTS をアクティブにしてリモート側の装置に送信の再開を要求します。

この動作を従来の UART で行う場合、RTS をソフトウェアにより制御する必要がありますが、XR16L788 ではレジスタに必要な設定を行うと FIFO の状態に応じて自動的に RTS を制御することができます。

RTS の制御動作は、選択されているトリガテーブルによって異なります。

トリガテーブル A ~ C が選択されている場合、RTS は受信 FIFO が FCR の RXFIFOTrigger ビットで設定されたトリガレベルの次のトリガレベル値に達するとインアクティブ状態となり、リモート装置に送信停止を要求します。受信 FIFO 内のデータ数が減り、設定されたトリガレベルのひとつ下のトリガレベルに達すると再び RTS はアクティブとなります。

例えばテーブル B が選択されていて、FCR の RXFIFOTrigger ビットのトリガレベルが 16 に設定されている場合、RTS がインアクティブになるのは受信 FIFO のデータが 24 に達した場合、RTS がアクティブになるのはデータ数が 8 まで減った場合となります。(表 8-7 をご参照ください。)

トリガテーブル D が選択されている場合、自動 RTS フロー制御機能を有効に設定すると、RTS は受信 FIFO が RXTRG レジスタで設定されたトリガレベル値 + FCTR の HYST で設定されたヒステリシス値に達するとインアクティブ状態となり、受信 FIFO 内のデータ数が減り、RXTRG レジスタで設定されたトリガレベル値 - FCTR の HYST で設定されたヒステリシス値に達すると再び RTS はアクティブとなります。

例えば RXTRG に 24 が、FCTR の HYST でヒステリシスが  $\pm 16$  が設定されている場合、RTS がインアクティブになるのは受信 FIFO のデータが  $24+16=40$  に達した場合、RTS がアクティブになるのはデータ数が  $24-16=8$  まで減った場合となります。

RTS/DTR によるオートフロー制御機能を使用する場合は、表 9-1のレジスタを設定してください。

表 9-1 RTS/DTR フロー制御を行う場合に設定するレジスタ

レジスタ	ビット	設定値
FCR	FIFOs Enale	1:FIFO イネーブル
FCTR	TRG Table[1:0]	トリガテーブルを選択
FCR	ReceiveFIFOTrigger Select(bit[7:6])	トリガレベルを選択(TableA~Cの場合)
RXTRG		トリガレベル設定(TableDの場合)
FCTR	RTS/DTR Hysteresis(bit[3:0])	ヒステリシス設定(TableDの場合)
EFR	Enhanced Function Bits Enable(bit4)	1:拡張機能を使用
MCR	RTS/DTR Flow Sel(bit2)	0:RTS を使用、1:DTR を使用 (このビットの設定は送信中止に CTS を使用するか、DSR を使用するかも決定します。)
EFR	AutoRTS/DTR Enable(bit6)	1:AutoRTS/DTR を使用
MCR	RTS(bit1)	1:RTS をアクティブに設定
IER	RTS/DTR Interrupt Enable(bit6)	1:RTS/DTR 変化割り込み許可 (割り込みを使用する場合)

## 9.2 CTS/DSR フロー制御

XR16L788 は自動ハードウェアフロー制御機能によりリモート側受信 FIFO のオーバーランを防ぐことが可能です。フロー制御に使用する XR16L788 のモデム制御入力は CTS または DSR を選択することができます。なお以下の説明では CTS を使用する場合について記述していますが、DSR についても同様の制御が可能です。

ハードウェアフロー制御を行う場合、図 11-2のように XR16L788(ローカル)側の CTS 入力は通常リモート側装置の RTS 出力に接続されます。ローカル側の装置は、CTS 入力がアクティブの間はデータを送出しますが、インアクティブとなった場合はデータの送信を中断します。リモート側の装置は受信 FIFO に余裕がなくなってきた場合 RTS 出力をインアクティブにします。RTS 出力はローカル側の CTS 入力に接続されていますので、ローカル側装置はデータの送信を中断します。リモート側 FIFO に余裕がでるとリモート側の装置は RTS をアクティブに戻し、ローカル側の CTS がアクティブになるため送信を再開します。

この動作を従来の UART で行う場合、CTS 入力をソフトウェアで監視し、送信を制御する必要がありますが、XR16L788 ではレジスタに必要な設定を行うと CTS の状態をハードウェアが監視し、送信・中断を自動的に制御することができます。

CTS/DSR フロー制御を行う場合に設定が必要なレジスタを表 9-2に示します。

表 9-2 CTS/DSR フロー制御を行う場合に設定するレジスタ

レジスタ	ビット	設定値
EFR	Enhanced Function Bits Enable(bit4)	1:拡張機能を使用
MCR	RTS/DTR Flow Sel(bit2)	0:CTS を使用、1:DSR を使用 (このビットの設定は受信フロー制御に RTS を使用するか、DTR を使用するかも決定します。)
EFR	AutoCTS/DSR Enable(bit7)	1:AutoCTS/DSR を使用
IER	CTS/DSR InterruptEnable(bit7)	1:CTS/DSR 変化割り込み許可 (割り込みを使用する場合)

## 9.3 オート Xon/Xoff フロー制御

XR16L788 は X 制御(ソフトウェアフロー制御)を自動的に行う機能があります。X 制御に使用するキャラクタは任意に設定することができ、キャラクタ長も 8 ビットのほか 16 ビットの設定や、複数の X 制御キャラクタを使用することもできます。

ソフトウェアフロー制御のモードについては、表 8-15をご参照ください。

なお以下の説明では Xon、Xoff としていますが、実際には設定されたモードにより Xon1/Xon2/Xoff1/Xoff2 レジスタに設定された値が使用されます。

Xon/Xoff を受信する設定(送信のフロー制御)の場合、XR16L788 は X 制御キャラクタをモニタし、リモート側から Xoff が送信されてきた場合は送信を中断します。再びリモート側から Xon が送信されてきた場合は送信を再開します。割り込みを使用する設定の場合は、Xoff、Xon の受信で割り込みを発生させることができます。なお X 制御キャラクタは受信 FIFO に取り込まれることはありません。

Xon/Xoff を送信する設定(受信のフロー制御)の場合、XR16L788 は受信 FIFO に余裕がない場合に Xon をリモート側に送信し、送信の中断を要求します。受信 FIFO に余裕ができた場合には Xoff をリモート側に送信し、送信の再開を要求します。

Xon/Xoff の送信タイミングは、選択されているトリガテーブルによって異なります。

トリガテーブル A~C が選択されている場合、受信 FIFO のトリガレベルに達した場合に Xoff が送信されます。受信 FIFO 内のデータ数が減り、設定されたトリガレベルのひとつ下のトリガレベルに達すると Xon が送信されます。

例えばテーブル B が選択されていて、FCR の RXFIFOTrigger ビットのトリガレベルが 16 に設定されている場合、Xoff が送信されるのは受信 FIFO のデータが 16 に達した場合で、Xon が送信されるのはデータ数が 8 まで減った場合となります。(表 8-7をご参照ください。)

トリガテーブル D が選択されている場合、受信 FIFO のトリガレベルに達した場合に Xoff が送信されます。受信 FIFO 内のデータ数が減り、RXTRG レジスタで設定されたトリガレベル値 - FCTR の HYST で設定されたヒステリシス値に達すると Xon が送信されます。

例えば RXTRG に 24 が、FCTR の HYST でヒステリシスが ±16 が設定されている場合、Xoff が送信されるのは受信 FIFO のデータが 24 に達した場合、Xon が送信されるのはデータ数が  $24-16=8$  まで減った場合となります。

ソフトウェアフロー制御を行う場合に設定が必要なレジスタを表 9-3に示します。

表 9-3 ソフトウェアフロー制御を行う場合に設定するレジスタ

レジスタ	ビット	設定値
FCR	FIFOs Enale	1:FIFO イネーブル
FCTR	TRG Table[1:0]	トリガテーブルを選択
FCR	ReceiveFIFOTrigger Select(bit[7:6])	受信トリガレベルを選択(TableA~Cの場合)
RXTRG		受信トリガレベル設定(TableDの場合)
FCTR	RTS/DTR Hysteresis(bit[3:0])	ヒステリシス設定(TableDの場合)
EFR	Software Flow Cntl(bit[3:0])	X制御のモードを選択(表 8-15)
XON1		XON キャラクタ
XON2		XON キャラクタ
XOFF1		XOFF キャラクタ
XOFF2		XOFF キャラクタ
EFR	Enhanced Function Bits Enable(bit4)	1:拡張機能を使用 (割り込みを使用する場合)
IER	Xon/Xoff/Sp.Char Interrupt Enable(bit6)	1:X制御割り込み許可 (割り込みを使用する場合)

## 9.4 オート RS485 ハーフデュプレクス制御

RS485 ハーフデュプレクス接続では、RS485 ドライバを送信中のみアクティブとし、それ以外の期間は RS485 ドライバをオフにする必要があります。

この動作を従来の UART で行う場合、RS485 ドライバの制御をソフトウェアで行う必要がありますが、XR16L788 ではレジスタに必要な設定を行うと送信時には自動的にドライバをアクティブにし、送信データがなくなるとディレイ時間後にドライバをインアクティブにすることができます。

XR16L788 はハーフデュプレクス時 RS485 ドライバの制御端子として/RTS または /DTR を選択可能ですが、HT3080 では/RTS による制御を選択してください。

オート RS485 ハーフデュプレクス制御を行う場合に設定が必要なレジスタを表 9-4に示します。なおオート RS485 ハーフデュプレクス機能を有効にすると、送信割り込みは THR が空の場合ではなく TSR が空となった場合に発生します。(送信割り込みが発生した時点で THR や送信 FIFO に残っているデータはなく、送信すべきデータは全て送出されていることを意味します。)

表 9-4 オート RS485 ハーフデュプレクス制御を行う場合に設定するレジスタ

レジスタ	ビット	設定値
FCTR	Auto RS485 Enable(bit5)	1:AutoRS485 機能を使用
EFR	Enhanced Function Bits Enable(bit4)	1:拡張機能を使用 (MCR の bit2 を操作する場合)
MCR	RTS/DTR Flow Sel(bit2)	0:/RTS (このビットはリセット時 0 となるため特に設定する必要はありません。設定する場合は EFR の bit4 を 1 にセットする必要があります。)
RS485DLY	DLY (bit[7:4])	送信から受信への切替ディレイ時間を設定(0 から 15)

# 10 Linux デバイスドライバ

この章では HT1070/Armadillo-9 で使用可能な HT3080 デバイスドライバについて説明します。

HT3080 用のデバイスドライバはモジュールとして提供しており、EXAR から提供されているドライバをベースに IOCTL によるオプション設定機能を追加しています。ドライバのファイル名は xr1678x.o(Armadillo-9 用は xr1678x.ko)です。

## 10.1 インストールオプション

ドライバはモジュールインストール時にオプションで I/O ベースアドレス、使用割り込みチャンネル、メジャー番号を指定することができます。

表 10-1 ドライバインストールオプション

オプション	指定内容
io	HT3080 のベースアドレスを指定します。0000 ~ FF00h までの値を 100h ごとに指定可能です。この項目の設定は省略できません。複数のボードがある場合は 4 つまでベースアドレスを指定可能です。
irq	HT3080 の使用する割り込みチャンネルを 2 から 7 までの値で指定します。この項目の設定は省略できません。複数のボードがある場合は、4 つまで指定可能です。ベースアドレスを指定した順序で指定してください。
major	HT3080 の使用するメジャー番号を指定します。指定のない場合は 40 となります。他のデバイスと重複しないように指定してください。

例1) ベースアドレスが 500h, IRQ4 を使用する場合  
`insmod xr1678x.o io=500 irq=4`

例2) ベースアドレス 500h, IRQ4 とベースアドレス 300h, IRQ3 の 2 つのモジュールを使用する場合  
`insmod xr1678x.o io=500,300 irq=4,3`

## 10.2 ノード

HT3080 のデバイスドライバが対応するデバイスのマイナー番号は、チャンネル 1 が 0、チャンネル 2 が 1、・・・チャンネル 8 が 7 と順に割り当てられます。複数の HT3080 がある場合は登録順に 0 から 7、8 から 15、・・・と割り当てられます。メジャー番号はドライバインストール時に指定がなければ 40 となります。

## 10.3 I/O コントロール

XR16L788 の機能は `ioctl` 関数で選択・設定することができます。

表 10-2 にリクエストコマンド(`ioctl` の第 2 引数)とパラメータ(`ioctl` の第 3 引数)を示します。定数値は `xr1678x.h` に定義されていますので、`ioctl` を使用する場合はこのファイルをインクルードしてください。

表 10-2 IOCTL コマンドとパラメータ

リクエストコマンド	パラメータ	機能
HT_SET_AUTO_RS485	HT_SET_AUTO_RS485_ENABLE	Auto RS485 機能有効
	HT_SET_AUTO_RS485_DISABLE	Auto RS485 機能無効(初期設定)
HT_SET_XON_XOFF	HT_SET_FLOW_ENABLE	ソフトフロー制御有効
	HT_SET_FLOW_DISABLE	ソフトフロー制御無効(初期設定)
HT_SET_RTSCTS	HT_SET_FLOW_ENABLE	ハードフロー制御有効
	HT_SET_FLOW_DISABLE	ハードフロー制御無効(初期設定)
HT_SET_RS485_MODE	HT_SET_RS485_FULL	RS485 フルデュプレクス
	HT_SET_RS485_HALF	RS485 ハーフデュプレクス(初期設定)
HT_SET_LOCAL_ECHO	HT_SET_LOCAL_ECHO_ON	RS485 Half Duplex Local Echo あり
	HT_SET_LOCAL_ECHO_OFF	RS485 Half Duplex Local Echo なし(初期設定)
HT_SET_RXTRG	0 ~ 64 の値	RXFIFO トリガレベル設定(初期値 42)
HT_SET_TXTRG	0 ~ 64 の値	TXFIFO トリガレベル設定(初期値 42)
HT_SET_AUTO485_DLY	0 ~ 15 の値	Auto RS485 送受切替遅延設定(初期値 15)
HT_SET_HYSTERESIS	0 ~ ± 52 の値(表 8-13参照)	ヒステリシス値設定(初期値 ± 8)

HT3080 用のドライバは、トリガテーブルに TableD(表 8-7参照)を使用します。

RS232C で使用する場合、FIFO のトリガレベルやヒステリシス、フロー制御の有無を設定することができます。なお X 制御キャラクタは Xon が 0x11、Xoff が 0x13 に固定されており、ソフトウェアフロー制御を有効に設定した場合は X 制御キャラクタの送受信を行います。

RS485 で使用する場合は、FIFO のトリガレベル、ハーフ・フルデュプレクスの設定、ハーフデュプレクス時のローカルエコーの有無、Auto RS485 機能の有効・無効、Auto RS485 の送受切替時間を設定することができます。

### 《注意》

`ioctl` で用意している XR16L788 のフロー制御機能の設定は、XR16L788 のレジスタ設定を行います。Linux のドライバはこの機能を使ったフロー制御はサポートしていませんのでご注意ください。



# 11 接続例

## 11.1 RS232C モデム接続

図 11-1に HT3080 に DCE 装置(モデム等)の接続例を示します。

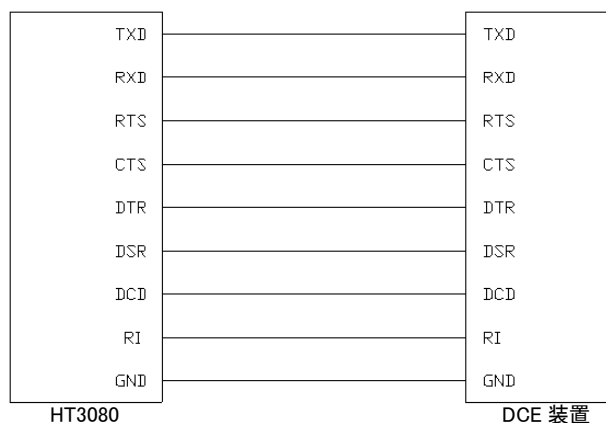


図 11-1 RS232C モデム接続

DCE 装置では DTE 装置と同名の端子機能の入出力が入れ替わりますので、装置間を接続する Dsub9 ピンコネクタ間はストレート接続となります。

## 11.2 RS232C クロス接続

図 11-2に HT3080 と DTE 装置の接続例を示します。この例ではそれぞれの TXD と RXD、RTS と CTS を接続し、ハードウェアフロー制御が可能な結線となっています。

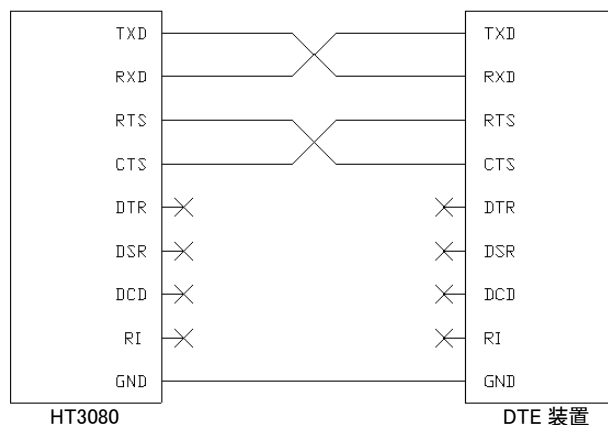


図 11-2 RS232C クロス接続

## 11.3 RS422 機器との接続(1 対 1 の場合)

図 11-3にフルデュプレクスで1対1に接続する例を示します。通常ケーブルインピーダンスにあわせた終端抵抗(100~120Ω)をケーブルの受信端に接続します。RS422は送信ドライバをオフにできないため、複数の機器の送信信号を同じ通信ラインで共有することができませんが、1つの装置の送信信号を複数の機器で受信することは可能です。

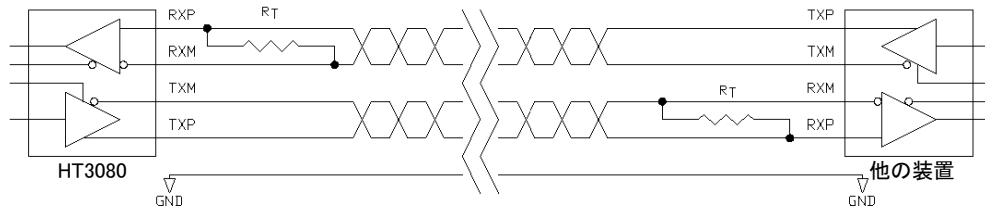


図 11-3 RS422 フルデュプレクス接続

## 11.4 RS485 ハーフデュプレクス接続

図 11-4にハーフデュプレクスによるマルチドロップ接続例を示します。3つ以上の装置が同じケーブル上に接続されることがありますが、終端抵抗はケーブルの両端に接続します。

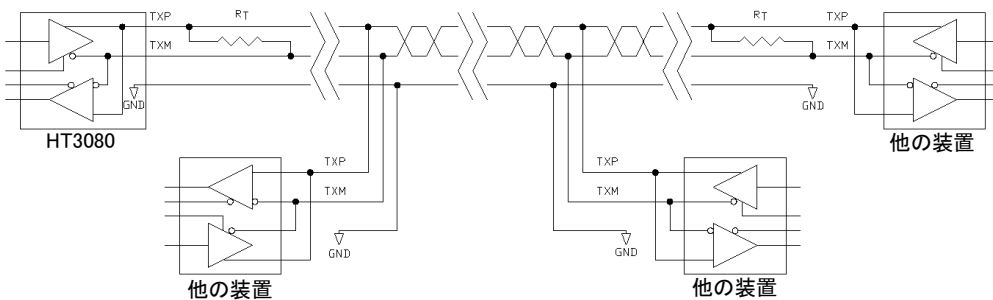


図 11-4 RS485 ハーフデュプレクス接続

## 11.5 RS485 フルデュプレクス接続

図 11-5にフルデュプレクスによるマルチドロップ接続例を示します。この場合は終端抵抗をケーブル両端の送受信ライン両方に接続します。

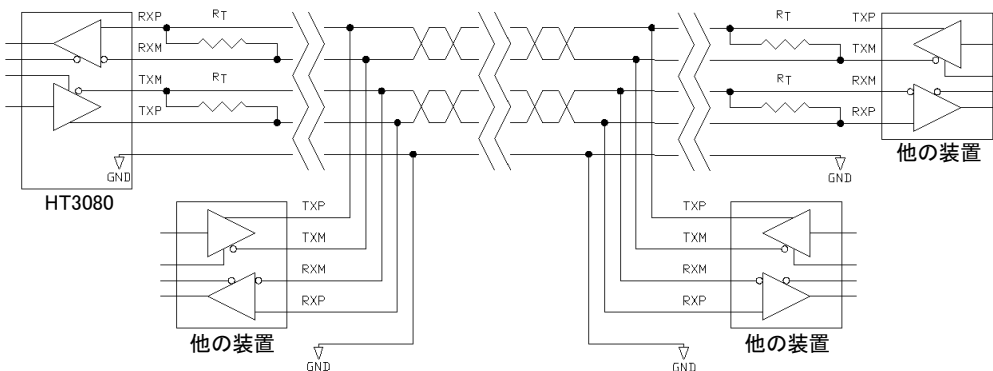


図 11-5 RS485 マルチドロップ接続



# 12ソフトウェア制作時の注意事項

---

## 12.1 DLL/DLM 設定値

PC/AT 互換機の COM ポートに使用されている従来の 16550 では、システムクロックが 1.8432MHz となっています。HT3080 では 14.7456MHz がシステムクロックのため、PC/AT と同じ設定値を Divisor に設定した場合、ボーレートは 8 倍になりますのでご注意ください。

## 12.2 RS485 送信ドライバ制御

RS485 の送信ドライバ制御入力は/RTS で制御され、送信する場合は RTS をインアクティブに、送信ドライバをオフする場合は RTS をアクティブにする必要があります。ただし、ハードウェアリセット直後は RTS がインアクティブでも RS485 ドライバがオフとなる回路があるため、リセット後いったん RTS をアクティブにする操作が必要です。

Linux 用のデバイスドライバでは、AUTORS485 切替機能を設定した場合は送信ドライバ制御が自動的に行われますが、それ以外の場合はアプリケーションからハーフデュプレクス RS485 の送信ドライバ制御を行う必要があります。RTS をセット、リセットする場合は ioctl 関数の TIOCMBIS、TIOCMBIC リクエストを使用してください。(第 3 引数で TIOCM\_RTS ビットを ON にします。)

## 12.3 RS485 ハーフ・フルデュプレクス設定

RS485 をハーフデュプレクスで使用するか、フルデュプレクスで使用するかは/DTR で制御され、ハーフデュプレクスで使用する場合は DTR をインアクティブに、フルデュプレクスで使用する場合はアクティブに設定する必要があります。リセット時はハーフデュプレクスモードとなります。ハーフデュプレクス設定の場合は、送信したデータがそのチャンネルでそのまま受信されます。Linux デバイスドライバを使用する場合は、ioctl でハーフ・フルの切替ができ(HT\_SET\_RS485\_MODE)、送信データを受信するか、破棄するかを選択可能です。(HT\_SET\_LOCAL\_ECHO)

## 12.4 フロー制御機能の設定(Linux)

XR16L877 の自動フロー制御はドライバでサポートされていないので、フロー制御が必要な場合は TCSETS リクエストを使用して Linux のハードウェアフロー制御・ソフトウェアフロー制御をご使用ください。

## 12.5 自動フロー制御機能

XR16L788 がサポートする自動ハードウェア・ソフトウェアフロー制御機能を使用することで、XR16L788 内の受信 FIFO オーバフローを防止することができますが、アプリケーションでこれとは別にローカルの受信バッファを用意して割り込み受信させている場合、ローカルの受信バッファのオーバフローは自動ハードウェア・ソフトウェアフロー制御機能だけでは防止できません。アプリケーション側ではローカル受信バッファのあき状況に応じて受信割り込みを停止する等の工夫が必要です。

# 13 回路図

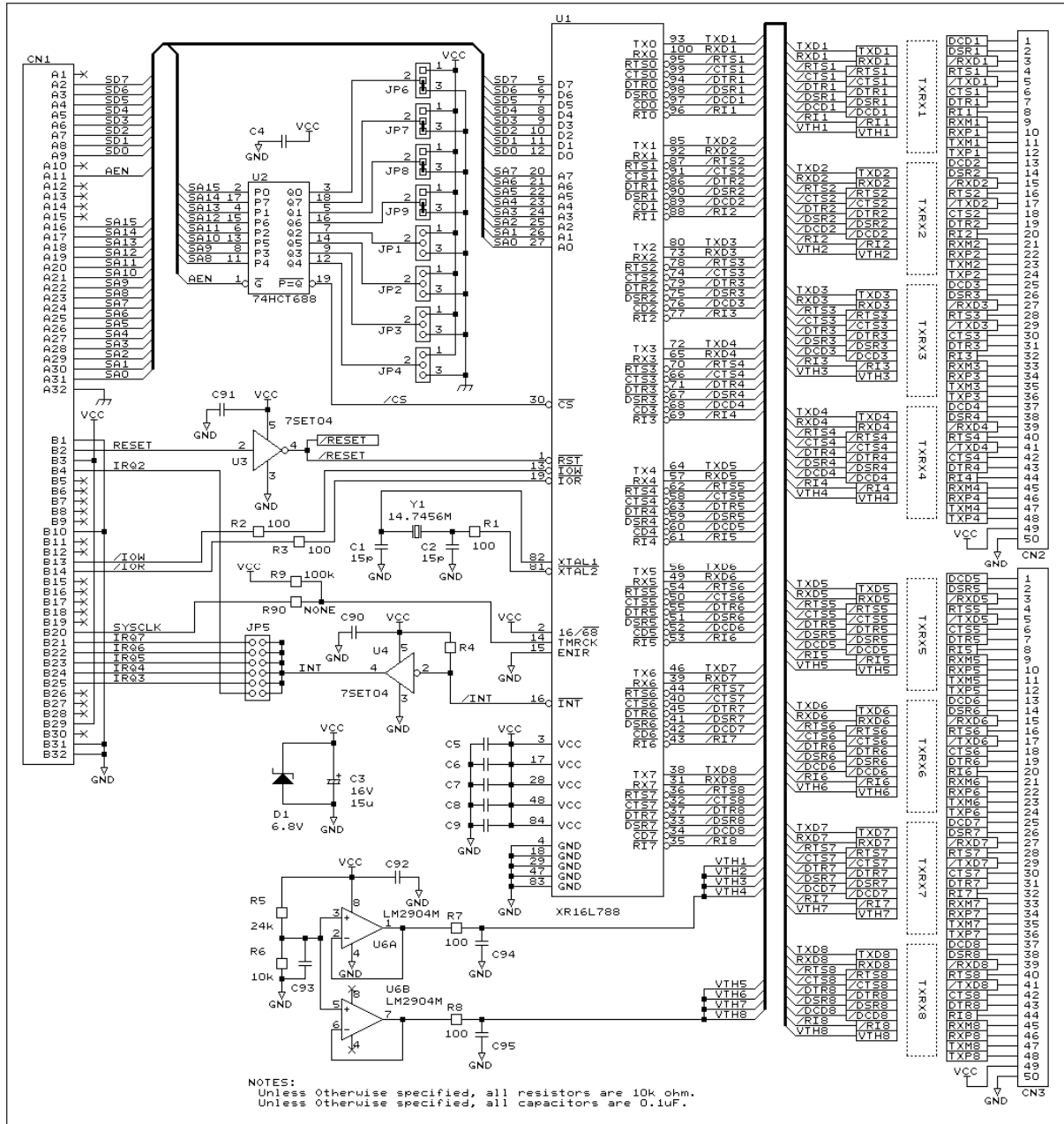


図 13-1 HT3080 回路図 1

TXRX1 ブロックの回路を図 13-2に示します。TXRX2~8の回路はTXRX1と同一です。それぞれのブロックの部品番号はTXRX2が20番台、TXRX3が30番台、TXRX8が80番台に割り当てられており、1の桁はTXRX1と同じ値となっています。(例えばTXRX1のJP13はTXRX2ではJP23、TXRX8ではJP83となります。)





HT3080 ユーザーズマニュアル 2011年 3月 29日 rev.1.0

梅澤無線電機株式会社

東京営業部

101-0044 東京都千代田区鍛冶町 2-3-14

TEL03-3256-4491 FAX03-3256-4494

仙台営業所

982-0012 仙台市太白区長町南 4 丁目 25-5

TEL022-304-3880 FAX022-304-3921

札幌営業所

060-0062 札幌市中央区南 2 条西 7 丁目

TEL011-251-2992 FAX011-281-2515

本製品・資料についての技術的なお問い合わせは



(TEL/FAX)0120-024768

<http://www.umezawa.co.jp/>

---