

HT series

HT3070

ユーザーズマニュアル

目次

1	はじめに.....	1
2	注意事項.....	2
2.1	安全に関する注意事項.....	2
2.2	取り扱い上の注意事項.....	2
3	ハードウェア機能.....	3
3.1	ブロック図.....	3
3.2	XC95144XL.....	3
3.3	コネクタ.....	5
3.3.1	コネクタピン配列.....	5
3.3.2	CN1 信号機能.....	6
3.3.3	CN2 信号機能.....	7
3.3.4	CN3/4 信号機能.....	7
3.3.5	CN5 信号機能.....	8
3.4	ジャンパ.....	8
3.4.1	JP1.....	8
3.4.2	JP2.....	8
3.4.3	JP3.....	9
3.4.4	JP4.....	9
3.4.5	JP5/6/7.....	9
3.4.6	JP8.....	9
3.5	オッシレータモジュール.....	10
3.5.1	Y1.....	10
3.5.2	Y2.....	10
4	DIO 使用方法.....	11
4.1	概要.....	11
4.2	ポートアドレスマップ.....	11
4.3	データ入出力ポート.....	12
4.4	入出力定義レジスタ.....	12
4.5	割り込み.....	13
4.6	バスホールド回路.....	13
4.7	ソースファイル.....	14
4.8	JEDEC ファイル.....	14
5	仕様.....	15

6 外形寸法図 16

7 回路図 17

表目次

表 3-1 XC95144XL 絶対最大定格(抜粋).....	4
表 3-2 XC95144XL 推奨動作条件(抜粋).....	4
表 3-3 XC95144XL 品質と信頼性特性(抜粋).....	4
表 3-4 XC95144XL 推奨動作条件下での DC 特性(抜粋)	4
表 3-5 CN1 信号配列	5
表 3-6 CN2 信号配列	5
表 3-7 CN3 信号配列	6
表 3-8 CN4 信号配列	6
表 3-9 CN5 信号配列	6
表 3-10 CN1 信号機能	6
表 3-11 CN2 信号機能.....	7
表 3-12 CN3/4 信号機能	7
表 3-13 CN3/4 適合ソケット型式例	7
表 3-14 CN5 信号機能	8
表 3-15 JP3 設定.....	9
表 3-16 JP4 設定.....	9
表 3-17 JP5/6/7 設定と D 出力分周比	9
表 3-18 JP8 設定.....	10
表 3-19 Y1 ピン番号と機能.....	10
表 3-20 Y1 に適合するオシレータモジュール例	10
表 4-1 HT3070 出荷時の占有アドレスと機能.....	11
表 5-1 HT3070 仕様.....	15

図目次

図 3-1 HT3070 ブロック図.....	3
図 3-2 JP2 の設定	9
図 4-1 PA ~ PH のビット構成.....	12
図 4-2 PAC ~ PHC のビット構成.....	13
図 4-3 IOH5 による割り込み.....	13
図 4-4 バスホールド回路.....	14
図 6-1 外形寸法図	16
図 7-1 HT3070 回路図	17

1 はじめに

このたびは HT3070 をお求めいただき、ありがとうございます。
HT3070 は XilinxCPLD(XC95144XL)を使用したプログラマブル I/O モジュールです。出荷時は DIO モジュールとして機能するようにプログラムされていますが、CPLD 内容を変更することで違った機能を実現することが可能です。

XC95144XL のプログラムは Xilinx 社から無償提供されているツール(ISE WebPACK)を使用して開発、PC と HT3070 を JTAG ポートで接続して書き込みすることができます。

また XC95144XL 内の機能を有効に活用できるよう、モジュールのアドレスデコードの一部は外部回路で行っています。

本マニュアルは、HT3070 の仕様や使用方法について書かれたものです。HT3070 の機能を最大限引き出すために、ご活用いただければ幸いです。

2 注意事項

2.1 安全に関する注意事項

HT3070 を安全にご使用いただくために、特に以下の点にご注意くださいますようお願いいたします。



本製品には一般電子機器用（OA 機器・通信機器・計測機器・工作機械等）に製造された半導体部品を使用しておりますので、その誤作動や故障が直接生命を脅かしたり、身体・財産等に危害を及ぼす恐れのある装置（医療機器・交通機器・燃焼制御・安全装置等）に組み込んで使用しないでください。

また、半導体部品を使用した製品は、外来ノイズやサージにより誤作動したり故障したりする可能性がありますので、ご使用になる場合は万一誤作動、故障した場合においても生命・身体・財産等が侵害されることのないよう、装置としての安全設計（リミットスイッチやヒューズ・ブレーカ等の保護回路の設置、装置の多重化等）に万全を期されますようお願い申し上げます。

2.2 取り扱い上の注意事項

HT3070 や他のボードに恒久的なダメージをあたえないよう、取り扱い時には以下のような点にご注意ください。

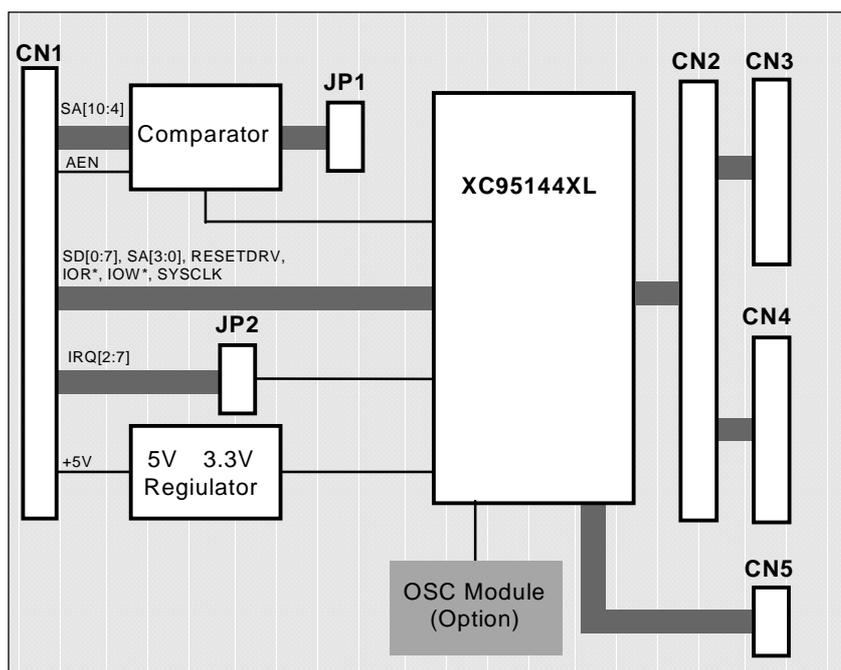
- 電源の投入
HT3070 や他のボードに電源がはいっている状態では絶対に本ボードの着脱を行わないでください。
- 静電気
HT3070 には CMOS デバイスを使用しておりますので、ご使用になるまでは帯電防止対策のされている、出荷時のパッケージ等にて保管してください。
- ラッチアップ
電源および入出力からの過大なノイズやサージ、電源電圧の急激な変動等で使用している CMOS デバイスがラッチアップを起こす可能性があります。いったんラッチアップ状態となると、電源を切断しないかぎりこの状態が維持されるため、デバイスの破損につながる可能性があります。ノイズの影響を受けやすい入出力ラインには保護回路を入れることや、ノイズ源となる装置と共通の電源を使用しない等の対策をとることをお勧めします。
- スタッキング時のスペーサ
PC/104 モジュールの積み重ねに 15mm のスペーサを使用する場合、段数が多くなると基板にストレスを与えることがあります。0.5～0.8mm 厚のワッシャ等を挟むか、15.5～16mm のスペーサをご使用ください。

3 ハードウェア機能

この章では、HT3070 のハードウェアに関連する事項について説明します。

3.1 ブロック図

図 3-1 HT3070 ブロック図



バスインターフェース信号のうち、アドレス上位 A[10:4]と AEN は 74HC688 コンパレータに接続されており、モジュールが選択されるアドレス範囲を JP1 で設定します。SD[7:0], SA[3:0], IOR*, IOW*, SYSCLK および RESETDRV は XC95144XL に接続されています。

IRQ 信号を発生させることが可能で、JP2 により使用する割り込みチャンネルを選択します。

CN3/4 には XC95144XL のバスインターフェースに必要な信号以外が全て接続されており、CN2 にもほぼ同等の信号を取り出すことができます。

CN5 は CPLD 内容書換に使用する JTAG ポートです。

3.2 XC95144XL

Xilinx 社 XC95144XL は 144 マクロセル(3200 ユーザブルゲート相当)の CPLD です。内部電源は 3.3V ですが、入力には 2.5V/3.3V/5V のロジック信号を接続することができます。出力は 3.3VCMOS レベルですが、5V 系 TTL レベルの入力にも適合します。

表 3-1~表 3-4に XC95144XL の主な電気的特性を示します。その他の特性、詳細については XC95144XL データシート等をご参照ください。(ご参考:ザイリンクスホームページアドレス <http://www.xilinx.co.jp/>)

表 3-1 XC95144XL 絶対最大定格(抜粋)

記号	説明	数値	単位
V _{CC}	GND を基準とした供給電源電圧	-0.5 to 4.0	V
V _{IN}	GND を基準とした入力電圧	-0.5 to 5.5	V
V _{TS}	3 ステート出力に印加される電圧	-0.5 to 5.5	V

表 3-2 XC95144XL 推奨動作条件(抜粋)

記号	説明	Min	Max	単位
V _{CCINT}	内部ロジックと入力バッファに対する供給電圧	3.0	3.6	V
V _{CCIO}	3.3V 動作時の出力ドライバに対する供給電圧	3.0	3.6	V
V _{IL}	Low レベル入力電圧	0.0	0.8	V
V _{IH}	High レベル入力電圧	2.0	5.5	V
V _O	出力電圧	0	V _{CCIO}	V

表 3-3 XC95144XL 品質と信頼性特性(抜粋)

記号	説明	Min	Max	単位
T _{DR}	データ保持時間	20	-	年
N _{PE}	プログラム/消去回数(耐久性)	10,000	-	回
V _{ESD}	静電耐圧(ESD)	2,000	-	V

表 3-4 XC95144XL 推奨動作条件下での DC 特性(抜粋)

記号	説明	テスト条件	Min	Max	単位
V _{OH}	High 出力電圧	I _{OH} =-4.0mA	2.4	-	V
V _{OL}	Low 出力電圧	I _{OL} =8.0mA	-	0.4	V
I _{IL}	入力リーク電流	V _{CC} =Max; V _{IN} =GND or V _{CC}	-	± 10	uA
I _{IH}	I/O Hi-Z リーク電流	V _{CC} =Max; V _{IN} =GND or V _{CC}	-	± 10	uA
		V _{CC} =Max;V _{CCIO} =Max; V _{IN} =GND or 3.6V	-	± 10	uA
		V _{CC} MIN<V _{IN} <5.5V	-	± 50	uA
C _{IN}	I/O キャパシタンス	V _{IN} =GND;f=1.0MHz	-	10	pF

3.3 コネクタ

3.3.1 コネクタピン配列

表 3-5から表 3-9に CN1~CN5 コネクタの信号配列を示します。表中*のついた信号名は負論理であることを示します。-印の端子は HT3070 において未使用ですが、参考のため該当する PC/104 バスの機能を括弧内に示しています。

表 3-5 CN1 信号配列

A1	-(IOCHCHK*)	B1	GND
A2	SD7	B2	RESETDRV
A3	SD6	B3	+5V
A4	SD5	B4	IRQ2
A5	SD4	B5	- (-5V)
A6	SD3	B6	- (DRQ2)
A7	SD2	B7	- (-12V)
A8	SD1	B8	- (SRDY)
A9	SD0	B9	- (+12V)
A10	-(IOCHRDY)	B10	GND
A11	AEN	B11	-(SMEMW*)
A12	-(SA19)	B12	-(SMEMR*)
A13	-(SA18)	B13	IOW*
A14	-(SA17)	B14	IOR*
A15	-(SA16)	B15	-(DACK3*)
A16	-(SA15)	B16	-(DRQ3)
A17	-(SA14)	B17	-(DACK1*)
A18	-(SA13)	B18	-(DRQ1)
A19	-(SA12)	B19	-(REFRESH*)
A20	-(SA11)	B20	SYSCLK
A21	SA10	B21	IRQ7
A22	SA9	B22	IRQ6
A23	SA8	B23	IRQ5
A24	SA7	B24	IRQ4
A25	SA6	B25	IRQ3
A26	SA5	B26	-(DACK2*)
A27	SA4	B27	-(TC)
A28	SA3	B28	-(BALE)
A29	SA2	B29	+5V
A30	SA1	B30	-(OSC)
A31	SA0	B31	GND
A32	GND	B32	GND

表 3-6 CN2 信号配列

E1	+3.3VOUT	F1	GND
E2	IOH3(FB5_15)	F2	IOH2 (FB5_14)
E3	IOH1 (FB3_17)	F3	IOH0 (FB3_5)
E4	IOG7 (FB1_14)	F4	IOG6 (FB2_12)
E5	IOG5(FB2_6/GTS4)	F5	IOG4 (FB2_5/GTS3)
E6	IOG3(FB5_9)	F6	IOG2 (FB8_5)
E7	IOG1(FB2_9/GTS2)	F7	IOG0(FB1_17/GCK1)
E8	IOF7(FB6_14)	F8	IOF6 (FB8_15)
E9	IOF5(FB7_14)	F9	IOF4 (FB3_14)
E10	IOF3(FB4_17)	F10	IOF2 (FB4_15)
E11	IOF1(FB5_8)	F11	IOF0 (FB1_15)
E12	IOE7 (FB6_12)	F12	IOE6 (FB8_14)
E13	IOE5 (FB7_12)	F13	IOE4 (FB7_2)
E14	IOE3 (FB1_3)	F14	IOE2 (FB4_14)
E15	IOE1 (FB5_5)	F15	IOE0 (FB1_12)
E16	IOD7 (FB6_9)	F16	IOD6 (FB8_12)
E17	IOD5 (FB7_11)	F17	IOD4 (FB5_17)
E18	IOD3 (FB1_2)	F18	IOD2 (FB4_12)
E19	IOD1 (FB3_15)	F19	IOD0 (FB1_11)
E20	IOC7 (FB6_8)	F20	IOC6 (FB8_11)
E21	IOC5 (FB7_9)	F21	IOC4 (FB5_12)
E22	IOC3 (FB2_17)	F22	IOC2 (FB4_11)
E23	IOC1 (FB3_12)	F23	IOC0 (FB1_9)
E24	IOB7 (FB6_6)	F24	IOB6 (FB8_9)
E25	IOB5 (FB7_8)	F25	IOB4 (FB5_11)
E26	IOB3 (FB2_15)	F26	IOB2 (FB4_9)
E27	IOB1 (FB3_11)	F27	IOB0 (FB1_8)
E28	IOA7 (FB6_5)	F28	IOA6 (FB8_8)
E29	IOA5 (FB7_6)	F29	IOA4 (FB5_6)
E30	IOA3 (FB2_14)	F30	IOA2 (FB4_8)
E31	IOA1 (FB3_9)	F31	IOA0 (FB1_6)
E32	+5V	F32	GND

表 3-7 CN3 信号配列

1	GND	2	+5V
3	IOA0(FB1_6)	4	IOA1(FB3_9)
5	IOA2(FB4_8)	6	IOA3(FB2_14)
7	IOA4(FB5_6)	8	IOA5(FB7_6)
9	IOA6(FB8_8)	10	IOA7(FB6_5)
11	GND	12	+5V
13	IOB0(FB1_8)	14	IOB1(FB3_11)
15	IOB2(FB4_9)	16	IOB3(FB2_15)
17	IOB4(FB5_11)	18	IOB5(FB7_8)
19	IOB6(FB8_9)	20	IOB7(FB6_6)
21	GND	22	+5V
23	IOC0(FB1_9)	24	IOC1(FB3_15)
25	IOC2(FB4_11)	26	IOC3(FB2_17)
27	IOC4(FB5_12)	28	IOC5(FB7_9)
29	IOC6(FB8_11)	30	IOC7(FB6_8)
31	GND	32	+5V
33	IOD0(FB1_11)	34	IOD1(FB3_15)
35	IOD2(FB4_12)	36	IOD3(FB1_2)
37	IOD4(FB5_17)	38	IOD5(FB7_11)
39	IOD6(FB8_12)	40	IOD7(FB6_9)

表 3-8 CN4 信号配列

1	GND	2	+5V
3	IOE0(FB1_12)	4	IOE1(FB5_5)
5	IOE2(FB4_14)	6	IOE3(FB1_3)
7	IOE4(FB7_2)	8	IOE5(FB7_12)
9	IOE6(FB8_14)	10	IOE7(FB6_12)
11	GND	12	+5V
13	IOF0(FB1_15)	14	IOF1(FB5_8)
15	IOF2(FB4_15)	16	IOF3(FB4_17)
17	IOF4(FB3_14)	18	IOF5(FB7_14)
19	IOF6(FB8_15)	20	IOF7(FB6_14)
21	GND	22	+5V
23	IOG0(FB1_17/GCK1)	24	IOG1(FB2_9/GTS2)
25	IOG2(FB8_5)	26	IOG3(FB5_9)
27	IOG4(FB2_5/GTS3)	28	IOG5(FB2_6/GTS4)
29	IOG6(FB2_12)	30	IOG7(FB1_14)
31	GND	32	+5V
33	IOH0(FB3_5)	34	IOH1(FB3_17)
35	IOH2(FB5_14)	36	IOH3(FB5_15)
37	IOH4(FB6_11)	38	IOH5(FB8_17)
39	+3.3VOUT	40	+3.3VOUT

表 3-9 CN5 信号配列

1	TCK	2	GND
3	TDO	4	+3.3VOUT
5	TMS	6	-
7	-	8	-
9	TDI	10	GND

3.3.2 CN1 信号機能

CN1 は PC/104 バスインターフェースに使用されています。表 3-10 に CN1 の信号機能を示します。HT3070 では I/O モジュールとして必要な信号を配線しており、メモリアクセスや DMA に関連する信号は配線されていないのでご注意ください。

表 3-10 CN1 信号機能

信号名	機能
SYSCLK	システムクロック入力です。JP3 により CPLD に供給するかどうか切替できます。
SA[10:4]	アドレス入力です。AEN とともに HCT688 に接続され、本モジュールを選択するためのアドレスデコードに使用されています。
SA[3:0]	アドレス入力です。CPLD に直接接続されています。
SD[7:0]	データ入出力バスです。CPLD に直接接続されています。
IOR*, IOW*, RESET	これらの信号は CPU から出力される制御信号です。CPLD に直接接続されています。
IRQ[2:7]	割り込み出力です。JP2 を通してこれらの信号の 1 つを CPLD に接続することができます。

3.3.3 CN2 信号機能

CN2 は I/O 信号接続に使用します。電源関連の信号を除き、全ての端子は CPLD に接続されています。CN2 は HT3070 に同寸のユニバーサル基板をスタックして信号を取り出し、レベル変換回路を接続する場合などに便利です。なお表 3-6で括弧内に示されている名称は、XC95144XL の該当するファンクションブロック番号とマクロセル番号です。

表 3-11 CN2 信号機能

信号名	機能
+5V	CN1 から供給された+5V 電源が接続されています。
+3.3VOUT	ボード上のシリーズレギュレータで作成された+3.3V 出力です。HT3070 に搭載されている XC95144XL を含めてレギュレータの定格出力電流 0.5A(max)内でご使用ください。
IOA[7:0],IOB[7:0], IOC[7:0],IOD[7:0], IOE[7:0],IOF[7:0], IOG[7:0],IOH[3:0]	これらの信号は CPLD に直接接続されています。

3.3.4 CN3/4 信号機能

CN3/4 は I/O 信号の接続に使用します。電源関連の信号を除き、全ての端子は CPLD に接続されています。CN3/4 は、I/O 信号をフラットケーブル等で引き出して使用する場合に使用します。なお表 3-7・表 3-8の括弧内に示されている名称は、XC95144XL の該当するファンクションブロック番号とマクロセル番号です。

表 3-12 CN3/4 信号機能

信号名	機能
+5V	CN1 から供給された+5V 電源が接続されています。
+3.3VOUT	ボード上のシリーズレギュレータで作成された+3.3V 出力です。HT3070 に搭載されている XC95144XL を含めてレギュレータの定格出力電流 0.5A(max)内でご使用ください。
IOA[7:0],IOB[7:0], IOC[7:0],IOD[7:0], IOE[7:0],IOF[7:0], IOG[7:0],IOH[5:0]	これらの信号は CPLD に直接接続されています。

CN3/4 の 40 極ボックスピンヘッダには下記ソケット等が適合します。

表 3-13 CN3/4 適合ソケット型式例

メーカー	型式	備考
ヒロセ電機	HIF3BA-40D-2.54R	リボンケーブル一括圧接タイプ
ヒロセ電機	HIF3BA-40D-2.54C	バラ線圧接タイプハウジング
	HIF3-2226SCA	上記ハウジング用端子(AWG#22 ~ 26)
オムロン	XG4M-4030	ストレインリリーフ別売(XG4T-4004)
和泉電気	JE1S-401	ストレインリリーフ付
和泉電気	JE1S-403	ストレインリリーフ無

3.3.5 CN5 信号機能

CN5 は ISP 用 JTAG 信号コネクタです。端子配列・ピン間隔が XILINX 社の MultiPRO Desktop Tool、Parallel Cable IV には適合しませんので、これらのケーブルを使用する場合には同社からオプションで販売されているフライングケーブル等をご利用ください。

表 3-14 CN5 信号機能

信号名	機能
TCK,TDI,TDO,TMS	JTAG 信号で、それぞれ該当する CPLD の端子に接続されています。TCK は 10k でプルダウンされています。
GND	GND
+3.3VOUT	ボード上のシリースレギュレータで作成された +3.3V 出力です。HT3070 に搭載されている XC95144XL を含めてレギュレータの定格出力電流 0.5A(max)内でご使用ください。

3.4 ジャンパ

HT3070 には JP1 ~ 8 までのジャンパが用意されています。ここでは機能別にジャンパの設定について説明します。

3.4.1 JP1

HT3070 が占有する I/O アドレスの SA[10:4] を設定します。出荷時は SA[10:4]=[0010000]に設定されています。JP1 は 7 個の 3 極ジャンパポストで構成されており、対応するアドレスのビット割り当ておよび設定方法はシルクで表示されています。1 表示のある側にジャンパソケットを挿入するとそのビットには 1 を、0 表示のある側にジャンパソケットを挿入するとそのビットは 0 を設定したことになります。

《注意》

各ビットのジャンパソケットは、必ず 1 か 0 のどちらかを設定し、ジャンパソケットをはずした状態で動作させないでください。

SA[3:0]は CPLD に接続されているため、本ボードの選択アドレス範囲は CPLD 内容に依存しますが、最大で 16 バイトを占有します。

3.4.2 JP2

JP2 は使用する割り込みチャンネルを選択します。出荷時には割り込みを使用しない設定となっています。使用する割り込みチャンネルに対応するジャンパソケットの設定は図 3-2をご参照ください。



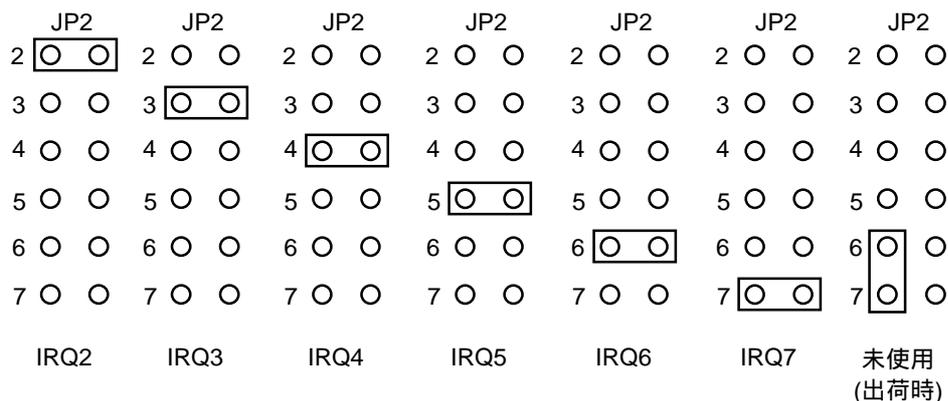


図 3-2 JP2 の設定

3.4.3 JP3

JP3 は PC/104 バスのシステムクロック SYSCLK を CPLD に接続するかどうかを設定します。出荷時はシステムクロックを CPLD に接続する設定です。CPLD 内でバスのシステムクロックが必要ない場合、このジャンパの設定を OFF にすることで消費電流を数 mA 減らすことができます。

表 3-15 JP3 設定

JP3	GCK2
ON	SYSCLK を GCK2 に接続
OFF	GCK2 はオープン

3.4.4 JP4

JP4 はオプションとしてボード上に搭載可能なオシレータモジュールの電源電圧を切り替えるジャンパです。このジャンパはオプションのため、出荷時には部品が実装されていません。オシレータモジュールを使用する場合には設定が必要です。

表 3-16 JP4 設定

JP4	OSC 電源
3.3V	3.3V
5V	5V

3.4.5 JP5/6/7

JP5 ~ 7 はオプションで搭載可能な EXO-3 オシレータモジュールの出力周波数選択用ジャンパです。このジャンパはオプションのため、出荷時には部品が実装されていません。Y2 に EXO-3 を実装して使用する場合には設定が必要です。

表 3-17 JP5/6/7 設定と D 出力分周比

JP7	JP6	JP5	D 出力分周比	JP7	JP6	JP5	D 出力分周比
0	0	0	1/2	1	0	0	1/32
0	0	1	1/4	1	0	1	1/64
0	1	0	1/8	1	1	0	1/128
0	1	1	1/16	1	1	1	1/256

3.4.6 JP8

JP8 は Y2 に搭載した EXO-3 オシレータモジュールの F 出力または D 出力を CPLD に接続するためのジャンパです。このジャンパはオプションのため、出荷時には部品が実装されていません。オシレータモジュールとして EXO-3 を使用する場合には設

定が必要です。EXO-3 の F 出力には源発振周波数が、D 出力には JP5 ~ 7 で選択された分周器を通った周波数が出力されます。

表 3-18 JP8 設定

JP8	GCK2
F	EXO-3 の F 出力を GCK3 に接続
D	EXO-3 の D 出力を GCK3 に接続

3.5 オッシレータモジュール

ボード上にはオッシレータモジュール搭載用のスペース Y1/Y2 が用意されており、CPLD で必要な基準クロックを供給することができます。Y1/Y2 には同時に部品を搭載することはできません。いずれか 1 つにのみ部品を搭載することができます。なおオッシレータモジュールの出力は、XC95144XL の GCK3 に接続されます。

3.5.1 Y1

Y1 のスペースには、DIP8 ピンまたは DIP14 ピンピッチに適合する、4 端子のオッシレータモジュールが搭載可能です。各サイズのピン番号と機能を表 3-19 に示します。

表 3-19 Y1 ピン番号と機能

DIP8 サイズ	ピン番号	DIP14 サイズ	ピン番号	機能
	1		1	NC
	4		7	GND
	5		8	OUT
	8		14	VCC

表 3-20 に Y1 に適合するオッシレータモジュールの例を示します。

表 3-20 Y1 に適合するオッシレータモジュール例

メーカー	型式
京セラキンセキ	CXO-109H
エプソン	SG-51/SG-531
エプソン	SG-8002DB/DC
九州電通	HAT5000ATW/7000AW/8000AW

3.5.2 Y2

Y2 のスペースには EXO-3 (京セラキンセキ) 相当のオッシレータモジュールが搭載可能です。Y2 を搭載する場合は JP4 ~ 8 にジャンパポスト・ソケットを実装するか、必要な結線をジャンパ線等で行ってください。

4 DIO 使用方法

HT3070 出荷時には、汎用 62 ビット DIO として機能するようにプログラムされています。この章では、出荷時にプログラムされている 62 ビット DIO の機能について説明します。

4.1 概要

出荷時には、HT3070 が汎用 62 ビット DIO として機能するようにプログラムされています。データ入出力はビット単位で定義することができます。82C55 のように入出力の切替時に出力ラッチの内容がクリアされることはありません。

端子 IOH5 を入力に設定した場合は、割り込みを発生させることができます。

4.2 ポートアドレスマップ

表 4-1に HT3070 出荷時プログラムにおける占有アドレスと機能を示します。

表 4-1 HT3070 出荷時の占有アドレスと機能

アドレス	機能	名称
ベースアドレス+0	ポート A データ入出力	PA
ベースアドレス+1	ポート B データ入出力	PB
ベースアドレス+2	ポート C データ入出力	PC
ベースアドレス+3	ポート D データ入出力	PD
ベースアドレス+4	ポート E データ入出力	PE
ベースアドレス+5	ポート F データ入出力	PF
ベースアドレス+6	ポート G データ入出力	PG
ベースアドレス+7	ポート H データ入出力	PH
ベースアドレス+8	ポート A 入出力定義レジスタ	PAC
ベースアドレス+9	ポート B 入出力定義レジスタ	PBC
ベースアドレス+A	ポート C 入出力定義レジスタ	PCC
ベースアドレス+B	ポート D 入出力定義レジスタ	PDC
ベースアドレス+C	ポート E 入出力定義レジスタ	PEC
ベースアドレス+D	ポート F 入出力定義レジスタ	PFC
ベースアドレス+E	ポート G 入出力定義レジスタ	PGC
ベースアドレス+F	ポート H 入出力定義レジスタ, 割り込みクリアレジスタ	PHC

4.3 データ入出力ポート

PA～PH はデータの入出力を行うポートです。これらのポートを読み出すと、該当するポート端子の状態が入力できます。これらのポートに書き込みした値はデータレジスタに保持されます。ポート端子が入出力定義レジスタで出力に指定されている場合は、データレジスタの保持している値(0 の場合 0V、1 の場合 3.3V)が端子に出力されます。入出力定義レジスタで入力に指定されているビットに対して書き込みした値は端子に現れませんが、データレジスタには書き込み内容が保持されていますので、入出力定義レジスタの設定を出力に変更した時点でポート端子に出力されます。リセット時に内部データレジスタは 00 に設定されます。

PH の bit7 および 6 を通して ICLK(Y1/Y2 のクロック出力端子)と SYSCLK の状態を読み出しすることができます。(この機能は弊社出荷試験用に使用しています。)

図 4-1にこれらのレジスタのビット構成を示します。

	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
PA(base+0)	IOA7	IOA6	IOA5	IOA4	IOA3	IOA2	IOA1	IOA0
PB(base+1)	IOB7	IOB6	IOB5	IOB4	IOB3	IOB2	IOB1	IOB0
PC(base+2)	IOC7	IOC6	IOC5	IOC4	IOC3	IOC2	IOC1	IOC0
PD(base+3)	IOD7	IOD6	IOD5	IOD4	IOD3	IOD2	IOD1	IOD0
PE(base+4)	IOE7	IOE6	IOE5	IOE4	IOE3	IOE2	IOE1	IOE0
PF(base+5)	IOF7	IOF6	IOF5	IOF4	IOF3	IOF2	IOF1	IOF0
PG(base+6)	IOG7	IOG6	IOG5	IOG4	IOG3	IOG2	IOG1	IOG0
PH(base+7)	ICLK	SYSCLK	IOH5	IOH4	IOH3	IOH2	IOH1	IOH0

図 4-1 PA～PH のビット構成

出力に設定されているビットで読み出される値は、内部データレジスタの保持している値ではなく、端子レベルが直接読み出されます。このため、出力ポートの負荷状態によっては書き込みしたはずの値が読み出されないことがありますので、出力ポートのビット操作を行う場合にはご注意ください。



4.4 入出力定義レジスタ

PAC～PHC は対応するデータポート PA～PH の入出力をビット単位で指定するレジスタです。1 を設定したビットに対応する端子は入力に、0 を設定したビットに対応する端子は出力になります。レジスタはリード・ライト可能で、リセット時には全て FFH に初期化されます。(全ポートが入力になります。) PHC のビット 6,7 に対応する入出力端子はありませんので、これらのビットに対する設定は無視されます。

入出力定義レジスタでポートを出力に設定すると、内部データレジスタの内容がすぐに端子に出力されますので、あらかじめデータポートで内部データレジスタに出力値を設定し、その後入出力定義レジスタを設定してください。内部データレジスタはリセットにより 0 に初期化されますので、内部データレジスタへの設定をせずにポートを出力に設定すると、端子には 0 が出力されます。

なお、PHC レジスタを読み出すと、割り込みがクリアされます。割り込み機能については次節をご参照ください。



	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
PAC(base+8)	PAC7	PAC6	PAC5	PAC4	PAC3	PAC2	PAC1	PAC0
PBC(base+9)	PBC7	PBC6	PBC5	PBC4	PBC3	PBC2	PBC1	PBC0
PCC(base+A)	PCC7	PCC6	PCC5	PCC4	PCC3	PCC2	PCC1	PCC0
PDC(base+B)	PDC7	PDC6	PDC5	PDC4	PDC3	PDC2	PDC1	PDC0
PEC(base+C)	PEC7	PEC6	PEC5	PEC4	PEC3	PEC2	PEC1	PEC0
PFC(base+D)	PFC7	PFC6	PFC5	PFC4	PFC3	PFC2	PFC1	PFC0
PGC(base+E)	PGC7	PGC6	PGC5	PGC4	PGC3	PGC2	PGC1	PGC0
PHC(base+F)	-	-	PHC5	PHC4	PHC3	PHC2	PHC1	PHC0

設定値 1:入力 0:出力(リセット時全ビット 1)

図 4-2 PAC ~ PHC のビット構成

4.5 割り込み

IOH5 端子を入力ポートとして使用している場合、入力信号の立ち上がりエッジで割り込みをかけることができます。割り込みを使用しない場合は、図 3-2を参照して JP2 を割り込み未使用の設定(出荷時デフォルト)にしてください。割り込みを使用する場合は、割り込みチャンネルを JP2 で選択してください。使用する割り込みチャンネルは、他のモジュールと重複しないようご注意ください。

発生した割り込み信号は、PHC レジスタの読み出しでクリアされます。割り込み処理ルーチン等で適宜割り込みのクリア操作を行ってください。

なお、割り込み信号がアクティブの間は IOH5 端子に加えられた信号の割り込み発生条件は無視されます。

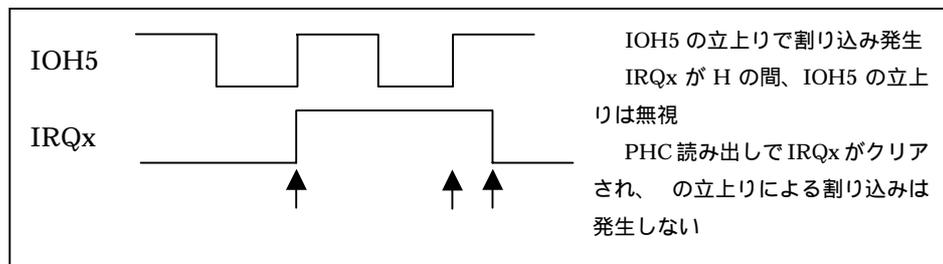


図 4-3 IOH5 による割り込み

4.6 バスホールド回路

XC95144XL の入出力端子には図 4-4のようなバスホールド回路が組み込まれており、端子のレベルはフローティングとならず、High または Low に維持されます。このため、未使用の入力端子をフローティング防止のためにプルアップ処理する必要はありませんが、出力に設定した未使用の入出力ポートを入力に切換した場合、バスホールド回路のため入力ポートからは直前に出力されていた値が読み出されますのでご注意ください。またプルアップ処理を行う場合は、バスホールド回路に使用されている抵抗値を考慮してプルアップ抵抗値を決定してください。

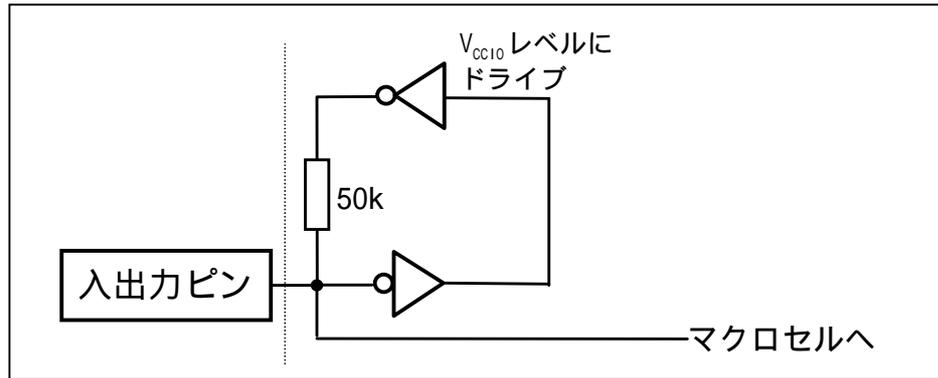


図 4-4 バスホールド回路

4.7 ソースファイル

出荷時の HT3070 に書き込みされている CPLD 内容を記述した、verilog ソースファイルおよび VHDL ソースファイルがマニュアルディスクに添付されています。出荷時の CPLD 内容を変更して使用する場合等にご使用ください。

port01.v	1bit ポート定義(verilog)
port06.v	6bit 幅ポート定義(verilog)
port08.v	8bit 幅ポート定義(verilog)
ht3070.v	アドレスデコードおよびモジュール定義(verilog)
irq_reg.v	割り込みレジスタ定義(verilog)
port01.vhd	1bit ポート定義(VHDL)
port06.vhd	6bit 幅ポート定義(VHDL)
port08.vhd	8bit 幅ポート定義(VHDL)
ht3070.vhd	アドレスデコードおよびモジュール定義(VHDL)
irq_reg.vhd	割り込みレジスタ定義(VHDL)
ht3070.ucf	ピン固定制約データ

4.8 JEDEC ファイル

出荷時 CPLD 内容の JEDEC ファイル(HT3070.JED)がマニュアルディスクに添付されていますので、ISE 付属のツール等で JTAG ポートから書きこみし、CPLD の内容を HT3070 出荷時の状態に戻すことができます。

5 仕様

本ボードの主な仕様を表 5-1に示します。

表 5-1 HT3070 仕様

CPLD	XC95144XL-10(XILINX)
オッシレータ	ボード上に EXO3(キンセキ)他モジュールを搭載可
アドレスデコード	SA[10:4]を HCT688 でジャンパ設定と比較
3.3V レギュレータ	500mA(max.) XC95144XL の消費電流を含む
基板サイズ	90.2mm × 95.9mm (突出部を含まず)
電源電圧	5V ± 10%
消費電流	動作しているマクロセル数や動作周波数・モード等により上下しますので、詳しくは XC9500XL データシート等をご参照ください。
動作温度範囲	0 ~ 70

6 外形寸法図

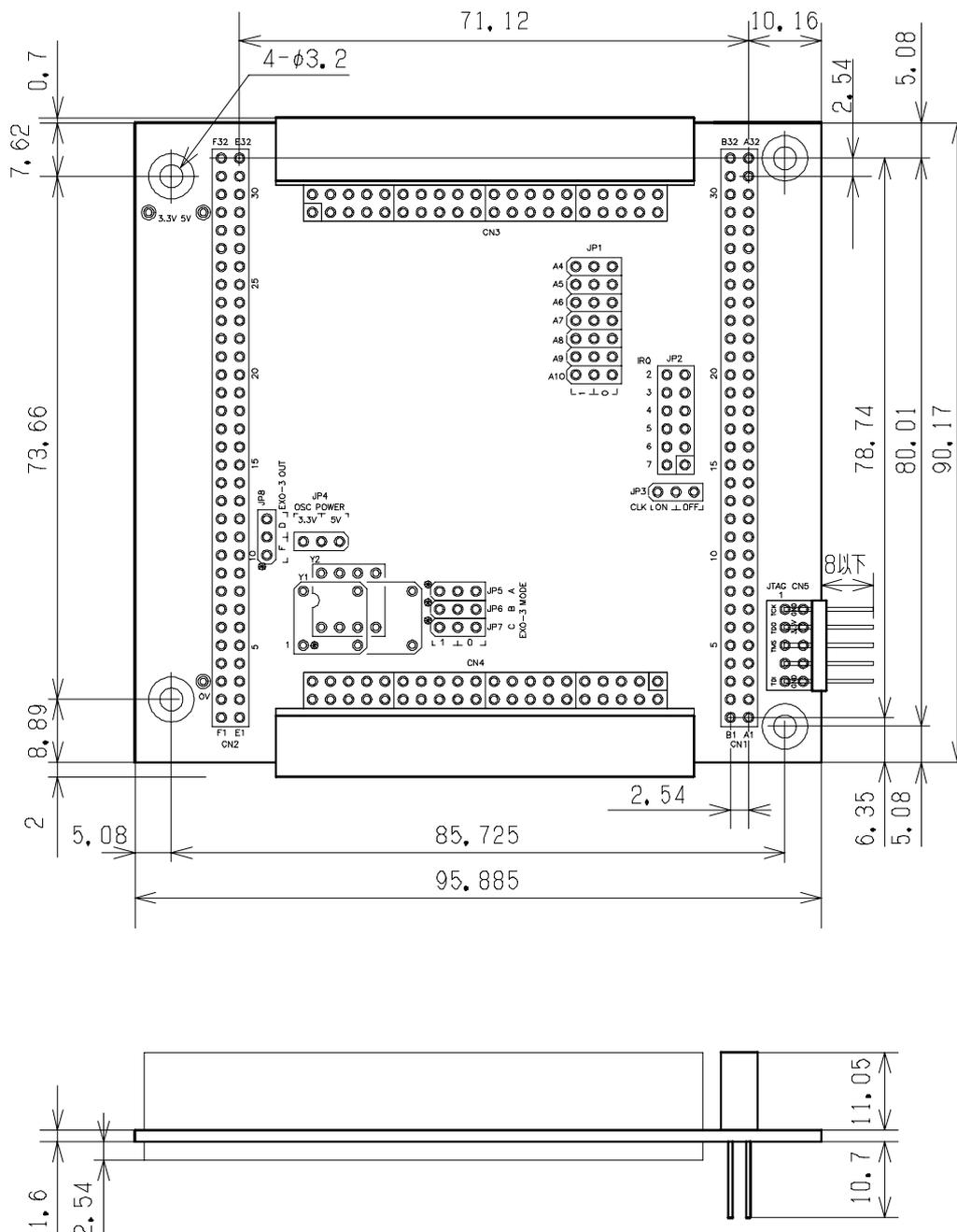
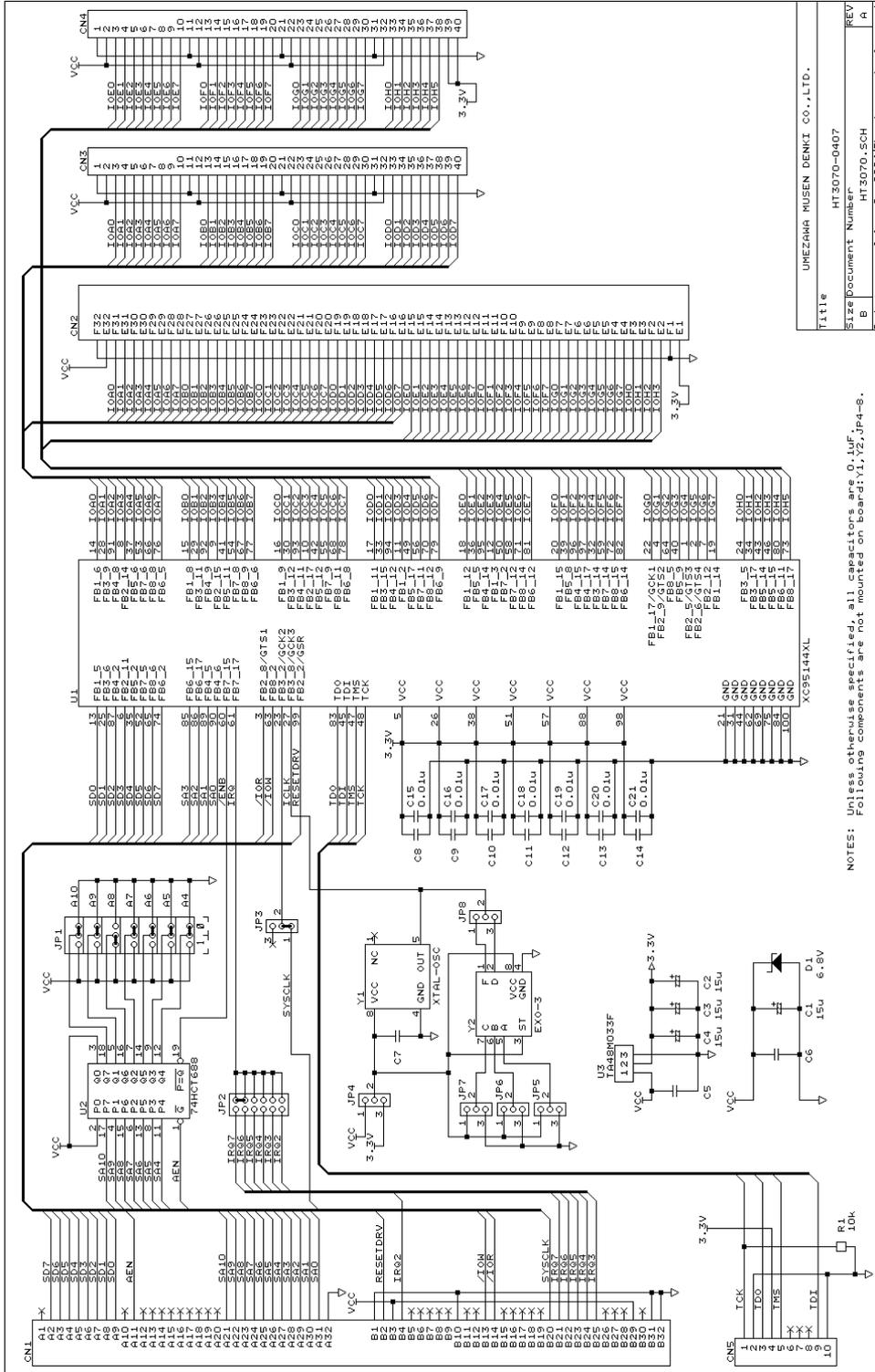


図 6-1 外形寸法図

寸法は原寸大ではありませんのでご注意ください。

7 回路図



Title	HT3070-0407
Size/Document Number	HT3070.SCH
REV	A
Date:	July 8, 2004 Sheet 1 of 1

UMEZAMA MUSEN DENKI CO.,LTD.

NOTES: Unless otherwise specified, all capacitors are 0.1uF.
Following components are not mounted on board: Y1, Y2, JP4-S.

图 7-1 HT3070 回路图

HT3070 ユーザーズマニュアル 2004年7月10日 rev.1.0

梅澤無線電機株式会社

東京営業部

101-0044 東京都千代田区鍛冶町 2-3-14

TEL03-3256-4491 FAX03-3256-4494

仙台営業所

982-0012 仙台市太白区長町南 4 丁目 25-5

TEL022-304-3880 FAX022-304-3882

札幌営業所

060-0062 札幌市中央区南 2 条西 7 丁目

TEL011-251-2992 FAX011-281-2515

本製品・資料についての技術的なお問い合わせは技術推進部直通ダイヤル(TEL/FAX)へ



0 1 2 0 - 0 2 4 7 6 8