

HT series

HT3020

ユーザーズマニュアル

目次

1 はじめに.....	1
2 注意事項.....	2
2.1 安全に関する注意事項.....	2
2.2 取り扱い上の注意事項.....	2
3 NAT7210™ 概要.....	3
4 資料・参考文献.....	4
5 テストプログラム.....	5
5.1 コントローラ機能のテスト.....	5
5.2 トーカ・リスナ機能のテスト.....	7
6 仕様.....	10
7 ハードウェア機能.....	11
7.1 ブロック図.....	11
7.2 コネクタ信号配置.....	12
7.2.1 コネクタピン配列.....	12
7.2.2 CN1 信号機能.....	13
7.2.3 CN2 信号機能.....	13
7.2.4 CN3 信号機能.....	14
7.2.5 コネクタ型式.....	14
7.3 CN2-GPIB コネクタ接続ケーブル.....	14
7.4 ジャンパ設定.....	15
7.4.1 JP1.....	15
7.4.2 JP2.....	16
7.4.3 JP3.....	16
7.4.4 JP4.....	16
7.4.5 JP5.....	17
8 I/O アドレスマップ.....	18
8.1 7210 モードレジスタマップ.....	18
8.2 9914 モードレジスタマップ.....	19
8.3 ページイン.....	19
8.3.1 7210 モードでのページイン.....	19
8.3.2 9914 モードでのページイン.....	19
8.4 モードの移行.....	20
8.4.1 7210 モード 9914 モード.....	20
8.4.2 9914 モード 7210 モード.....	21
9 7210 モードレジスタ機能.....	22
9.1 データレジスタ.....	22
9.1.1 DIR.....	22
9.1.2 CDOR.....	22

9.2 割り込みレジスタ	23
9.2.1 ISR0	23
9.2.2 IMR0	24
9.2.3 ISR1	25
9.2.4 IMR1	28
9.2.5 ISR2	28
9.2.6 IMR2	30
9.3 シリアルポートレジスタ	31
9.3.1 SPSR	31
9.3.2 SPMR	31
9.4 並列ポートレジスタ	32
9.5 アドレスモード・ステータスレジスタ	33
9.5.1 ADMR	33
9.5.2 ADSR	34
9.6 アドレスレジスタ	35
9.6.1 ADR	35
9.6.2 ADR0	36
9.6.3 ADR1	36
9.7 コマンドパススルーレジスタ	37
9.8 EOS レジスタ	37
9.9 AUXILIARY モードレジスタ	38
9.9.1 補助コマンド	38
9.9.2 AUXRA	41
9.9.3 AUXRB	42
9.9.4 AUXRE	43
9.9.5 AUXRF	44
9.9.6 AUXRG	44
9.9.7 AUXRI	46
9.10 内部カウントレジスタ	47
9.10.1 ICR	47
9.10.2 ICR2	47
9.11 その他の GPIB ステータスレジスタ	48
9.11.1 BCR	48
9.11.2 BSR	49
9.11.3 SASR	49
9.12 バージョンステータスレジスタ	50
10 9914 モードレジスタ機能	52
10.1 データレジスタ	52
10.1.1 DIR(9914 モード)	52
10.1.2 CDOR(9914 モード)	53
10.2 割り込みレジスタ	53
10.2.1 ISR0(9914 モード)	53
10.2.2 IMR0(9914 モード)	55
10.2.3 ISR1(9914 モード)	56
10.2.4 IMR1(9914 モード)	57
10.2.5 ISR2(9914 モード)	58
10.2.6 IMR2(9914 モード)	59

10.3 シリアルポールレジスタ	60
10.3.1 SPSR(9914 モード)	60
10.3.2 SPMR(9914 モード)	61
10.4 パラレルポールレジスタ(9914 モード)	62
10.5 アドレスステータスレジスタ(9914 モード)	62
10.6 アドレスレジスタ(9914 モード)	63
10.7 AUXILIARY コマンドレジスタ(9914 モード)	64
10.8 コマンドパススルーレジスタ(9914 モード)	67
10.9 EOS レジスタ(9914 モード)	67
10.10 アクセサリレジスタ(9914 モード)	68
10.10.1 ACCRA(9914 モード)	68
10.10.2 ACCRB(9914 モード)	69
10.10.3 ACCRE(9914 モード)	69
10.10.4 ACCRF(9914 モード)	70
10.10.5 ACCRI(9914 モード)	70
10.10.6 ICR(9914 モード)	71
10.11 その他の GPIB ステータスレジスタ	72
10.11.1 BCR(9914 モード)	72
10.11.2 BSR	72
11 プログラミング	74
11.1 初期化	74
11.2 アドレスモード	75
11.2.1 通常アドレスと拡張アドレス	75
11.2.2 1つの論理デバイス(通常アドレス)	75
11.2.3 1つの論理デバイス(拡張アドレス)	76
11.2.4 2つの論理デバイス(通常アドレス)	76
11.2.5 2つの論理デバイス(拡張アドレス)	76
11.2.6 3つ以上の論理デバイス	77
11.3 コントローラ機能の設定	77
11.3.1 システムコントローラ	77
11.3.2 コントローラのステート	78
11.3.3 コントローラのステート移行	78
11.4 コマンドの送出	79
11.5 データ転送	79
11.5.1 データ送出の手順	79
11.5.2 EOI または EOS の送出	80
11.5.3 T1 Delay の設定	80
11.5.4 nbaf 補助コマンドの使用方法	81
11.5.5 データ受信の手順	81
11.5.6 END または EOS の受信	81
11.6 アクセプタハンドシェイク HOLDOFF	82
11.6.1 RFD Holdoff	82
11.6.2 Data 受信モード	82
11.6.3 DAC Holdoff	83
11.7 シリアルポール	83
11.7.1 サービスリクエスト	83
11.7.2 シリアルポールへの応答	84

11.7.3 シリアルポールの実行	84
11.8 パラレルポール.....	85
11.8.1 パラレルポールへの応答.....	85
11.8.2 PP0/PP1/PP2.....	85
11.8.3 リモートコンフィグレーション.....	85
11.8.4 パラレルポールの実行	86
11.9 リモート/ローカル.....	86
11.10 デバイストリガ.....	87
11.11 デバイスクリア	87
12 外形寸法図.....	88
13 回路図	89
付録 A HT3020 の C による操作.....	90
A1 定義されている定数.....	90
A2 関数.....	91
A.2.1 初期設定関連.....	91
A.2.2 コントローラ状態制御.....	92
A.2.3 ハンドシェーク	92
A.2.4 ステータスクリア	92
A.2.5 コマンド送出.....	92
A.2.6 データ転送.....	93
A.2.7 シリアルポール	93
A.2.8 パラレルポール	94
付録 B バス状態・コマンド略号.....	95

図目次

図 6-1 HT3020 ブロック図	11
図 6-2 GPIB コネクタ信号配置と CN2 信号配置の対応	15
図 6-3 JP2 の設定	16
図 8-1 DIR のビット構成	22
図 8-2 CDOR のビット構成	23
図 8-3 ISR0 のビット構成	23
図 8-4 IMR0 のビット構成	24
図 8-5 ISR1 のビット構成	25
図 8-6 IMR1 のビット構成	28
図 8-7 ISR2 のビット構成	28
図 8-8 IMR2 のビット構成	30
図 8-9 SPSR のビット構成	31
図 8-10 SPMR のビット構成	31
図 8-11 PPR のビット構成	32
図 8-12 ADMR のビット構成	33
図 8-13 ADSR のビット構成	34
図 8-14 ADR のビット構成	35
図 8-15 ADR0 のビット構成	36
図 8-16 ADR1 のビット構成	37
図 8-17 CPTR のビット構成	37
図 8-18 EOSR のビット構成	38
図 8-19 AUXRA のビット構成	41
図 8-20 AUXRB のビット構成	42
図 8-21 AUXRE のビット構成	43
図 8-22 AUXRF のビット構成	44
図 8-23 AUXRG のビット構成	44
図 8-24 AUXRI のビット構成	46
図 8-25 ICR のビット構成	47
図 8-26 ICR2 のビット構成	48
図 8-27 BCR のビット構成	48
図 8-28 NAT7210 の GPIB I/O ハードウェア構成	49
図 8-29 BSR のビット構成	49
図 8-30 SASR のビット構成	50
図 8-31 VSR のビット構成	51
図 9-1 DIR のビット構成	52
図 9-2 CDOR のビット構成	53
図 9-3 ISR0 のビット構成	53
図 9-4 IMR0 のビット構成	55
図 9-5 ISR1 のビット構成	56
図 9-6 IMR1 のビット構成	57
図 9-7 ISR2 のビット構成	58
図 9-8 IMR2 のビット構成	59
図 9-9 SPSR のビット構成	61
図 9-10 SPMR のビット構成	61
図 9-11 PPR のビット構成	62
図 9-12 ADSR のビット構成	62

図 9-13 ADR のビット構成	63
図 9-14 CPTR のビット構成	67
図 9-15 EOSR のビット構成	68
図 9-16 ACCRA のビット構成	68
図 9-17 ACCRB のビット構成	69
図 9-18 ACCRE のビット構成	69
図 9-19 ACCRF のビット構成	70
図 9-20 ACCRI のビット構成	70
図 9-21 ICR のビット構成	71
図 9-22 BCR のビット構成	72
図 9-23 BSR のビット構成	73
図 11-1 外形寸法図	88
図 12-1 HT3020 回路図	89

表目次

表 5-1 テストプログラムの受信可能コマンド一覧	8
表 6-1 HT3020 仕様	10
表 7-1 CN1 信号配列	12
表 7-2 CN2 信号配列	12
表 7-3 CN3 信号配列	12
表 7-4 CN1 信号機能	13
表 7-5 CN2 信号機能	13
表 7-6 CN3 信号機能	14
表 7-7 コネクタ型式	14
表 7-8 ケーブルアセンブリ使用コネクタ	14
表 7-9 JP3 の設定	16
表 7-10 JP4 の設定	16
表 7-11 JP5 の設定	17
表 8-1 7210 モードレジスタマップ	18
表 8-2 補助レジスタ	18
表 8-3 9914 モードレジスタマップ	19
表 8-4 ページインコマンド(9914 モード)	20
表 9-1 ISR0 の各ビット機能	23
表 9-2 IMR0 の各ビット機能	25
表 9-3 ISR1 の各ビット機能	26
表 9-4 IMR1 の各ビット機能	28
表 9-5 ISR2 の各ビット機能	29
表 9-6 IMR2 の各ビット機能	30
表 9-7 SPSR の各ビット機能	31
表 9-8 SPMR の各ビット機能	31
表 9-9 PPR の各ビット機能	32
表 9-10 ADMR に設定可能なデータ	33
表 9-11 ADSR の各ビット機能	34
表 9-12 ADR の各ビット機能	35
表 9-13 ADR0 の各ビット機能	36
表 9-14 ADR1 の各ビット機能	37
表 9-15 補助コマンド機能	38
表 9-16 AUXRA の各ビット機能	42
表 9-17 データ受信モード選択	42
表 9-18 AUXRB の各ビット機能	43
表 9-19 AUXRE 設定による DAC HOLDOFF 条件	43
表 9-20 AUXRF 設定による DAC HOLDOFF 条件	44
表 9-21 AUXRG の各ビット機能	45
表 9-22 NTNL ビット設定値と動作の相違点	45
表 9-23 AUXRI の各ビット機能	46
表 9-24 SISB=1 時の割り込みステータスビットクリア条件	46
表 9-25 クロック周波数と MICR,F[3:0]設定値	47
表 9-26 ICR2 の各ビット機能	48
表 9-27 SASR の各ビット機能	50
表 9-28 AH ステート	50
表 9-29 SH ステート	50
表 10-1 ISR0 の各ビット機能	54

表 10-2 IMR0 の各ビット機能.....	55
表 10-3 ISR1 の各ビット機能.....	56
表 10-4 IMR1 の各ビット機能.....	58
表 10-5 ISR2 の各ビット機能.....	59
表 10-6 IMR2 の各ビット機能.....	60
表 10-7 SPSR の各ビット機能.....	61
表 10-8 SPMR の各ビット機能.....	61
表 10-9 ADSR の各ビット機能.....	62
表 10-10 ADR の各ビット機能.....	63
表 10-11 補助コマンド機能.....	64
表 10-12 ACCRA の各ビット機能.....	68
表 10-13 ACCRB の各ビット機能.....	69
表 10-14 ACCRE 設定による DAC HOLDOFF 条件.....	70
表 10-15 ACCRF 設定による DAC HOLDOFF 条件.....	70
表 10-16 ACCRI の各ビット機能.....	71
表 10-17 クロック周波数と MICR,F[3:0]設定値.....	71
表 11-1 T1 デイレイ最小値.....	81
表 11-2 PPE メッセージ.....	86
表 A-1 各レジスタのビット名.....	90
表 B-1 状態・メッセージニモニク.....	95

1 はじめに

このたびは HT3020 をお求めいただき、ありがとうございます。

HT3020 はナショナルインスツルメンツ社 NAT7210 をコントローラに採用した、GPIB(IEEE488.2)インターフェースモジュールです。

バスは 8bit の PC/104 準拠となっており、ボードの占有 I/O アドレスや割り込み等をジャンパによって設定できます。また、コントローラのほかに汎用 8 ビット入力ポートも用意されており、GPIB アドレス等の読み込みに使用できます。ボード上には GPIB アドレス設定 DIP スイッチを搭載するスペースも用意されています。

NAT7210 は NEC の uPD7210 とソフトウェアコンパチブルなモードの他に、テキサスインスツルメンツの TMS9914A ソフトウェアコンパチブルなモードも用意されているため、すでにこれらのデバイスの使用経験がある場合にはソフトウェアの作成が容易です。

本マニュアルは、HT3020 の仕様や使用方法について書かれたものです。HT3020 の機能を最大限引き出すために、ご活用いただければ幸いです。

2 注意事項

2.1 安全に関する注意事項

HT3020 を安全にご使用いただくために、特に以下の点にご注意くださいますようお願いいたします。



本製品には一般電子機器用（OA機器・通信機器・計測機器・工作機械等）に製造された半導体部品を使用しておりますので、その誤作動や故障が直接生命を脅かしたり、身体・財産等に危害を及ぼす恐れのある装置（医療機器・交通機器・燃焼制御・安全装置等）に組み込んで使用しないでください。

また、半導体部品を使用した製品は、外来ノイズやサージにより誤作動したり故障したりする可能性がありますので、ご使用になる場合は万一誤作動、故障した場合においても生命・身体・財産等が侵害されることのないよう、装置としての安全設計（リミットスイッチやヒューズ・ブレーカ等の保護回路の設置、装置の多重化等）に万全を期されますようお願い申し上げます。

2.2 取り扱い上の注意事項

HT3020 に恒久的なダメージをあたえないよう、取り扱い時には以下のような点にご注意ください。

- 電源の投入
HT3020 や周辺回路に電源がはいっている状態では絶対に本ボードの着脱を行わないでください。
- 静電気
HT3020 には CMOS デバイスを使用しておりますので、ご使用になるまでは帯電防止対策のされている、出荷時のパッケージ等にて保管してください。
- ラッチアップ
電源および入出力からの過大なノイズやサージ、電源電圧の急激な変動等で使用している CMOS デバイスがラッチアップを起こす可能性があります。いったんラッチアップ状態となると、電源を切断しないかぎりこの状態が維持されるため、デバイスの破損につながる可能性があります。ノイズの影響を受けやすい入出力ラインには保護回路を入れることや、ノイズ源となる装置と共通の電源を使用しない等の対策をとることをお勧めします。

3 NAT7210™ 概要

HT3020 はコントローラにナショナルインスツルメンツの NAT7210 を使用していません。NAT7210 は以下のような特徴を備えています。

- NEC uPD7210 とピンコンパチブル
- NEC uPD7210 および TI TMS9914A とソフトウェアコンパチブル
- 低消費電力
- IEEE488.2 の全ての要求仕様を満足
 - バスラインモニタリング機能
 - サービス要求の望ましいインプリメンテーション
 - リスナがない場合にはメッセージを送信しない機能
- IEEE488.1 の全てのインターフェースファンクションを実装
 - ソースハンドシェーク(SH1)
 - アクセプタハンドシェーク(AH1)
 - トーカー / 拡張トーカー(T5 or TE5)
 - リスナ / 拡張リスナ(L3 or LE3)
 - サービスリクエスト(SR1)
 - リモート / ローカル(RL1)
 - パラレルポールリモート・ローカルコンフィグレーション(PP1,PP2)
 - デバイスクリア(DC1)
 - デバイストリガ(DT1)
 - コントローラ機能(C1,2,3,4,5)
- プログラマブルデータ転送レート
- ドライバオーバーヘッドの削減
 - データ転送中に ATN がアサートされた場合のデータバイト保護
 - 読み出しによってクリアされない割り込みステータスのサポート
- EOI/NL 検出
- IEEE488 コマンドの自動処理・未定義コマンド読みだしサポート

なお NAT7210 の詳細な機能については、ナショナルインスツルメンツ発行の以下の資料（いずれも英文）等をご参照くださいますようお願い申し上げます。（ナショナルインスツルメンツ社ホームページからダウンロード可能です。）

NAT7210™ データシート (P/N 340488-01)

NAT7210™ Reference Manual (P/N 320744-01)

お問い合わせ先： 日本ナショナルインスツルメンツ株式会社
TEL 03-5472-2970 FAX 03-5472-2977
URL <http://www.ni.com/jp>

4 資料・参考文献

本マニュアル作成に際して使用した資料・参考文献を以下に示します。

- National Instruments NAT7210™ Data Sheet
- National Instruments NAT7210™ Reference Manual (P/N 320744-01)
- National Instruments NAT9914™ Data Sheet
- National Instruments NAT9914™ Reference Manual (P/N 320775-01)
これらの資料は日本ナショナルインスツルメンツ株式会社ホームページからダウンロード可能です。3ページをご覧ください。
- NEC uPD7210C/D データシート
- NEC uPD7210 アプリケーションノート
- テキサスインスツルメンツ TMS9914A GPIB アダプタユーザーズマニュアル
以上の資料3点は現在発行されていないため入手が困難です。
- 磯辺著 GPIB 活用法(工学図書) ISBN4-7692-0179-6
- 岡村著 IEEE488(GPIB)とその応用(CQ 出版) ISBN4-7898-3663-0

5 テストプログラム

HT3020 には、動作確認のためのテストプログラムが用意されています。このプログラムは C で記述されており、ソースも添付されていますので、プログラミングサンプルとしてもご利用いただけます。これらのプログラムで使用している関数については付録 A をご参照ください。

《注意》

これらのプログラムは HT3020 のテストを目的としたものであり、プログラムの正当性および特定の用途への適合性を保証するものではありませんのでご注意ください。

5.1 コントローラ機能のテスト

テストに必要な環境は次の通りです。

- HT3020+HT1010
この機器構成で GPIB コントローラを実現します。必要に応じて HT3010 やフロッピーディスクドライブ等を接続してください。
- GPIB 機器
テスト用に接続する GPIB 機器は、コマンド・設定および動作についてよく理解しているものを使用してください。もしお手持ちの GPIB 機器がない場合は、5.2 節のプログラムを動作させたもう 1 組の HT3020+HT1010 を GPIB 機器として、コントローラ機能をテストすることも可能です。

テスト手順は次の通りです。

1. HT3020 上のジャンパ設定

JP1

テストプログラムは、ボードの I/O ベースアドレスが出荷時デフォルトの 02C0H であることを仮定していますので、JP1 が A[10:4]=[0101100] に設定されていることを確認してください。

JP2

IRQ2 を使用する設定にしてください。(図 7-3 参照)

JP4

本ボードがシステムコントローラとなるよう、ジャンパを SC に設定してください。

なおその他のジャンパの設定状態は、プログラムの動作に影響しません。

2. 接続する機器の設定

接続する機器の GPIB アドレスを設定します。機器によって DIPSW で設定するものや、パネル操作で設定するもの等がありますので各機器の操作方法に従ってください。デリミタ選択が可能な場合は、0AH または EOI を選択してください。(テストプログラムは行末で 0DH,0AH を送出し、0AH 送出時には EOI をアサートします。)

3. GPIB 機器と HT3020 の接続

GPIB ケーブルで機器間を接続します。動作しない場合の解析を複雑にしますので、これ以外の GPIB 機器はできるだけ接続しないようにしてください。

4. 3020TSTC.EXE の実行

マニュアルディスクの¥TEST ディレクトリにある 3020TSTC.EXE を実行します。このとき、コマンドラインパラメータとして、コントローラのアドレスおよび接続する GPIB 機器のアドレスを指定してください。例えば、コントローラ(本ボード)の GPIB アドレスを 1 とし、接続する GPIB 機器のアドレスを 7 とする場合であれば、

```
TEST¥3020TSTC 1 7
```

と入力します。なお以下の例では、フロッピーディスクドライブが接続されていることを仮定していますが、HT1010+HT3020 のみの環境で実行する場合は、あらかじめフラッシュメモリディスクに 3020TSTC.EXE を書き込んでおくか、RMTDRV ユーティリティを使用し、コンソールからファイルを Y-MODEM 転送して実行してください。フラッシュメモリへの書き込み、RMTDRV 使用方法等については HT1010 ユーザーズマニュアルをご参照ください。実行時のコンソール表示例を以下に示します。

```
A>TEST¥3020TSTC 1 7
HT3020 GPIB I/F Controller function Test
Copyright (c) Umezawa Electric Co.,Ltd. 1998
```

```
[CTR(1) >> DEV(7)]
```

5. GPIB 機器へのコマンド送出

テストに使用する機器に対して応答が容易に確認できるコマンドを送出し、結果が得られることを確認します。IEEE488.2 準拠の GPIB 機器であれば、共通のクエリが用意されており、例えば*IDN?クエリは機器名称やバージョン等を応答として返します。HP1652B に対してコマンド送出した場合のコンソール表示例を以下に示します。

```
[CTR(2) >> DEV(7)]*IDN?
[CTR(2) << DEV(7)]HEWLETT PACKARD 1652B,0,REV 02.06
[CTR(2) >> DEV(7)]
```

コマンド受け付け状態で空行を入力すると、プログラムは終了します。送信したコマンドが?のついたクエリの場合、テストプログラムは相手機器からの応答を待ちますが、一定時間経過後応答がない場合は--- no response ---と表示します。また、何らかの原因でコマンドが送出できなかった場合は Error sending data over GPIB と表示します。

IEEE488.2 準拠機器は、*SRE コマンドでサービスリクエスト発生条件を設定することができます。例えば GPIB 機器に*SRE 16 を送信すると、GPIB 機器がコントローラに送出するメッセージがあると SRQ をアサートし、サービスリクエストするように設定されます。テストプログラムはコマンド送出後、一定時間 SRQ がアサートされるかどうかを確認し、サービス要求があった場合にはシリアルポール動作を行ったのち、GPIB 機器をトーカー指定してメッセージを受信します。実行時のコンソール表示例を以下に示します。

```
[CTR(2) >> DEV(7)]*SRE 16
[CTR(2) >> DEV(7)]*IDN?
[SRQ from DEV(7)]HEWLETT PACKARD 1652B,0,REV 02.06
[CTR(2) >> DEV(7)]
```



コマンドが Error sending data over GPIB となり送出されない場合....

- GPIB ケーブル
GPIB ケーブルは正しく接続されていますか？特に HT3020-U00 を使用している場合はボードから GPIB コネクタまでのケーブル配線も正しいかどうか確認してください。
- JP 設定状態の確認
特に I/O ベースアドレスが正しく設定されていることを確認してください。

応答が --- no response --- となり受信できない場合....

- GPIB 機器の設定
相手機器の GPIB アドレスは、テストプログラムで指定したものと一致していますか？
- タイムアウトの設定

相手機器が約 1 秒以内に応答しない場合は、タイムアウトとなります。もし相手機器の応答が遅い場合は、ソースプログラム 3020TSTC.C の timeout 設定値を変更して再度コンパイルし、テストを行ってください。

5.2 トーカ・リスナ機能のテスト

テストに必要な環境は次の通りです。

- HT3020+HT1010
この機器構成で GPIB 機器を実現します。必要に応じて HT3010 やフロッピーディスクドライブ等を接続してください。
- GPIB コントローラ
HT3020 にコマンドを送出したり、データを受信するために必要となります。PC98 シリーズのパソコンは、NEC 製の GPIB 拡張ボード(PC9801-29N)を使用して BASIC から GPIB を制御することができます。もしお手持ちの GPIB コントローラ装置がない場合は、5.1 節のプログラムを動作させたもう 1 組の HT3020+HT1010 を GPIB コントローラとして使用することができます。

テスト手順は次の通りです。

1. HT3020 上のジャンパ設定

JP1

テストプログラムは、ボードの I/O ベースアドレスが出荷時デフォルトの 02C0H であることを仮定していますので、JP1 が A[10:4]=[0101100] に設定されていることを確認してください。

JP4

このテストではシステムコントローラとなりませんので、ジャンパを NSC に設定してください。

なおその他のジャンパの設定状態は、プログラムの動作に影響しません。

2. コントローラ装置の設定

接続するコントローラ装置の GPIB アドレスを設定します。機器によって DIPSW で設定するものや、パネル操作やソフトウェアで設定するもの等がありますので各装置の操作方法に従ってください。デリミタは、EOI を選択してください。(テストプログラムは EOI のみをデリミタとして認識します。)

3. GPIB コントローラ装置と HT3020 の接続

GPIB ケーブルで機器間を接続します。動作しない場合の解析を複雑にしますので、これ以外の GPIB 機器はできるだけ接続しないようにしてください。

4. 3020TSTD.EXE の実行

マニュアルディスクの¥TEST ディレクトリにある 3020TSTD.EXE を実行します。このときコマンドラインパラメータとして、HT3020 の GPIB アドレスを指定してください。例えば、本ボードの GPIB アドレスを 7 とする場合は、

```
TEST¥3020TSTD 7
```

と入力します。なお以下の例では、フロッピーディスクドライブが接続されていることを仮定していますが、HT1010+HT3020 環境で実行する場合は、あらかじめフラッシュメモリディスクに 3020TSTD.EXE を書き込んでおくか、RMTDRV ユーティリティを使用し、コンソールからファイルを Y-MODEM 転送して実行してください。フラッシュメモリへの書き込み、RMTDRV 使用方法等については HT1010 ユーザーズマニュアルをご参照ください。実行時のコンソール表示例を以下に示します。

```
A>TEST¥3020TSTD 7
HT3020 GPIB I/F Talker/Listener function Test
Copyright (c) Umezawa Electric Co.,Ltd. 1998
```

テストプログラムを実行すると HT1010 の P0 ポートを出力に、P2 ポートを入力に設定します。その後コントローラからのコマンド待ち状態となります。

5. GPIB コントローラからのコマンド送出

コントローラ装置から HT3020 へコマンドを送り、動作を確認します。テストプログラムでは次の 4 つのコマンドを受け付けます。(コマンドは IEEE488.2 には準拠していません。)応答メッセージを返す P2? コマンドの場合は、コントローラから HT3020 をトーカに指定して応答メッセージを受信してください。

表 5-1 テストプログラムの受信可能コマンド一覧

P0 <設定値>	P0 に<設定値>を書き込みます。値は 10 進数で指定します。
P2?	P2 の状態を問い合わせます。トーカ指定されたときに、ポート状態を P2? <ポート状態>のフォーマットで報告します。ポート状態は 10 進数で報告されます。
SRQ <0 1>	P2? コマンドの応答時にサービスリクエストを行うかどうかを設定します。0 を指定するとサービスリクエストは行いません。1 を指定すると SRQ をアサートします。
QUIT	プログラムを終了し、コマンドプロンプトに戻ります。

コマンド送出・データ受信方法はコントローラ機器のマニュアルをご参照ください。

コンソールから何かキー入力を行うと、プログラムは終了します。

受信したコマンドはコンソールに表示されます。上記に該当しないコマンドの場合はコンソールにエラーを表示します。コンソール表示例を以下に示します。

```
[Received CMD]P0 1
[Received CMD]SRQ 1
[Received CMD]*IDN?
Not Supported command
```

コントローラがコマンドを送出できない場合....

● GPIB ケーブル

GPIB ケーブルは正しく接続されていますか? 特に HT3020-U00 を使用している場合はボードから GPIB コネクタまでのケーブル配線も正しいかどうか確認してください。



コントローラが応答を受信しない場合....

- JP 設定状態の確認
特に I/O ベースアドレスが正しく設定されていることを確認してください。
- コントローラ装置の設定確認
コントローラ装置はデリミタとして EOI を送っていますか？また指定しているリスナやトーカーの GPIB アドレスは、テストプログラムで指定したものと一致していますか？

6 仕様

本ボードの主な仕様を表 6-1に示します。

表 6-1 HT3020 仕様

コントローラ	National Instruments NAT7210
GPIB トランシーバ	SN75160BN / SN75162BN
I/O アドレス	A4-A10 をジャンパで設定、16 バイトを占有
割り込み	IRQ2 から 7 をジャンパで選択
基板サイズ	90.2 × 95.9 × 15.2mm (突出部を含まず)
電源電圧	5V ± 5%
消費電流	95mA(Typ.) (ただし周辺回路無接続時の Typ. 値です。)
動作温度範囲	0 ~ 70

7 ハードウェア機能

この章では、HT3020 のハードウェア機能に関連する事項について説明します。
NAT7210 の詳細についてはナショナルインスツルメンツ発行のデータシートやリファレンスマニュアルもご参照ください。

7.1 ブロック図

図 7-1に HT3020 のブロック図を示します。

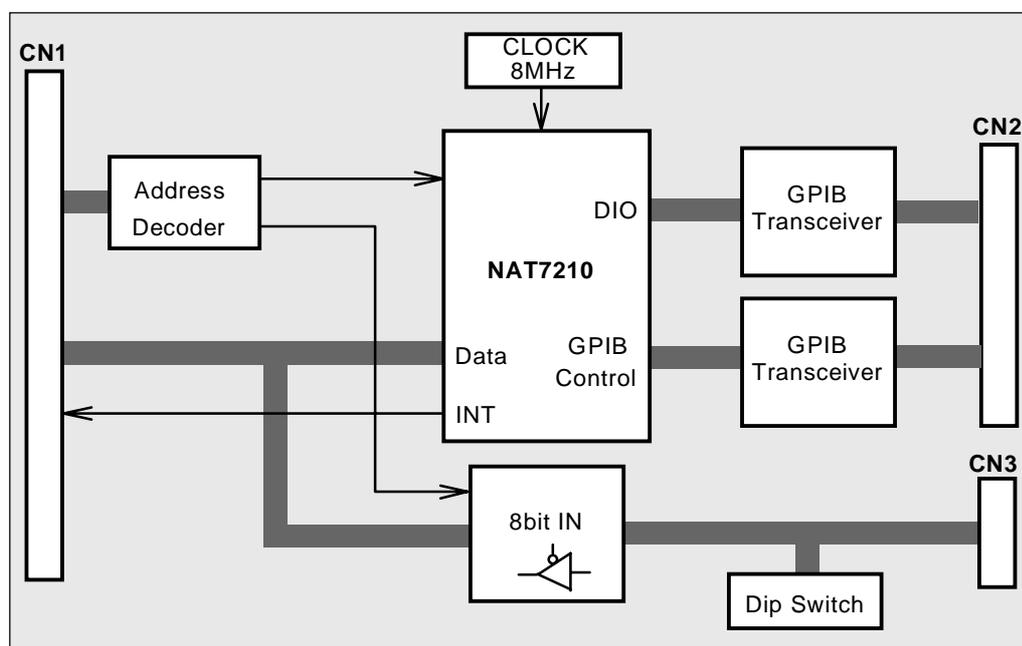


図 7-1 HT3020 ブロック図

7.2 コネクタ信号配置

7.2.1 コネクタピン配列

表 7-1から表 7-3にコネクタの信号配列を示します。表中、-印の端子は未使用です。

表 7-1 CN1 信号配列

A1	-	B1	GND
A2	SD7	B2	RESETDRV
A3	SD6	B3	+5V
A4	SD5	B4	IRQ2
A5	SD4	B5	-
A6	SD3	B6	-
A7	SD2	B7	-
A8	SD1	B8	-
A9	SD0	B9	-
A10	-	B10	GND
A11	AEN	B11	-
A12	-	B12	-
A13	-	B13	/IOW
A14	-	B14	/IOR
A15	-	B15	-
A16	-	B16	-
A17	-	B17	-
A18	-	B18	-
A19	-	B19	-
A20	-	B20	-
A21	SA10	B21	IRQ7
A22	SA9	B22	IRQ6
A23	SA8	B23	IRQ5
A24	SA7	B24	IRQ4
A25	SA6	B25	IRQ3
A26	SA5	B26	-
A27	SA4	B27	-
A28	SA3	B28	-
A29	SA2	B29	+5V
A30	SA1	B30	-
A31	SA0	B31	GND
A32	GND	B32	GND

表 7-2 CN2 信号配列

1	DIO1	2	DIO5
3	DIO2	4	DIO6
5	DIO3	6	DIO7
7	DIO4	8	DIO8
9	EOI	10	REN
11	DAV	12	GND
13	NRFD	14	GND
15	NDAC	16	GND
17	IFC	18	GND
19	SRQ	20	GND
21	ATN	22	GND
23	SHIELD	24	GND
25	-	26	-

表 7-3 CN3 信号配列

1	P0	2	P1
3	P2	4	P3
5	P4	6	P5
7	P6	8	P7
9	+5V	10	GND

7.2.2 CN1 信号機能

CN1 は、CPU バス信号が配置されています。信号配置は PC/104 に準拠しています。

表 7-4 CN1 信号機能

信号名	機能
SA[10:0]	アドレス入力です。
AEN	アドレス入力が無効であることを示します。I/O のアドレスデコードには SA とともに、この信号が L であることを使用しています。
SD[7:0]	データ入出力バスです。
/IOR	I/O リード信号です。
/IOW	I/O ライト信号です。
RESETDRV	リセット入力です。H アクティブですのでご注意ください。
IRQ[7:2]	外部割り込み出力です。本ボードが使用する割り込み出力は JP2 で選択します。
+5V	システムの電源です。+5V を供給します。
GND	システムの GND です。

7.2.3 CN2 信号機能

CN2 には GPIB の信号が配置されています。なお、信号は全て負論理です。

表 7-5 CN2 信号機能

信号名	機能
DIO[8:1]	GPIB のデータラインです。コマンド・データメッセージはこのラインを使用して送受信されます。
EOI	データ転送の終了を示す信号で、トーカーがアサートします。また、この信号はパラレルポールの実行を示します。
REN	システムコントローラは、この信号を使用してデバイスをリモートプログラミング可能な状態にします。
IFC	システムコントローラは、この信号を使用してバスの制御を非同期に取得します。この信号を受けたデバイスは既知の静的な状態になります。
SRQ	デバイスが CIC に対してサービス要求がある場合、この信号を使用して通知します。この信号は、シリアルポールされるまで保持されます。
ATN	この信号がアサートされると、全てのデバイスはリスナとなります。この信号がアサートされている場合、バス上の情報はコマンドメッセージとして解釈され、アサートされていない場合はデータメッセージとして解釈されます。
DAV	3 線ハンドシェイクに使用する制御信号です。この信号はデータライン上の信号が有効な状態にあることを示します。コントローラがコマンドを送る場合や、トーカーがデータメッセージを送る場合はこの信号を制御します。
NRFD	3 線ハンドシェイクに使用する制御信号です。この信号は、デバイスがデータを受信できる状態かどうかを示します。コントローラがコマンドを送出している場合は、全てのデバイスがこの信号をドライブします。トーカーがデータメッセージを送出している場合は、リスナだけがこの信号をドライブします。
NDAC	3 線ハンドシェイクに使用する制御信号です。この信号は、デバイスがデータを受け取ったかどうかを示します。コントローラがコマンドを送出している場合は、全てのデバイスがこの信号をドライブします。トーカーがデータメッセージを送出している場合は、リスナだけがこの信号をドライブします。
SHIELD	GPIB ケーブルのシールドが接続されています。
GND	システムの GND です。

7.2.4 CN3 信号機能

CN3 は汎用 8 ビット入力ポートの信号です。なお、ボード上の DIP スイッチ搭載スペースに部品を実装した場合は、このコネクタから信号を入力することができませんのでご注意ください。

表 7-6 CN3 信号機能

信号名	機能
P[0:7]	8bit の汎用入力ポートです。出荷時は 10K でプルダウンされています。JP5 でプルアップに切り替えることができます。
+5V	システムの VCC に接続されています。
GND	システムの GND に接続されています。

7.2.5 コネクタ型式

CN1, CN2 の型式等を表 7-7 に示します。なお CN3 は実装されていません。CN3 取り付けスペースには 10 極のボックスピンヘッダを実装して、リボンケーブルを接続することが可能です。(メーカー・型式は同等他社製品が使用される場合があります。)

表 7-7 コネクタ型式

コネクタ	メーカー	型式	備考
CN1	ASTRON	AT-ES1-64-12-2-GF	PC/104 J1 スタックスルーコネクタ
CN2	ASTRON	AT-SRDPH-26-2-1-GF	26 極ボックスピンヘッダ

7.3 CN2-GPIB コネクタ接続ケーブル

HT3020-P01 には CN2 からパネルマウント用 GPIB コネクタまでの接続ケーブルアセンブリが付属しています。ケーブルアセンブリに使用しているコネクタの型式等を表 7-8 に示します。(メーカー・型式は同等他社製品が使用される場合があります。) ケーブル長は約 30cm です。

表 7-8 ケーブルアセンブリ使用コネクタ

メーカー	型式	備考
ヒロセ電機	HIF3BA-26D-2.54R	26 極リボンケーブル圧接コネクタ
第一電子工業	57FE-20240-2OSD35	パネルマウント用 GPIB 圧接コネクタ

GPIB は 24 本の信号線を使用しますので、CN2 の 26 極のうち最後の 2 端子は使用していません。なお、CN2 の信号配置は、GPIB コネクタとの接続に圧接コネクタを使用する場合を想定していますので、図 7-2 に示すように CN2 の端子番号は GPIB コネクタの端子番号とは直接対応しません。付属ケーブルを使用せずに、はんだ付けタイプの GPIB コネクタ等を使用する場合にはご注意ください。

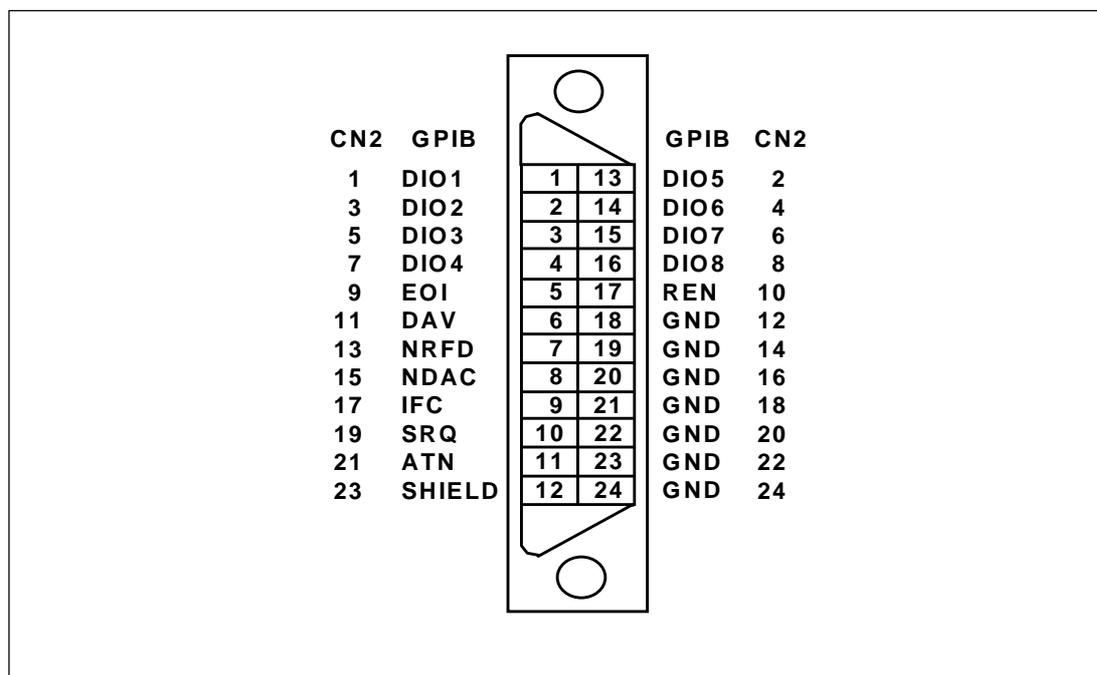


図 7-2 GPIO コネクタ信号配置と CN2 信号配置の対応

7.4 ジャンパ設定

HT3020 には JP1 から 5 までのジャンパがあります。ここでは機能別にジャンパの設定について説明します。なお、3 極ポスト型のジャンパはシルクで印がある端子から順に 1、2、3 番ピンとなっています。

7.4.1 JP1

JP1 は、本ボードの占有する 16 バイト I/O 空間の先頭アドレス(ベースアドレス)を設定します。出荷時 JP1 は 02CxH に設定されています。なお、アドレスの設定は SA[10:4] について行います。(アドレスの下位 4 ビット SA[3:0]はボード内の I/O 選択に使用しますので設定することはできません。) JP1 は 7 個の 3 極ジャンパポストで構成されており、対応するアドレスのビット割り当ておよび設定方法はシルクで表示されています。1 表示のある側にジャンパソケットを挿入するとそのビットには 1 を、0 表示のある側にジャンパソケットを挿入するとそのビットは 0 を設定したことになります。出荷時は A9,A7,A6 が 1、その他が 0 に設定されています。

《注意》

各ビットのジャンパソケットは、必ず 1 か 0 のどちらかを設定し、ジャンパソケットをはずした状態で動作させないでください。



7.4.2 JP2

JP2 は本ボードの使用する割り込みチャンネルを選択します。出荷時には割り込みを使用しない設定となっています。使用する割り込みチャンネルに対応するジャンパソケットの設定は、図 7-3をご参照ください。

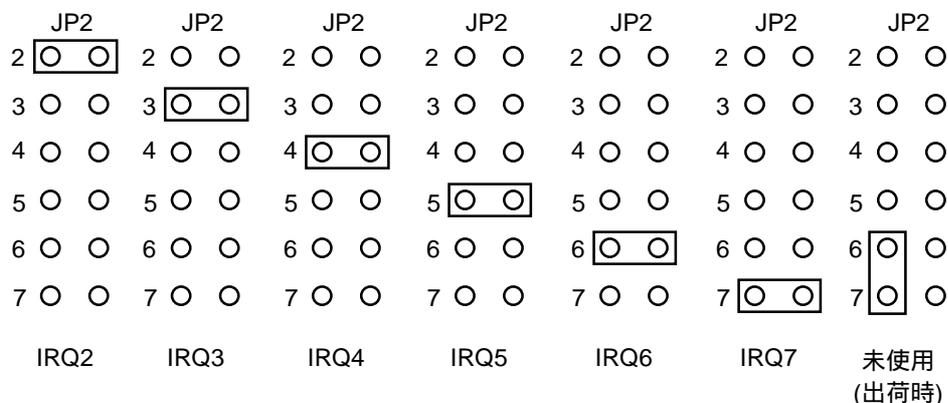


図 7-3 JP2 の設定

7.4.3 JP3

JP3 は GPIB のシールド端子を GND に接続するかどうかを選択します。出荷時にはシールド端子が GND に接続されています。ジャンパの設定と機能は表 7-9の通りです。

表 7-9 JP3 の設定

接続	機能
1-2	GPIB のシールド端子を GND に接続します。(出荷時設定)
2-3	GPIB のシールド端子は GND に接続せず、オープンとします。

7.4.4 JP4

JP4 は本ボードをシステムコントローラとして使用するかどうかを選択します。通常システムコントローラは1つの GPIB システム中にただ1つ存在することができ、IFC および REN 信号を出力することができます。出荷時にはシステムコントローラに設定されています。設定可能なモードは表 7-10をご参照ください。

表 7-10 JP4 の設定

モード	備考
SC	本ボードをシステムコントローラとして使用します。(IFC,REN は出力、出荷時設定)
NSC	本ボードをシステムコントローラとして使用しません。(IFC,REN は入力)
161	161 互換モードで使用します。(IFC,REN は入出力可能)

7.4.5 JP5

JP5 は汎用 8 ビット入力ポートのプルアップ / プルダウン切り替えに使用します。出荷時には、JP5 はポートをプルダウンする接続になっています。JP5 は出荷時にパターンで接続されていますので、プルアップに切り替える場合はカット等で 1-2,3-4 間のパターンを切断し、1-3,2-4 間を半田付けでショートし接続を変更してください。

表 7-11 JP5 の設定

接続	接続	状態
1-2,3-4 接続	1-3,2-4 オープン	ポートを 10K でプルダウンします。(出荷時設定)
1-3,2-4 接続	1-2,3-4 オープン	ポートを 10K でプルアップします。

8 I/O アドレスマップ

この章では、HT3020 の占有する I/O アドレスマップを示します。コントローラの NAT7210 はリセット後 NEC の uPD7210 互換レジスタモード(以降単に 7210 モードと呼びます)となりますが、設定によりテキサスインスツルメンツ TMS9914A 互換レジスタモード(同様に 9914 モードと呼びます)となります。レジスタの配置や機能は各モードで異なりますのでご注意ください。

本ボードは I/O アドレス空間に 16 バイトを占有し、先頭アドレスを JP1 で設定します。アドレスデコードは SA[0:10]までの 11 ビットのみで行っていますので、他のボードの占有する I/O アドレスと重複しないようご注意ください。出荷時には先頭アドレスが 2C0H に設定されています。JP1 の設定方法については7.4.1項をご参照ください。

8.1 7210 モードレジスタマップ

表 8-1に 7210 モード時のレジスタマップを示します。リセット後はこのレジスタ配置となります。

表 8-1 7210 モードレジスタマップ

SA3	SA2	SA1	SA0	出荷時 I/O アドレス	リード時	ライト時
0	0	0	0	02C0	DIR	CDOR
0	0	0	1	02C1	ISR1	IMR1
0	0	1	0	02C2	ISR2	IMR2
0	0	1	1	02C3	SPSR/VSR	SPMR/ICR2
0	1	0	0	02C4	ADSR	ADMR
0	1	0	1	02C5	CPTR/SASR	AUXMR
0	1	1	0	02C6	ADR0/ISR0	ADR/IMR0
0	1	1	1	02C7	ADR1/BSR	EOSR/BCR
1	x	x	x	02C8-02CF	DIP SW(汎用入力ポート)	-

表中の VSR,ICR2,SASR,ISR0,IMR0,BSR,BCR は NEC の uPD7210 には存在しないレジスタで、NAT7210 で拡張されています。これらのレジスタをアクセスする場合は、ページイン補助コマンドを実行する必要があります。8.3.1項をご参照ください。また、AUXMR への書き込みを通して表 8-2に示す 8 つの補助レジスタをアクセスすることができます。(UXRF,AUXRG,AUXRI は NEC の uPD7210 には存在しないレジスタで、NAT7210 で拡張されています。)

表 8-2 補助レジスタ

bit7	bit6	bit5	bit4	レジスタ
0	0	1	0	ICR
0	1	0	0	AUXRG
0	1	1	x	PPR
1	0	0	x	AUXRA
1	0	1	x	AUXRB
1	1	0	0	AUXRE
1	1	0	1	AUXRF
1	1	1	0	AUXRI

8.2 9914 モードレジスタマップ

表 8-3に 9914 モード時のレジスタマップを示します。9914 モードへの移行方法は 8.4.1項をご参照ください。

表 8-3 9914 モードレジスタマップ

SA3	SA2	SA1	SA0	出荷時 I/O アドレス	リード時	ライト時
0	0	0	0	02C0	ISR0	IMR0
0	0	0	1	02C1	ISR1	IMR1
0	0	1	0	02C2	ADSR	IMR2/EOSR/BCR/ACCR
0	0	1	1	02C3	BSR	AUXCR
0	1	0	0	02C4	ISR2	ADR
0	1	0	1	02C5	SPSR	SPMR
0	1	1	0	02C6	CPTR	PPR
0	1	1	1	02C7	DIR	CDOR
1	x	x	x	02C8-02CF	DIP SW	-

表中の IMR2, EOSR, BCR, ACCR, ISR2, SPSR はテキサスインスツルメンツ TMS9914A には存在しないレジスタで、NAT7210 で拡張されています。これらのレジスタはページイン状態となるまではアクセスすることができません。9914 モードでページイン状態に移行する方法については 8.3.2 項をご参照ください。

8.3 ページイン

NAT7210 は NEC の uPD7210 およびテキサスインスツルメンツ TMS9914A から拡張されたレジスタを持っており、これらのレジスタをアクセスする場合にはページイン補助コマンドを使用する必要があります。ページイン補助コマンドの使用方法は 7210 モード、9914 モードで異なりますのでご注意ください。

8.3.1 7210 モードでのページイン

ページイン状態とするためには、まず AUXMR にページイン補助コマンド (page-in, コードは 50H) を書き込みます。次に、ページイン状態でアクセス可能なレジスタをリードライトします。ページイン状態で (ページインでアクセスされる) レジスタをリードライトすると、ページイン状態は解除されます。アセンブラによるアクセス例を以下に示します。

```
mov    dx,02c5h          ;AUXMR
mov    al,50h            ;page-in コマンド
out    dx,al             ;
mov    dx,02c6h          ;IMR0(page-in 状態でアクセスするレジスタ)
mov    al,00000100b      ;
out    dx,al             ;
;いったんページイン状態でアクセス可能なレジスタにリードライトすると
;ページイン状態は解除されます。
```

8.3.2 9914 モードでのページイン

9914 モードの初期状態では、ページイン状態でアクセス可能なレジスタは I/O 空間にはマッピングされていません。ADSR レジスタと同じアドレス(オフセット+2)には、4つの書き込みレジスタ IMR2, EOSR, BCR, ACCR が配置されてお

り、これらの各レジスタをアクセスするための 4 つのページインコマンド (piimr2, pieosr, pibcr, piaccr) が用意されています。いずれかのページインコマンドをいったん AUXCR に書き込むと、次に別のページインコマンドを実行するかクリアページインレジスタコマンド (clrpi) を実行するまで、各ページインコマンドに対応する書き込みレジスタを ADSR レジスタと同じアドレス (オフセット +2) でアクセスすることができます。各ページインコマンドを表 8-4 に示します。

表 8-4 ページインコマンド (9914 モード)

コマンド	コード	機能
piimr2	1EH	Page-In Interrupt Mask 2 Register (IMR2)
pieosr	9EH	Page-In End-Of-String Register (EOSR)
pibcr	1FH	Page-In Board Control Register (BCR)
piaccr	9FH	Page-In Accessory Register (ACCR)
clrpi	9CH	Clear Page-In registers

4 つのページインコマンドのいずれかが実行された状態であれば、ISR2 と SPSR がそれぞれオフセット +4、+5 でリードアクセスできるようになります。クリアページインコマンド (clrpi) を実行すると、これらの拡張された書き込みレジスタおよび ISR2、SPSR は I/O 空間から消え、アクセスできなくなります。アセンブラによるアクセス例を以下に示します。

```

mov    dx,02c3h        ;AUXCR
mov    al,01eh         ;page-in IMR2 補助コマンド
out    dx,al           ;命令実行後オフセット+2 に IMR2 が現れます。
;他のページインコマンドを実行するか、クリアページインコマンドを実行する
;までは、常に IMR2,ISR2,SPSR が現れた状態となっています。
mov    dx,02c2h        ;IMR2
mov    al,00000100b    ;ATN 割込みをイネーブル
out    dx,al
mov    dx,02c4         ;ISR2(page-in 状態のためアクセス可能)
in     al,dx           ;AL ISR2

```

8.4 モードの移行

8.4.1 7210 モード 9914 モード

リセット後 NAT7210 は 7210 モードとなります。9914 モードに移行するには AUXMR (オフセット +5) に sw9914 補助コマンド (15H) を書き込みます。アセンブラによる記述例を以下に示します。

```

mov    dx,02c5h        ;AUXMR
mov    al,15h         ;sw9914 補助コマンド
out    dx,al           ;この命令実行後は 9914 モードとなります。

```

8.4.2 9914 モード 7210 モード

9914 モードから 7210 モードに移行するには、AUXCR(オフセット+3)に sw7210 補助コマンド(99H)を書き込みます。アセンブラによる記述例を以下に示します。

```
mov    dx,02c3h    ;AUXCR
mov    al,99h      ;sw7210 補助コマンド
out    dx,al       ;この命令実行後は 7210 モードとなります。
```

9 7210 モードレジスタ機能

この章では、7210 モードでのレジスタ機能詳細について説明します。なお、7210 モードと 9914 モードで名称が共通なレジスタがありますのでご注意ください。なお、説明中の GPIB バスの状態を示すステータス名やメッセージ名を示す略号については、付録 B をご参照ください。(これらは IEEE488.1 で定義されています。)



9.1 データレジスタ

データレジスタは GPIB とホストシステムとの間のデータやコマンドの転送に使用するレジスタです。DIR(Data In Register)と CDOR(Command/Data Out Register)は独立していますので、CDOR に書き込んだデータやコマンドは DIR の読み出しデータには影響しません。

9.1.1 DIR

DIR は NAT7210 がリスナ時に受信したデータを保持します。DIR にデータがラッチされると、ISR1 の bit0(DI ビット)がセットされます。(ただし、データ受信モードが continuous モードになっている場合は除きます。詳しくは11.6.2項をご参照ください。)

DIR のリードによって、

- ISR1 の bit0(DI ビット)がクリア
- RFD ホールドオフが解除

されます。

なお、DIR と CDOR は独立のため、CDOR に書き込んだデータやコマンドは DIR の読み出しデータには影響しません。DIR の各ビットは GPIB データラインの各ビットに対応します。DIR は JP1 で設定したベースアドレス+0 でリードアクセスします。

bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
DIO8	DIO7	DIO6	DIO5	DIO4	DIO3	DIO2	DIO1

図 9-1 DIR のビット構成

9.1.2 CDOR

CDOR は NAT7210 がトーカーコントローラになっている場合に、ホストシステムから GPIB にデータを送ります。書き込まれたデータまたはコマンドは、ソースハンドシェイク機能によって他の GPIB デバイスに転送されます。

CDOR への書き込みによって、

- ISR1 の bit1(DO ビット)がクリア
- されます。

CDOR と DIR は独立のため、書き込みデータやコマンドは DIR のラッチ内容には影響しません。CDOR の各ビットは、 GPIB データラインの各ビットに対応します。CDOR は JP1 で設定したベースアドレス+0 でライトアクセスします。

bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
DIO8	DIO7	DIO6	DIO5	DIO4	DIO3	DIO2	DIO1

図 9-2 CDOR のビット構成

9.2 割り込みレジスタ

NAT7210 は 17 種類の割り込み要因があり、それぞれについて割り込み要求を示すステータスビットと、割り込みマスクビットが用意されています。割り込みステータスレジスタ (ISR0,ISR1,ISR2)には割り込み要因に対応したステータスビットや内部ステータスを示すフラグが、また割り込みマスクレジスタ(IMR0,IMR1,IMR2)には割り込み要因に対応したマスクビットやその他の設定ビットが割り当てられています。

9.2.1 ISR0

ISR0 は割り込みステータスビットと内部ステータスビットで構成されています。図 9-3に ISR0 のビット構成を示します。

bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
nba	STBO	NL	EOS	IFCI	ATNI	-	SYNC

図 9-3 ISR0 のビット構成

ISR0 の各ビットは、IMR0 で割り込み要因がマスクされているかどうかにかかわらずセット・リセット条件に応じて変化します。ホストシステムが ISR0 をリードしている間にこれらのビットの状態に変化があった場合は、進行中のリードサイクル終了後に ISR0 の内容を変更します。各ビットの機能を表 9-1に示します。ISR0 は JP1 で設定したベースアドレス+6 でリードアクセスし、アクセスする前にページインコマンドを実行する必要があります。なおこのレジスタは NEC の uPD7210 には存在せず、NAT7210 で拡張されています。

表 9-1 ISR0 の各ビット機能

名称	機能	説明
nba	New Byte Available	nba は CDOR への書き込みによって 1 にセットされ、pon+nba+(NTNL&SIDS)+STRS の条件が成立すると 0 にクリアされます。
STBO	Status Byte Out	STBO IE がセットされている場合に、GPIB コントローラが NAT7210 に対してシリアルボールを行うと、STBO は 1 にセットされます。pon+(SPMR 書き込み)+~SPAS の条件が成立すると 0 にクリアされます。

NL	New Line Receive	NL は GPIB データバスから ASCII の new line(0AH)を受信すると 1 にセットされます。pon+(LACS&~NL&ACDS)の条件が成立すると 0 にクリアされます。
EOS	End-Of-String	ISR1 の END ビットが EOS キャラクタの受信によってセットされたことを示します。pon+(LACS&~EOS&ACDS)+~REOS の条件が成立すると 0 にクリアされます。
IFCI	IFC Interrupt	GPIB の IFC*がアサートされるとセットされます。pon+(ISR0 リード)&~SISB+IFCI のクリアの条件が成立すると 0 にクリアされます。
ATNI	ATN Interrupt	GPIB の ATN*がアサートされるとセットされます。pon+(ISR0 リード)&~SISB+ATNI のクリアの条件が成立すると 0 にクリアされます。
-	Don't Care	このビットは使用されていません。
SYNC	GPIB Synchronization	データ転送の GPIB ハンドシェイクが完了すると 1 にセットされます。

9.2.2 IMR0

IMR0 は割込みイネーブルビットと割込み制御ビットで構成されています。
 図 9-4に IMR0 のビット構成を示します。ハードウェアリセット後 IMR0 は 80H になります。(GLINT がイネーブル、その他はディスエーブルです。)

bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
GLINT	STBO IE	NLEN	0	IFCI IE	ATNI IE	0	SYNC IE

図 9-4 IMR0 のビット構成

GPIB のステータスやイベントが、1 にセットされているイネーブルビットの条件に合致すると、NAT7210 はハードウェア割込みを発生します。各ビットの機能を表 9-2に示します。IMR0 は JP1 で設定したベースアドレス+6 でライトアクセスし、アクセスする前にページインコマンドを実行する必要があります。なおこのレジスタは NEC の uPD7210 には存在せず、NAT7210 で拡張されています。

表 9-2 IMR0 の各ビット機能

名称	機能	説明
GLINT	Global Interrupt Enable	NAT7210 の INT 出力を許可・禁止します。このビットが 0 の場合は INT は出力されません。
STBO IE	Status Byte Out Interrupt Enable	NAT7210 がどのようにシリアルポールのサービスリクエストを行い、またコントローラからのポーリングに反応するかを決定します。 このビットが 0 の場合は SPMR の rsv ビットでサービスリクエストを行います。GPIB コントローラが NAT7210 をシリアルポールすると NAT7210 は SPMR に保持されている値を送出します。 このビットが 1 の場合は SPMR の rsv ビットはサービスリクエストのためには使用できず、reqt 補助コマンドを使用してサービスリクエストを行う必要があります。コントローラが NAT7210 をシリアルポールすると STBO は 1 にセットされ割り込みが発生しますので、ホストシステムは SPMR にデータを書き込み、NAT7210 はこのデータをシリアルポールへのレスポンスとして送じます。
NLEN	New Line End Enable	このビットが 1 の場合は 7bit ASCII の new line キャラクタ(0AH)を EOS キャラクタとして扱います。アクセプタハンドシェイクは new line キャラクタを EOI が送られたのと同様に反応します。
IFCI IE	IFC Interrupt Enable	このビットが 1 の場合は GPIB の IFC*がアサートされると割り込みが発生します。
ATNI IE	ATN Interrupt Enable	このビットが 1 の場合は GPIB の ATN*がアサートされると割り込みが発生します。
SYNC IE	GPIB Synchronization Interrupt Enable	このビットが 1 の場合は GPIB ハンドシェイクが完了し、転送が終了した場合に割り込みが発生します。

9.2.3 ISR1

ISR1 は 8 つの割り込みステータスビットで構成されています。図 9-5に ISR1 のビット構成を示します。

bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
CPT	APT	DET	END RX	DEC	ERR	DO	DI

図 9-5 ISR1 のビット構成

ISR1 の各ビットは、IMR1 で割り込み要因がマスクされているかどうかにかかわらずセット・リセット条件に応じて変化します。ホストシステムが ISR1 をリードしている間にこれらのビットの状態に変化があった場合は、進行中のリードサイクル終了後 ISR1 の内容が更新されます。各ビットの機能を表 9-3に示します。ISR1 は JP1 で設定したベースアドレス+1 でリードアクセスします。

《注意》

AUXRI レジスタの SISB ビットが 0 の場合は、ISR1 のリードによって 1 にセットされていたビットはクリアされますのでご注意ください。



表 9-3 ISR1 の各ビット機能

名称	機能	説明
CPT	Command Pass Through	<p>未定義または未定義コマンドに続く 2 次コマンド、および AUXRE,AUXRF で指定したコマンドが検出されたことを示します。このビットがセットされると NAT7210 は DAC ホールドオフ状態となります。この状態を解除するためには valid 補助コマンドを AUXMR に書き込む必要があります。</p> <p>CPT ENAB ビットが 1 の場合、CPT ビットは未定義コマンドまたは未定義コマンドに続く 2 次コマンドが検出されたことを示します。未定義のアドレスコマンドは NAT7210 がトーカまたはリスナに指定された場合にのみ検出します。</p> <p>AUXRE,AUXRF で指定したコマンドがある場合は、これらのコマンドが検出された場合にも CPT ビットがセットされます。</p> <p>セット条件: [UCG+ACG&(TADS+LADS)]& undefined &ACDS&CPT ENABLE +UDPCF&SCG&ACDS&CPT ENABLE +DHADT&GET&ACDS +DHADC&(SDC+DCL)&ACDS +DHATA&TAG&~UNT&ACDS +DHALA&LAG&~UNL&ACDS +DHUNTL&(UNT+UNL)&ACDS +DHALL&ATN&ACDS</p> <p>クリア条件: pon+(ISR1 リード&~SISB) +(CPTR リード&SISB)</p> <p>UDPCF のセット条件: [UCG+ACG&(TADS+LADS)]&undefined &ACDS&CPT ENABLE</p> <p>UDPCF のクリア条件: [(UCG+ACG)&defined+TAG+LAG]&ACDS +~(CPT ENABLE)+pon (UDPCF は未定義 1 次コマンドの検出)</p>
APT	Address Pass Through	<p>GPIB の 2 次アドレスを受信したことを示します。2 次アドレスは CPTR を通して読みだすことができます。このビットがセットされると NAT7210 は DAC ホールドオフ状態となります。この状態を解除するためには valid か nonvalid 補助コマンドを AUXMR に書き込む必要があります。</p> <p>セット条件: ADM1&ADM0&(TPAS+LPAS)&SCG&ACDS</p> <p>クリア条件: pon+(ISR1 リード&~SISB) +(valid コマンド+nonvalid コマンド)&SISB</p>
DET	Device Execute Trigger	<p>GET コマンドを受信したことを示します。</p> <p>セット条件: DTAS=GET&LADS&ACDS</p> <p>クリア条件: pon+(ISR1 リード&~SISB)+clearDET コマンド</p>

END RX	End Receive	以下の3つのEND条件のいずれかを満足するデータバイトを受信したことを示します。 - REOS ビットが 1 で受信データが EOSR の内容に一致した場合 - NLEN ビットが 1 で受信データが ASCII の new line(0AH)に一致した場合 - データ受信時に EOI 信号がアサートされた場合 セット条件: (EOI+EOS&REOS+NL&NLEN)&ACDS&LACS クリア条件: pon+(ISR1 リード&~SISB)+clearEND コマンド
DEC	Device clear	このビットは DCL か SDC コマンドを受信したことを示します。 セット条件: DCAS=(SDC&LADS+DCL)&ACDS クリア条件: pon+(ISR1 リード&~SISB)+clearDEC コマンド
ERR	Error	このビットの機能は NTNL ビットの状態に依存します。 NTNL=0 の場合、CDOR の内容が失われたことを示します。 GPIB 上にリスナが存在しない状態でデータを送出した場合や、SIDS 状態で CDOR にデータが書き込みされた場合、SDYS から SIDS への遷移が起きた場合等にセットされます。 NTNL=1 の場合はソースハンドシェークがデータやコマンドをリスナのいないバスに送出しようとしたことを示します。この場合はデータは失われません。 セット条件: ~NTNL&TACS&SDYS&DAC&RFD +~NTNL&SIDS&(CDOR への書き込み) +~NTNL&(SDYS SIDS) +NTNL&SDYS&EXTDAC&RFD クリア条件: pon+(ISR1 リード&~SISB)+clearERR コマンド
DO	Data Out	このビットが 1 の場合は GPIB トーカとして CDOR に次のデータを受け入れることができることを示します。CDOR にデータが書き込まれた場合や、アクティブなトーカではない状態になるとクリアされます。 セット条件: TACS&SGNS&~nba クリア条件: ~TACS+~SGNS+nba+(ISR1 リード&~SISB)
DI	Data IN	このビットが 1 の場合は GPIB リスナとしてトーカからのデータを受け取ったことを示します。 セット条件: LACS&ACDS&~(continuous モード) クリア条件: pon+(ISR1 リード&~SISB) +(Finish Handshake & Holdoff モード) +(DIR リード)

9.2.4 IMR1

IMR1 は 8 つの割り込みイネーブルビットで構成されています。

図 9-6にIMR1のビット構成を示します。ハードウェアリセット後IMR1は00Hになります。(すべてディスエーブルとなります。)

bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
CPT IE	APT IE	DET IE	END IE	DEC IE	ERR IE	DO IE	DI IE

図 9-6 IMR1 のビット構成

GPIB のステータスやイベントが、1 にセットされているイネーブルビットの条件に合致すると、NAT7210 はハードウェア割り込みを発生します。各ビットの機能を表 9-4に示します。割り込み発生条件については、ISR1 の対応するビットの説明をご参照ください。IMR1 は JP1 で設定したベースアドレス+1 でライトアクセスします。

表 9-4 IMR1 の各ビット機能

名称	機能	説明
CPT IE	Command Pass Through Interrupt Enable	このビットが 1 の場合は、ISR1 の CPT ビットが 1 になる条件での割り込みを許可します。
APT IE	Address Pass Through Interrupt Enable	このビットが 1 の場合は、ISR1 の APT ビットが 1 になる条件での割り込みを許可します。
DET IE	Device Execute Trigger Interrupt Enable	このビットが 1 の場合は、ISR1 の DET ビットが 1 になる条件での割り込みを許可します。
END IE	End Receive Interrupt Enable	このビットが 1 の場合は、ISR1 の END RX ビットが 1 になる条件での割り込みを許可します。
DEC IE	Device clear Interrupt Enable	このビットが 1 の場合は、ISR1 の DEC ビットが 1 になる条件での割り込みを許可します。
ERR IE	Error Interrupt Enable	このビットが 1 の場合は、ISR1 の ERR ビットが 1 になる条件での割り込みを許可します。
DO IE	Data Out Interrupt Enable	このビットが 1 の場合は、ISR1 の DO ビットが 1 になる条件での割り込みを許可します。
DI IE	Data IN Interrupt Enable	このビットが 1 の場合は、ISR1 の DI ビットが 1 になる条件での割り込みを許可します。

9.2.5 ISR2

ISR2 は割り込みステータスビットと内部ステータスビットで構成されています。

図 9-7にISR2のビット構成を示します。

bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
INT	SRQI	LOK	REM	CO	LOKC	REMC	ADSC

図 9-7 ISR2 のビット構成

ISR2 の各ビットは、IMR2 で割り込み要因がマスクされているかどうかにかかわらずセット・リセット条件に応じて変化します。ホストシステムがISR2をリードしている間にこれらのビットの状態に変化があった場合は、進行中のリードサイクル終了後ISR2の内容が更新されます。各ビットの機能を表 9-5に示します。ISR2 は JP1 で設定したベースアドレス+1 でリードアクセスします。



《注意》

AUXRI レジスタの SISB ビットが 0 の場合は、ISR2 のリードによって 1 にセットされていたビットはクリアされますのでご注意ください。

表 9-5 ISR2 の各ビット機能

名称	機能	説明
INT	Interrupt	このビットは、イネーブルになっている割り込みステータスビットの論理 OR です。 セット条件: GLINT&[(CPT & CPT IE)+(APT+APT IE)+(DET+DET IE) +(ERR&ERR IE)+(END RX &END IE) +(DEC & DEC IE)+(DO & DO IE)+(DI & DI IE) +(REMC & REMC IE)+(SRQI & SRQI IE) +(LOKC & LOKC IE)+(CO & CO IE) +(ADSC & ADSC IE)+(STBO & STBO IE) +(IFCI & IFCI IE)+(ATNI & ATNI IE) +(SYNC & SYNC IE)]
SRQI	Service Request	NAT7210 が CIC のとき SRQ メッセージを受けた場合に 1 にセットされます。複数のデバイスがサービス要求している場合は、RQS 送出後再び SRQI がセットされます。 セット条件: (CIC&SRQ&~(RQS&DAV)) (ここで RQS=DIO7&~ATN&SPMS) クリア条件: pon+(ISR2 リード&~SISB)+clearSRQI コマンド
LOK	Lockout	Remote/Local インターフェースファンクションの状態を示します。(LWLS+RWLS)のとき 1 にセットされます。
REM	Remote	Remote/Local インターフェースファンクションの状態を示します。(REMS+RWLS)のとき 1 にセットされます。
CO	Command Out	このビットが 1 の場合は、CDOR が空でコマンド送出が可能なことを示します。 セット条件: CACS&SGNS&~nba クリア条件 (ISR2 リード)&~SISB+~CACS+~SGNS+cdba
LOKC	Lockout Change	このビットが 1 の場合は、LOK ビットに変化があったことを示します。 セット条件: LOK +LOK クリア条件: pon+(ISR2 リード)&~SISB+clearLOKC コマンド
REMC	Remote Change	このビットが 1 の場合は、REM ビットに変化があったことを示します。 セット条件: REM +REM クリア条件: pon+(ISR2 リード)&~SISB+clearREMC コマンド

ADSC	Addressed Status Change	このビットが1の場合は、ADSRのTA, LA, CIC, MJMNのいずれかのビットに変化があったことを示します。 セット条件: (TA +TA +LA +LA +CIC +CIC +MJMN +MJMN)&~(lon+ton) クリア条件: pon+(ISR2 リード)&~SISB+clearADSC コマンド +lon+ton
------	-------------------------	--

9.2.6 IMR2

IMR2 は割り込みイネーブルビットと内部コントロールビットで構成されています。図 9-8に IMR2 のビット構成を示します。ハードウェアリセット後 IMR2 は 00H になります。(すべての割り込み、DMA 機能はディスエーブルとなります。)

bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
0	SRQI IE	DMAO	DMAI	CO IE	LOKC IE	REMC IE	ADSC IE

図 9-8 IMR2 のビット構成

GPIB のステータスやイベントが、1 にセットされているイネーブルビットの条件に合致すると、NAT7210 はハードウェア割り込みを発生します。各ビットの機能を表 9-6 に示します。割り込み発生条件については、ISR2 の対応するビットの説明をご参照ください。IMR2 は JP1 で設定したベースアドレス+2 でライトアクセスします。

《注意》

NAT7210 には DMA によるデータ転送機能がありますが、本ボードではサポートしていませんので DMAO ビットおよび DMAI ビットに対する設定は無効です。

表 9-6 IMR2 の各ビット機能

名称	機能	説明
SRQI IE	Service Request Interrupt Enable	このビットが1の場合は、ISR2のSRQIビットが1になる条件での割り込みを許可します。
DMAO	DMA Output Enable	このビットを1に設定したときは、トーカーのデータ転送にDMAを使用します。(本ボードではDMAは使用できませんので0を設定してください。)
DMAI	DMA Input Enable	このビットを1に設定したときは、リスナのデータ転送にDMAを使用します。(本ボードではDMAは使用できませんので0を設定してください。)
CO IE	Command Out Interrupt Enable	このビットが1の場合は、ISR2のCOビットが1になる条件での割り込みを許可します。
LOKC IE	Lockout Change Interrupt Enable	このビットが1の場合は、ISR2のLOKCビットが1になる条件での割り込みを許可します。
REMC IE	Remote Change Interrupt Enable	このビットが1の場合は、ISR2のREMCビットが1になる条件での割り込みを許可します。
ADSC IE	Addressed Status Change Interrupt Enable	このビットが1の場合は、ISR2のADSCビットが1になる条件での割り込みを許可します。



9.3 シリアルポールレジスタ

SPSR(Serial Poll Status Register)と SPMR(Serial Poll Mode Register)はこのボードがトーカー・リスナの場合にコントローラに対してサービスリクエストを行ったり、コントローラのシリアルポールに対してステータスバイト(STB)を保持するために使用されるレジスタです。サービスリクエストを行う方法や、ステータスバイトの設定方法については11.7節をご参照ください。

9.3.1 SPSR

SPSR のビット構成を図 9-9に、各ビットの機能を表 9-7に示します。SPSR は JP1 で設定したベースアドレス+3 でリードアクセスします。

bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
S8	PEND	S6	S5	S4	S3	S2	S1

図 9-9 SPSR のビット構成

表 9-7 SPSR の各ビット機能

名称	機能	説明
S8 S[6:1]	Serial Poll Status	SPMR に設定された同名称のビット内容(STB)が読みだしできます。
PEND	pending	rsv ビットに1がセットされるとこのビットも1にセットされ、サービスリクエストが受け付けられてSTBが送出されると0にクリアされます。

9.3.2 SPMR

SPMR のビット構成を図 9-10に、各ビットの機能を表 9-8に示します。SPMR は JP1 で設定されたベースアドレス+3 でライトアクセスします。

bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
S8	rsv/ RQS	S6	S5	S4	S3	S2	S1

図 9-10 SPMR のビット構成

表 9-8 SPMR の各ビット機能

名称	機能	説明
S8 S[6:1]	Serial Poll Status	コントローラによってシリアルポールされた場合に GPIB の DIO に送出されるステータスバイトを保持するビットです。S8 は DIO8 に、S[6:1]は DIO[6:1]に対応します。これらのビットは 2 重バッファとなっており、GPIB が SPAS 状態のときにホストシステムが SPMR に書き込みを行っても SPMR は SPAS 状態が終了した時点で更新されず。

rsv/ RQS	request service/ RQS	<p>STBO IE=0 の場合はこのビットが rsv となり、GPIB の rsv ローカルメッセージを発生するのに使用されます。rsv が 1 でシステムの GPIB コントローラが本ボードをシリアルポール中でなければ、本ボードは SRQ をアサートします。コントローラのポーリングによって STB が読み出されると、rsv はクリアされます。rsv はハードウェアリセット、このビットへの 0 書き込みおよび Chip Reset 補助コマンドによってクリアされます。</p> <p>STBO IE=1 の場合はこのビットは RQS となります。システムの GPIB コントローラが本ボードをシリアルポールすると、STBO 割り込み状態となります。ホストシステムがこの割り込みに反応して RQS ビットを 0 にして STB の値を設定すると、NAT7210 はコントローラに STB を転送し、RQS をアサートします。RQS はハードウェアリセットおよび Chip Reset 補助コマンドによってクリアされます。</p>
-------------	-------------------------	--



《注意》

reqt 補助コマンドでサービスリクエストを行った場合 STBO IE が 1 のときは STBO 割り込みの条件が成立するまで SPMR への書き込みは行わないでください。

9.4 パラレルポールレジスタ

PPR(Parallel Poll Register)は、NAT7210 がパラレルポールされた場合に送出されるデータを保持するレジスタです。このレジスタは JP1 で設定したベースアドレス+5 でライトアクセスします。このアドレスは AUXMR と同じです。PPR のビット構成を図 9-12 に、各ビットの機能を表 9-9 に示します。

bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
0	1	1	U	S	P3	P2	P1

図 9-11 PPR のビット構成

表 9-9 PPR の各ビット機能

名称	機能	説明
U	Unconfigure	このビットが 1 にセットされている場合は、パラレルポールに対する応答をリモート設定(PP1)されるまで、パラレルポールに対して反応しません。このビットに 1 を設定する場合は、S および P[3:1]には 0 を設定してください。 このビットが 0 の場合、NAT7210 は P[3:1] および S ビットで指定された方法でパラレルポールに応答します。
S	Status Bit Polarity	このビットが 1 にセットされている場合は、ステータスビットの極性が ist と同相になり、0 の場合は逆相となります。
P[3:1]	Parallel Poll Response	パラレルポールでアサートされる DIO を選択します。P[3:1]で選択される DIO は次の通りです。 000:DIO1 001:DIO2 010:DIO3 011:DIO4 100:DIO5 101:DIO6 110:DIO7 111:DIO8



ローカルパラレルポールコンフィグレーション(機能コード PP2)を行う場合は、ポーリングに対応した設定を前もってこのレジスタに書き込んでおく必要があります。AUXRI レジスタの PP2 ビットが 0 にクリアされている場合、NAT7210 はリモートパラレルポール関連のメッセージを受信すると PPR を設定してしまうため、ローカルパラレルポールコンフィグレーション内容がリモートパラレルポールコンフィグレーションによってオーバーライドされてしまうことになります。(uPD7210 の場合もこのように動作します。)PP2 ビットを 1 にセットすると、リモートパラレルポールコマンドは全て無視されるため、ローカルパラレルポールコンフィグレーションを正しく実現することができます。

なおリモートパラレルポールコンフィグレーション(機能コード PP1)を行う場合は、PPR へホストシステムが直接書き込みを行うと、リモートで設定した内容を壊す恐れがありますので注意が必要です。

9.5 アドレスモード・ステータスレジスタ

ADMR(Address Mode Register)は本ボードで使用するアドレスモードや、使用する GPIB バストランシーバに応じた端子機能の設定を行います。また ADSR(Address Status Register)はボードのアドレスステータスをモニターするために必要な情報が割り当てられています。

9.5.1 ADMR

ADMR は GPIB のアドレッシングモードを設定し、また使用する GPIB バストランシーバに応じた端子機能設定を行います。ADMR のビット構成を図 9-12 に示します。リセット後のこのレジスタの値は不定です。(TRM0,TRM1 ビットは 0 にクリアされます。)このレジスタは JP1 で設定したベースアドレス+4 でライトアクセスします。

bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
ton	lon	TRM1	TRM0	0	0	ADM1	ADM0

図 9-12 ADMR のビット構成

TRM1,TRM0 ビットは NAT7210 の T/R2,T/R3 端子の機能を設定します。本ボードでは GPIB ドライバに SN75160,SN75162 を使用していますので、TRM0,TRM1 ビットには常に 1 をセットしてください。

ADM0,ADM1,ton,lon のビットは GPIB アドレスモードを指定します。ADMR に設定可能な値と、そのアドレスモードを表 9-10 に示します。(この表では TRM0 および TRM1 を常に 1 として設定しています。)

表 9-10 ADMR に設定可能なデータ

データ	アドレスモード	説明
30H	No Addressing	この設定の場合、コントローラは本ボードをトーカーリスナとしてアドレスすることができません。
31H	Normal Dual Addressing	2 つのアドレスレジスタに設定したどちらかのアドレスを検出して、トークアドレスまたはリスナアドレスとして扱います。インターフェース機能は T または L となります。

32H	Extended Single Addressing	ADR0 を 1 次アドレス、ADR1 を 2 次アドレスとしてマイアドレス検出を行います。インターフェース機能は TE または LE となります。
33H	Extended Dual Addressing	2 つのアドレスレジスタに設定したどちらかのアドレスを 1 次アドレスとして検出します。2 次アドレスについては CPTR を通してホストシステムが検出する必要があります。インターフェース機能は TE または LE となります。
70H	Listen Only	本ボードは常にリスナとなります。GPIB システム内にコントローラが存在する場合は、この設定を行わないでください。このモードではアドレスレジスタは使用されません。
B0H	Talk Only	本ボードは常にトーカとなります。GPIB システム内にコントローラが存在する場合は、この設定を行わないでください。このモードではアドレスレジスタは使用されません。

アドレスモードについては11.2節の説明もご参照ください。

9.5.2 ADSR

ADSR はアドレスステータスをモニタするために使用します。ADSR のビット構成を図 9-13に示します。このレジスタは JP1 で設定したベースアドレス+4 でリードアクセスします。各ビットの機能は表 9-11をご参照ください。

bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
CIC	ATN*	SPMS	LPAS	TPAS	LA	TA	MJMN

図 9-13 ADSR のビット構成

表 9-11 ADSR の各ビット機能

名称	機能	説明
CIC	Controller-In-Charge	このビットが 1 にセットされている場合はコントローラとして ATN*をアサートしたアクティブ状態となっているか、ATN*を解除したスタンバイ状態となっていることを示します。 CIC= \sim (CIDS+CADS)
ATN*	Attention*	GPIB の ATN 信号レベルを示します。GPIB の ATN がアサートされている場合、0 となります。
SPMS	Serial Poll Mode State	シリアルポールに応答するためにトーカ機能がイネーブルとなっていることを示します。 セット条件: SPE&ACDS クリア条件: (SPD&ACDS)+pon+IFC

LPAS	Listener Primary Addressed State	リスナ 1 次アドレスを受信したことを示します。 クリア条件: (PCG&~MLA&ACDS)+pon
TPAS	Talker Primary Addressed State	トーカー 1 次アドレスを受信したことを示します。 クリア条件: (PCG&~MTA&ACDS)+pon
LA	Listener Active	CIC からリスナに指定された場合、あるいはアドレスモードで Listen Only にプログラムされた場合、このビットは 1 にセットされます。 クリア条件: (UNL&ACDS)+IFC+pon+(lun&CACS)+lul
TA	Talker Active	CIC からトーカーに指定された場合、あるいはアドレスモードで Talk Only にプログラムされた場合、このビットは 1 にセットされます。 クリア条件: (OTA&ACDS)+IFC+pon+lut
MJMN	Major-Minor	ADR1 に設定したマイナアドレスを受信すると 1 にセットされ、ADR0 に設定したメジャーアドレスを受信すると 0 にクリアされます。ADMR の ADM0 ビットが 0 の場合、このビットは 0 のままとなります。IFC+pon によって、このビットは 0 にクリアされます。

9.6 アドレスレジスタ

GPIB アドレスを保持している ADR0(Address Register 0)と ADR1(Address Register 1)への書き込みは、ADR(Address Register)レジスタを通して行います。ADR0 と ADR1 は、全てのアドレスモードにおいて設定する必要があります。

9.6.1 ADR

ADR は、NAT7210 が検出するアドレスを保持する内部レジスタ(ADR0,ADR1)に対して書き込みをするために使用します。ADR のビット構成を図 9-14に、各ビットの機能を表 9-12に示します。ADR は JP1 で設定したベースアドレス+6 でライトアクセスします。

bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
ARS	DT	DL	AD5	AD4	AD3	AD2	AD1

図 9-14 ADR のビット構成

表 9-12 ADR の各ビット機能

名称	機能	説明
ARS	Address Register Select	このビットが 1 の場合は、残りの 7 ビットのデータが ADR1 に、0 の場合は ADR0 に書き込みされます。
DT	Disable Talker	このビットに 1 を書き込みすると、設定したアドレスが GPIB のトークアドレスとして検出されるのを禁止します。



DL	Disable Listener	このビットに 1 を書き込みすると、設定したアドレスが GPIB のリスナアドレスとして検出されるのを禁止します。
AD[5:1]	GPIB Address	0 から 30 までの範囲で、デバイスアドレスを設定します。

《注意》

AD[5:1]が全て 1 となるアドレスは設定できません。(GPIB マルチラインコマンド UNT,UNL とコンフリクトするためです。)

9.6.2 ADR0

NAT7210 には検出アドレスを保持するレジスタが 2 つ用意されており、ADR0 は拡張シングルアドレスモードでは 1 次アドレスを、デュアル 1 次アドレスモードではメジャーアドレスを保持するために使用されています。このレジスタは JP1 で設定したベースアドレス+6 でリードアクセスします。(このレジスタへの書き込みは ADR を通して行います。) 図 9-15 に ADR0 のビット構成を、表 9-13 に各ビットの機能を示します。

bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
X	DT0	DL0	AD5-0	AD4-0	AD3-0	AD2-0	AD1-0

図 9-15 ADR0 のビット構成

表 9-13 ADR0 の各ビット機能

名称	機能	説明
X	-	読み出される値は不定です。
DT0	Disable Talker 0	このビットが 1 の場合は、設定されているアドレスが GPIB のトークアドレスとして検出されないことを示します。
DL0	Disable Listener 0	このビットが 1 の場合は、設定されているアドレスが GPIB のリスナアドレスとして検出されないことを示します。
AD [5-0: 1-0]	GPIB Address	設定されているデバイスアドレスが読み出されず。

9.6.3 ADR1

NAT7210 には検出アドレスを保持するレジスタが 2 つ用意されており、ADR1 は拡張シングルアドレスモードでは 2 次アドレスを、デュアル 1 次アドレスモードではマイナアドレスを保持するために使用されています。このレジスタは JP1 で設定したベースアドレス+7 でリードアクセスします。(このレジスタへの書き込みは ADR を通して行います。) 図 9-16 に ADR1 のビット構成を、表 9-14 に各ビットの機能を示します。

bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
EOI	DT1	DL1	AD5-1	AD4-1	AD3-1	AD2-1	AD1-1

図 9-16 ADR1 のビット構成

表 9-14 ADR1 の各ビット機能

名称	機能	説明
EOI	End-or-Identify	このビットが 1 の場合は、データ受信時に EOI がアサートされていたことを示します。ハードウェアリセットか Chip Reset 補助コマンドでこのビットは 0 にクリアされます。このビットの状態はデータを受信するたびに更新されます。
DT1	Disable Talker 1	このビットが 1 の場合は、設定されているアドレスが GPIB のトークアドレスとして検出されないことを示します。
DL1	Disable Listener 1	このビットが 1 の場合は、設定されているアドレスが GPIB のリスナアドレスとして検出されないことを示します。
AD [5-1: 1-1]	GPIB Address	設定されているデバイスアドレスが読み出されません。

9.7 コマンドパススルーレジスタ

ホストシステムは、CPTR を通して GPIB の DIO ラインの状態を調べることができます。この場合、DIO ラインの状態はホストシステムにそのまま素通しとなりますので、DAC ホールドオフ状態のときに読み出しを行ってください。このレジスタは JP1 で設定したベースアドレス+5 でリードアクセスします。図 9-17 に CPTR のビット構成を示します。

bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
CPT7	CPT6	CPT5	CPT4	CPT3	CPT2	CPT1	CPT0

図 9-17 CPTR のビット構成

9.8 EOS レジスタ

EOSR は、NAT7210 が GPIB データブロック転送の終了を検出するデータバイトを保持するために使用します。検出するデータビット長は AUXRA の BIN ビットで 7 または 8 ビットを選択できます。NAT7210 がリスナの場合は、AUXRA の REOS ビットが 1 ならば EOSR の設定値に一致するデータの受信で ISR1 の END ビットがセットされます。NAT7210 がトーカーの場合は、AUXRA の XEOS ビットが 1 ならば EOSR の設定値に一致するデータの送信時に GPIB 信号の EOI がアサートされ、END メッセージが送出されます。このレジスタは JP1 で設定したベースアドレス+7 でライトアクセスします。図 9-18 に EOSR のビット構成を示します。

bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
EOS7	EOS6	EOS5	EOS4	EOS3	EOS2	EOS1	EOS0

図 9-18 EOSR のビット構成

9.9 AUXILIARY モードレジスタ

Auxiliary Mode Register(AUXMR)は補助コマンドを発行したり、補助レジスタをアクセスするために使用します。

9.9.1 補助コマンド

補助コマンドのコードとその機能を表 9-15に示します。表中の*は uPD7210 には存在しない補助コマンドを示します。

表 9-15 補助コマンド機能

コード	機能	説明
00	Immediate Execute Power-On (pon)	このコマンドはローカル pon メッセージをパルス状に発生します。ハードウェアリセットか Chip Reset 補助コマンドによって pon メッセージが true になっている場合は、これを解除します。pon メッセージが true の間は、GPIB インターフェースファンクションは全てアイドル状態となります。
01	Clear Parallel Poll Flag (~ist)	AUXRB の ISS ビットが 0 の場合に用いられる ist メッセージを保持するパラレルポールフラグをクリアします。ISS ビットが 1 の場合は、ist として SQRS が使用されます。ハードウェアリセットか Chip Reset 補助コマンドによって ist メッセージはクリアされます。
02	Chip Reset	NAT7210 を以下の状態にリセットします。 <ul style="list-style-type: none"> ・ pon メッセージがセットされ、インターフェースファンクションがアイドル状態になります。 ・ SPMR ビットがクリアされます。 ・ TRM[1:0]ビットがクリアされます。 ・ EOI ビットがクリアされます。 ・ 全ての補助レジスタがクリアされます。 ・ パラレルポールフラグがクリアされます。 ・ BCR がクリアされます。 インターフェースファンクションは Immediate Execute pon コマンドが実行されるまでアイドル状態となりますので、ホストシステムは NAT7210 をこの状態でプログラムすることができます。
03	Finish Handshake	RFD Holdoff 状態で停止している GPIB ハンドシェイクを終了させます。
04	Trigger (trig)	本ボードではこのコマンドは使用できません。
05	Clear Or Pulse Return To Local (rtl)	rtl メッセージがパルス状に発生します。すでに rtl がセットされている場合はこれをクリアします。

06	Send EOI (seoi)	次のデータバイト送出時に GPIB の EOI ラインがアサートされます。EOI は転送されたデータバイトのハンドシェイクが終了するとクリアされます。AUXRG の NTNL ビットが 0 の場合は、NAT7210 がトーカーアクティブ状態の場合にのみこのコマンドを認識します。
07	Nonvalid Secondary Command Or Address (nonvalid)	ISR1 の APT ビットが 1 での DAC Holdoff を解除します。この場合、OSA リモートメッセージを受信した場合と同じ動作となります。
08*	Request Control Command (rqc)	NAT7210 がアイドルコントローラ状態の場合、ATN がアサートされていないことを検出して NAT7210 をアクティブコントローラにします。
09	Set Parallel Poll Flag (ist)	AUXRB の ISS ビットが 0 の場合に用いられる ist メッセージを保持するパラレルポールフラグをセットします。ISS ビットが 1 の場合は、ist として SQRS が使用されます。ハードウェアリセットか Chip Reset 補助コマンドによって ist メッセージはクリアされます。
0A*	Release Control Command (rlc)	NAT7210 をアイドルコントローラとし、ATN のアサートを解除します。
0B*	Untalk (lut)	unt ローカルメッセージを発行し、トーカーファンクションを TIDS に移行させます。
0C*	Unlisten (lul)	unl ローカルメッセージを発行し、リスナファンクションを LIDS に移行させます。
0D	Set Return To Local (rtl)	rtl メッセージをセットします。rtl メッセージは Chip Reset 補助コマンドか Clear Or Pulse Return To Local 補助コマンドが発行されるまでセットされた状態となります。
0E*	New Byte Available False (nbaf)	nba ローカルメッセージを false にします。これにより CDOR に書き込まれた最後のデータ送出を禁止します。
0F	Valid Secondary Command Or Address (valid)	ISR1 の APT ビットが 1 での DAC Holdoff を解除します。この場合、MSA リモートメッセージを受信した場合と同じ動作となります。
10	Go To Standby (gts)	gts ローカルメッセージをパルス状に発生します。NAT7210 がアクティブコントローラの場合はスタンバイコントローラとなり、ATN のアサートを解除します。
11	Take Control Asynchronously (tca)	tca ローカルメッセージをパルス状に発生します。NAT7210 がスタンバイコントローラの場合はアクティブコントローラとなり、ATN をアサートします。
12	Take Control Synchronously	tcs ローカルメッセージをセットします。NAT7210 がスタンバイコントローラでかつアクティブリスナの場合、RFD Holdoff 実行時にアクティブコントローラとなります。tcs ローカルメッセージはこの方法で NAT7210 がアクティブコントローラになるか、アイドルコントローラになった場合にクリアされます。

13	Listen (ltn)	ltn ローカルメッセージをパルス状に発生します。NAT7210 がアクティブコントローラの場合はアドレスされたりスナとなります。Listen with Continuous モードはこのコマンドにより解除されます。
14	Disable System Control (~rsc)	rsc ローカルメッセージをクリアします。
15*	Switch To 9914A Mode (sw9914)	NAT7210 を 9914 互換モードに移行させます。
16	Clear IFC (~sic & rsc)	sic ローカルメッセージをクリアし、rsc ローカルメッセージをセットします。これにより NAT7210 はシステムコントローラとなり IFC 信号のアサートを解除します。
17	Clear REN (~sre & rsc)	sre ローカルメッセージをクリアし、rsc ローカルメッセージをセットします。これにより NAT7210 はシステムコントローラとなり REN 信号のアサートを解除します。
18*	Request rsv True (reqt)	rsv ローカルメッセージをセットします。IMR0 の STBO IE ビットが 0 の場合は、このコマンド発行後の SPMR への書き込み時に rsv メッセージが発生します。STBO IE ビットが 1 の場合は、このコマンドの発行でただちに rsv メッセージが発生します。
19*	Request rsv False (reqf)	rsv ローカルメッセージをクリアします。IMR0 の STBO IE ビットが 0 の場合は、このコマンド発行後の SPMR への書き込み時に rsv メッセージがクリアされます。STBO IE ビットが 1 の場合は、このコマンドの発行でただちに rsv メッセージがクリアされます。
1A	Take Control Synchronously On End (tcse)	END 条件を満足するデータを受信したときに tcs ローカルメッセージをセットします。NAT7210 がスタンバイコントローラでかつアクティブリスナの場合、RFD Holdoff 実行時にアクティブコントローラとなります。tcs ローカルメッセージは、この方法で NAT7210 がアクティブコントローラになるか、アイドルコントローラになった場合にクリアされます。
1B	Listen In Continuous Mode (ltn & cont)	ltn ローカルメッセージをパルス状に発生します。NAT7210 がアクティブコントローラの場合はアドレスされたりスナとなります。このコマンドは AUXRA[1:0] ビットの設定にはかかわらずに NAT7210 を continuous モードにします。この状態はリスナがアドレス指定解除されるか、制御プログラムが ltn 補助コマンドを発行するまで続きます。
1C	Local Unlisten (lun)	lun ローカルメッセージをパルス状に発生します。NAT7210 がアクティブコントローラの場合はアドレス指定解除されたりスナとなります。
1D	Execute Parallel Poll (rppl)	rpp ローカルメッセージをセットします。NAT7210 がアクティブコントローラの場合 GPIB システムに IDY メッセージを送出しパラレルポールを行います。rpp ローカルメッセージは、パラレルポールが完了するか、NAT7210 がアイドルコントローラになった場合にクリアされます。

1E	Set IFC (sic & rsc)	sic および rsc ローカルメッセージをセットします。これにより NAT7210 はシステムコントローラとなり IFC 信号をアサートします。
1F	Set REN (sre & rsc)	sre および rsc ローカルメッセージをセットします。これにより NAT7210 はシステムコントローラとなり REN 信号をアサートします。
50*	Page-In Additional Registers (page-in)	NAT7210 をページイン状態とします。
51*	Holdoff Handshake Immediately (hldi)	アクセプタハンドシェーク(AH)ファンクションに RFD Holdoff をただちに実行させます。このコマンドにより AH ファンクションは ANRS 状態となり、finish Handshake 補助コマンドが発行されるまでハンドシェークが停止状態となります。
54*	Clear DET	ISR1 の DET ビットをクリアします。AUXRI の SISB ビットが 1 の場合に使用してください。
55*	Clear END	ISR1 の END ビットをクリアします。AUXRI の SISB ビットが 1 の場合に使用してください。
56*	Clear DEC	ISR1 の DEC ビットをクリアします。AUXRI の SISB ビットが 1 の場合に使用してください。
57*	Clear ERR	ISR1 の ERR ビットをクリアします。AUXRI の SISB ビットが 1 の場合に使用してください。
58*	Clear SRQI	ISR2 の SRQI ビットをクリアします。AUXRI の SISB ビットが 1 の場合に使用してください。
59*	Clear LOKC	ISR2 の LOKC ビットをクリアします。AUXRI の SISB ビットが 1 の場合に使用してください。
5A*	Clear REMC	ISR2 の REMC ビットをクリアします。AUXRI の SISB ビットが 1 の場合に使用してください。
5B*	Clear ADSC	ISR0 の ADSC ビットをクリアします。AUXRI の SISB ビットが 1 の場合に使用してください。
5C*	Clear IFCI	ISR0 の IFCI ビットをクリアします。AUXRI の SISB ビットが 1 の場合に使用してください。
5D*	Clear ATNI	ISR0 の ATNI ビットをクリアします。AUXRI の SISB ビットが 1 の場合に使用してください。
5E*	Clear SYNC	ISR0 の SYNC ビットをクリアします。
5F*	Set SYNC	ISR0 の SYNC ビットをセットします。

9.9.2 AUXRA

Auxiliary Register A(AUXRA)は EOS や END メッセージに関する設定および RFD Holdoff モードの設定を行います。このレジスタは JP1 で設定したベースアドレス+5 でライトアクセスします。(アドレスは AUXMR と同じです。)

図 9-19に AUXRA のビット構成を、表 9-16に各ビットの機能を示します。

bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
1	0	0	BIN	XEOS	REOS	HLDE	HLDA

図 9-19 AUXRA のビット構成

表 9-16 AUXRA の各ビット機能

名称	機能	説明
BIN	Binary	EOS メッセージのビット長を選択します。このビットが0の場合は EOSR を 7bit として扱い、1の場合は 8bit として扱います。
XEOS	Transmit End With EOS	EOS メッセージと同時に END メッセージを送出するかどうかを設定します。このビットが1の場合は、EOSR の内容が CDOR のデータに一致する場合 EOI ラインがデータ送出手同時にアサートされます。
REOS	End On EOS Received	EOS メッセージの受信で ISR1 の END RX ビットをセットするかどうかを設定します。このビットが1の場合は、DIR のデータが EOSR の内容に一致する場合 END RX ビットをセットし、アクセプタファンクションは EOS キャラクタを EOI がアサートされた場合と同様に扱います。
HLDE	Holdoff On End	HLDE と HLDA で GPIB のデータ受信モードを選択します。(表 9-17参照)
HLDA	Holdoff On All Data	

表 9-17 データ受信モード選択

HLDE	HLDA	データ受信モード
0	0	Normal Handshake Mode
0	1	RFD Holdoff on All Data Mode
1	0	RFD Holdoff on End Mode
1	1	Continuous Mode

各データ受信モードの機能については11.6.2項をご参照ください。

《注意》

ltn & cont 補助コマンドを発行すると、HLDE,HLDA の設定状態にかかわらず、NAT7210 は continuous データ受信モードになります。この状態は、ltn 補助コマンドが発行されるか NAT7210 が LIDS 状態になるまで続きます。



9.9.3 AUXRB

Auxiliary Register B(AUXRB)は JP1 で設定したベースアドレス+5 でライトアクセスします。(アドレスは AUXMR と同じです。)

図 9-20に AUXRB ビット構成を、表 9-18に各ビットの機能を示します。このレジスタは Chip Reset 補助コマンドおよびハードウェアリセットによりクリアされます。

bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
1	0	1	ISS	INV	TRI	SPEOI	CPT ENABLE

図 9-20 AUXRB のビット構成

表 9-18 AUXRB の各ビット機能

名称	機能	説明
ISS	Individual Status Select	ist メッセージとして何を使用するかを選択します。このビットが 1 の場合は、SRQS を ist として使用し、0 の場合はパラレルポールフラグの値を ist として使用します。パラレルポールフラグは補助コマンドでセット・クリアが可能です。
Inv	Invert	INT 出力ピンの極性を選択します。 0:アクティブ High 1:アクティブ Low
TRI	Three-State Timing	ソースハンドシェークタイミング(T1)を決定します。詳細は11.5.3項をご参照ください。 0:低速タイミングを使用する 1:高速タイミングを使用する
SPEOI	Send Serial Poll EOI	コントローラによってシリアルポールされた場合 EOI を送出するかどうかを選択します。 0:SPAS 時に EOI をアサートしない 1:SPAS 時に EOI をアサートする
CPT Enable	Command Pass Through Enable	未定義コマンドを検出し、CPT ビット設定を行うかどうかを選択します。 0:未定義コマンドの検出を行わない 1:未定義コマンドの検出を許可する

9.9.4 AUXRE

Auxiliary Register E(AUXRE)は DAC Holdoff に関する設定を行います。このレジスタは JP1 で設定したベースアドレス+5 でライトアクセスします。(アドレスは AUXMR と同じです。)

このレジスタで 1 を設定したビットの条件に GPIB の状態が一致すると、DAC Holdoff 状態となります。

図 9-21に AUXRE ビット構成を、表 9-19に各ビットの設定による DAC Holdoff 条件を示します。このレジスタは Chip Reset 補助コマンドおよびハードウェアリセットによりクリアされます。なお、DHADT,DHADC ビットは uPD7210 に追加されたビットです。

bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
1	1	0	0	DHADT	DHADC	DHDT	DHDC

図 9-21 AUXRE のビット構成

表 9-19 AUXRE 設定による DAC Holdoff 条件

名称	DAC Holdoff を行う条件
DHADT	GET コマンド
DHADC	DCL または SDC コマンド
DHDT	DTAS コマンド
DHDC	DCAS コマンド

9.9.5 AUXRF

Auxiliary Register F(AUXRF)は AUXRE 同様 DAC Holdoff に関する設定を行います。このレジスタは JP1 で設定したベースアドレス+5 でライトアクセスします。(アドレスは AUXMR と同じです。)

このレジスタで 1 を設定したビットの条件に GPIB の状態が一致すると、DAC Holdoff 状態となります。

図 9-21に AUXRF ビット構成を、表 9-19に各ビットの設定による DAC Holdoff 条件を示します。このレジスタは Chip Reset 補助コマンドおよびハードウェアリセットによりクリアされます。なお、AUXRF は uPD7210 には存在しないレジスタです。

bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
1	1	0	1	DHATA	DHALA	DHUNTL	DHALL

図 9-22 AUXRF のビット構成

表 9-20 AUXRF 設定による DAC Holdoff 条件

名称	DAC Holdoff を行う条件
DHATA	全てのトーカーアドレスコマンド
DHALA	全てのリスナーアドレスコマンド
DHUNTL	UNT または UNL コマンド
DHALL	全ての UCG,ACG,SCG コマンド

9.9.6 AUXRG

Auxiliary Register G(AUXRG)は JP1 で設定したベースアドレス+5 でライトアクセスします。(アドレスは AUXMR と同じです。)

図 9-20に AUXRG ビット構成を、表 9-18に各ビットの機能を示します。このレジスタは Chip Reset 補助コマンドおよびハードウェアリセットによりクリアされます。なお、AUXRG は uPD7210 には存在しないレジスタです。

bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
0	1	0	0	NTNL	RPP2	DISTCT	CHES

図 9-23 AUXRG のビット構成

表 9-21 AUXRG の各ビット機能

名称	機能	説明
NTNL	No Talking When No Listener	このビットを 1 にすることで、uPD7210 を使用する場合の動作上の問題点を改善することができます。動作の相違点は表 9-22 をご参照ください。
RPP2	Request Parallel Poll 2	rpp ローカルメッセージを制御するビットです。このビットが 1 の場合は rpp をセットし、0 の場合はクリアします。NAT7210 がアクティブコントローラの場合、rpp がセットされるとパラレルポーラを行います。
DISTCT	Disable Automatic Take Control	このビットが 0 の場合は、TCT メッセージによってソフトウェアの介入なしに他のコントローラが NAT7210 に制御を移すことができます。このビットが 1 の場合は、TCT メッセージは未定義として扱われますので、NAT7210 がコントローラとなることはありません。通常このビットは NAT7210 をトークオンリヤリスンオンリデバイスとして使用する場合にセットします。
CHES	Clear Holdoff On End Select	このビットが 0 の場合は、ホストシステムが Finish Handshake 補助コマンドを発行すると END 条件の検出をクリアします。このビットが 1 の場合は、上記の条件に加えて、Normal Handshake モード時には DIR のリードによっても END 条件の検出をクリアします。

表 9-22 NTNL ビット設定値と動作の相違点

NTNL=0	NTNL=1
ソースハンドシェーク機能は、T1 デレイ経過後 NRFD がアサートされない場合でも STRS になります。	外部にリスナ (NDAC をアサートするデバイス) が存在しない場合、ソースハンドシェークは SDYS から STRS への遷移を起しません。
ERR ビットは次の条件でセットされます。 TACS&SDYS&DAC&RFD +SIDS&(CDOR への書き込み) +SDYS から SIDS への遷移	ERR ビットは次の条件でセットされます。 T1 デレイ経過後で、 TACS&SDYS&EXTDAC&RFD の場合 (EXTDAC は GPIB 上でいくつかのデバイスが NDAC をアサートしている状態をさします。)
nba ローカルメッセージは SIDS または STRS になるとクリアされます。	nba ローカルメッセージは STRS でかつ ~SPAS の場合にクリアされます。
Send EOI 補助コマンドは TACS を抜けると無視されます。	Send EOI 補助コマンドは SDYS または STRS にはいるとクリアされます。

9.9.7 AUXRI

Auxiliary Register I(AUXRI)はJP1 で設定したベースアドレス+5でライトアクセスします。(アドレスは AUXMR と同じです。)

図 9-20に AUXRI ビット構成を、表 9-18に各ビットの機能を示します。このレジスタは Chip Reset 補助コマンドおよびハードウェアリセットによりクリアされます。なお、AUXRI は uPD7210 には存在しないレジスタです。

bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
1	1	1	0	USTD	PP2	0	SISB

図 9-24 AUXRI のビット構成

表 9-23 AUXRI の各ビット機能

名称	機能	説明
USTD	Ultra Short T1 Delay	このビットが 0 の場合は、AUXRB の TRI ビットが T1 デレイの値を決定します。このビットが 1 の場合は、ATN 解除後の 2 バイト目以後の T1 デレイを 350ns にします。
PP2	Parallel Poll 2	このビットが 0 の場合は、リモートパラレルポールコンフィグレーションに対する応答が uPD7210 相当となります。この場合、パラレルポール機能の PP1 と PP2 を同時にサポートしているため、PP2(ローカル設定)にもかかわらず、リモートコマンドにより設定を変更することができてしまい、矛盾が生じます。 このビットが 1 の場合は、リモート設定コマンド PPC や PPU は未定義コマンドとして扱われますので、PP2 機能を正しくインプリメントすることができます。またこのビットと PPR の U ビットを同時にセットすることで PP0 機能(パラレルポール応答なし)をサポートできます。
SISB	Static Interrupt Status Bits	このビットが 0 の場合は、ISR0,ISR1,ISR2 の読みだしによって、該当するレジスタの内容はクリアされます。このビットが 1 の場合は、表 9-24の条件が成立したときに該当するステータスビットがそれぞれクリアされます。

表 9-24 SISB=1 時の割り込みステータスビットクリア条件

Status Bit	クリア条件
ADSC	pon+ADSC のクリア+ton+lon
APT	pon+valid+nonvalid
ATNI	pon+ATNI のクリア
CO	pon+~CACs+~SGNS+nba
CPT	pon+CPTR リード
DEC	pon+DEC のクリア
DET	pon+DRT のクリア
DI	pon+Holdoff 状態での Finish Handshake 補助コマンド+DIR リード
DO	pon+~TACS+~SGNS+nba
END	pon+END のクリア
ERR	pon+ERR のクリア

IFCI	pon+IFCI のクリア
LOKC	pon+LOKC のクリア
REMC	pon+REMC のクリア
SRQI	pon+SRQI のクリア



《注意》

ISR0 の STBO ビットおよび SYNC ビットは SISB ビットの影響は受けません。

9.10 内部カウントレジスタ

内部カウントレジスタは NAT7210 に CLOCK ピンから供給されている基準クロックを分周して、IEEE488 で規定しているステート移行タイミングを作成するのに使用されています。なお、HT3020 ではこの基準クロックを 8MHz としています。

9.10.1 ICR

Internal Count Register(ICR)は JP1 で設定したベースアドレス+5 でライトアクセスします。(アドレスは AUXMR と同じです。)

このレジスタの F[3:0]ビットと ICR2 の MICR ビットを使用して、CLOCK 端子に供給する周波数を設定します。図 9-25 に ICR のビット構成を、表 9-18 に周波数に対応する設定値を示します。このレジスタは Chip Reset 補助コマンドおよびハードウェアリセットにより 00101000B(8MHz クロック)に設定されます。

bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
0	0	1	0	F3	F2	F1	F0

図 9-25 ICR のビット構成

表 9-25 クロック周波数と MICR,F[3:0]設定値

クロック周波数(MHz)	MICR	F[3:0]
1	0	0001
2	0	0010
3	0	0011
4	0	0100
5	0	0101
6	0	0110
7	0	0111
8	0	1000
10	1	0101
16	1	1000
20	1	1010

9.10.2 ICR2

Internal Count Register 2(ICR2)は JP1 で設定したベースアドレス+3 でライトアクセスし、アクセスする前にページインコマンドを実行する必要があります。図 9-26 に ICR2 のビット構成を、表 9-26 に各ビットの機能を示します。なおこのレジスタは NEC の uPD7210 には存在せず、NAT7210 で拡張されています。

bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
1	0	SLOW	0	0	0	0	MICR

図 9-26 ICR2 のビット構成

表 9-26 ICR2 の各ビット機能

名称	機能	説明
SLOW	Slow Handshake	このビットが 1 の場合、NAT7210 は NRFD や NDAC のアサート解除に対して 400ns 遅れて応答します。これによって IEE488.1 規格を満足しないようなデバイスのためにハンドシェークを遅くすることができます。例えばあるデバイスが DIO ラインの状態をラッチする前に NDAC のアサートを解除するような場合でも、NAT7210 は NDAC のアサート解除エッジに 400ns の間は応答しませんのでこのデバイスは DIO ラインの状態を取り込む余裕ができることとなります。
MICR	Modify Internal Count Register	このビットは ICR の F[3:0]ビットとともにクロック周波数を選択します。表 9-25をご参照ください。

9.11 その他の GPIB ステータスレジスタ

NAT7210 には、バスコントロールレジスタ(BCR)、バスステータスレジスタ(BSR)およびソースアクセプタステータスレジスタ(SASR)が uPD7210 に追加されており、GPIB の状態をモニターしたり、GPIB コントロールラインを直接制御することができます。

9.11.1 BCR

Bus Control Register(BCR)は JP1 で設定したベースアドレス+7 でライトアクセスし、アクセスする前にページインコマンドを実行する必要があります。このレジスタで 1 を設定したビットに対応する GPIB のコントロールラインがアサートされます。図 9-27に BCR のビット構成を示します。このレジスタは Chip Reset 補助コマンドおよびハードウェアリセットによりクリアされます。

bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
ATN	DAV	NDAC	NRFD	EOI	SRQ	IFC	REN

図 9-27 BCR のビット構成

GPIB コントロールラインは、ある瞬間において信号の送信または受信のどちらかの動作しかできないため、BCR に設定したビットに対応するコントロールラインが、すぐにアサートされるわけではありません。出力になっている GPIB コントロールラインに対しては BCR でセットしたビットに対応した信号がアサートされますが、その時点で入力になっている GPIB コントロールラインに対してはアサートされないこととなります。図 9-28に NAT7210 の GPIB の I/O ハードウェア構成を示します。

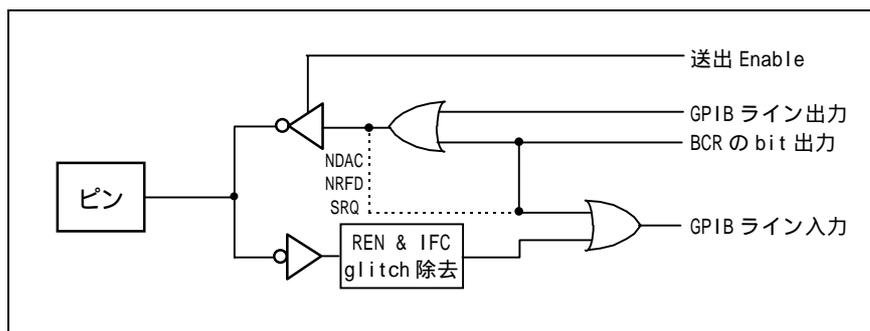


図 9-28 NAT7210 の GPIB I/O ハードウェア構成

送出 Enable は、NAT7210 が GPIB コントロールラインをドライブするときにアクティブとなります。GPIB ライン出力は、NAT7210 のインターフェースファンクションが GPIB コントロール信号をアサートする場合にアクティブになる内部信号です。GPIB ライン入力は、NAT7210 のインターフェースファンクションおよび BSR への入力となる内部信号です。SRQ、NDAC、NRFD はピンに出力されていない場合でもインターフェースファンクションによってモニターされています。

9.11.2 BSR

Bus Status Register(BSR)は JP1 で設定したベースアドレス+7 でリードアクセスし、アクセスする前にページインコマンドを実行する必要があります。このレジスタの読みだして、各ビットに対応する GPIB コントロールラインの状態をモニターすることができます。図 9-29に BSR のビット構成を示します。

bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
ATN	DAV	NDAC	NRFD	EOI	SRQ	IFC	REN

図 9-29 BSR のビット構成

BSR は GPIB コントロールラインの状態を GPIB トランシーバを通してサンプルするため、実際の GPIB バスの状態を示しているわけではありません。入力となっているコントロールラインについては、BSR に正しいバス状態が得られますが、出力となっている場合は NAT7210 の出力状態のみが反映されることになります。

9.11.3 SASR

Source/Acceptor Status Register(SASR)は、ソースハンドシェイクおよびアクセプタハンドシェイクの状態を示すステータスを読みだすことができます。このレジスタは JP1 で設定したベースアドレス+5 でリードアクセスし、アクセスする前にページインコマンドを実行する必要があります。図 9-30に SASR のビット構成を、表 9-27に各ビットの機能を示します。

bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
nba	AEHS	ANHS1	ANHS2	ADHS	ACRDY	SH1A	SH1B

図 9-30 SASR のビット構成

表 9-27 SASR の各ビット機能

名称	説明
nba	new byte available local message
AEHS	Acceptor End Holdoff State
ANHS1	Acceptor Not Ready Holdoff
ANHS2	Acceptor Not Ready Holdoff Immediately
ADHS	Acceptor Data Holdoff State
ACRDY	Acceptor Ready State
SH1A SH1B	Source Handshake Status

このレジスタの ADHS、ACRDY ビットおよび ADSR の ATN、LA ビット、そして BSR の DAV ビットの状態からアクセプタハンドシェークのステートを確認することができます。表 9-28 に AH のステート表現を示します。

表 9-28 AH ステート

AH ステート	表現
AIDS	\sim ATN & \sim LA
ANRS	\sim AIDS & \sim ACRDY & \sim DAV
ACRS	\sim AIDS & ACRDY & \sim DAV
ACDS	(\sim AIDS & ACRDY & DAV) + (\sim AIDS & \sim ACRDY & DAV & ATN & ADHS)
AWNS	\sim AIDS & \sim ACRDY & DAV & \sim (ATN & ADHS)

同様に、このレジスタの SH1A、SH1B ビットおよび ADSR の ATN、TA、CIC ビットの状態からソースハンドシェークのステートを確認することができます。表 9-29 に SH のステート表現を示します。

表 9-29 SH ステート

SH ステート	表現
SIDS	\sim (TACS & \sim ATN + CIC & ATN)
SGNS	\sim SIDS & \sim SH1A & \sim SH1B
SDYS	\sim SIDS & SH1A
STRS	\sim SIDS & \sim SH1A & SH1B

9.12 バージョンステータスレジスタ

Version Status Register(VSR)には、NAT7210 のバージョンを示す値が保持されています。図 9-31 に VSR のビット構成を示します。NAT7210 "A"バージョン・"B"バージョンでは、このレジスタの上位 4 ビットから 1000(バイナリ)が読み出されます。将来のバージョンの NAT7210 では、このビットから 10XX が読み出されることとなります。VSR は JP1 で設定したベースアドレス+3 でリードアクセスし、アクセスする前

にページインコマンドを実行する必要があります。なおこのレジスタは NEC の uPD7210 には存在せず、NAT7210 で拡張されています。

bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
1	0	0	0	X	X	X	X

図 9-31 VSR のビット構成

10 9914 モードレジスタ機能

この章では、9914 モードでのレジスタ機能詳細について説明します。なお、7210 モードと 9914 モードで名称が共通なレジスタがありますのでご注意ください。なお、説明中の GPIB バスの状態を示すステータス名やメッセージ名を示す略号については、付録 B をご参照ください。(これらは IEEE488.1 で定義されています。)

10.1 データレジスタ



データレジスタは GPIB とホストシステムとの間のデータやコマンドの転送に使用するレジスタです。DIR(Data In Register)と CDOR(Command/Data Out Register)は独立していますので、CDOR に書き込んだデータやコマンドは DIR の読み出しデータには影響しません。

10.1.1 DIR(9914 モード)

DIR は NAT7210 がリスナ時に受信したデータを保持します。DIR にデータがラッチされると、ISR0 の bit5(BI ビット)がセットされ、RFD Holdoff 状態となります。

DIR のリードによって、

- ISR0 の bit5(BI ビット)がクリア
- RFD ホールドオフが解除(下記参照)

されます。

hdfa 汎用コマンドがセットされている場合は、DIR にデータが受信される毎に RFD Holdoff 状態を rhdf 汎用コマンドによって解除する必要があります。

hdfe 汎用コマンドがセットされている場合は、END 条件に一致しないデータについては DIR の読み出しで RFD Holdoff 状態が自動的に解除されますが、END 条件に一致したデータの場合は、rhdf 汎用コマンドで解除する必要があります。

なお、DIR と CDOR は独立のため、CDOR に書き込んだデータやコマンドは DIR の読み出しデータには影響しません。DIR の各ビットは GPIB データラインの各ビットに対応します。DIR は JP1 で設定したベースアドレス+7 でリードアクセスします。

bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
DIO8	DIO7	DIO6	DIO5	DIO4	DIO3	DIO2	DIO1

図 10-1 DIR のビット構成

10.1.2 CDOR(9914 モード)

CDOR は NAT7210 がトーカーコントローラになっている場合に、ホストシステムから GPIB にデータを送ります。書き込まれたデータまたはコマンドは、ソースハンドシェイク機能によって他の GPIB デバイスに転送されます。

CDOR への書き込みによって、

- ISR0 の bit4(BO ビット)がクリアされます。

CDOR と DIR は独立のため、書き込みデータやコマンドは DIR のラッチ内容には影響しません。CDOR の各ビットは、GPIB データラインの各ビットに対応します。CDOR は JP1 で設定したベースアドレス+7 でライトアクセスします。

bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
DIO8	DIO7	DIO6	DIO5	DIO4	DIO3	DIO2	DIO1

図 10-2 CDOR のビット構成

10.2 割り込みレジスタ

NAT7210 は 18 種類の割り込み要因があり、それぞれについて割り込み要求を示すステータスビットと、割り込みマスクビットが用意されています。割り込みステータスレジスタ (ISR0,ISR1,ISR2)には割り込み要因に対応したステータスビットや内部ステータスを示すフラグが、また割り込みマスクレジスタ(IMR0,IMR1,IMR2)には割り込み要因に対応したマスクビットやその他の設定ビットが割り当てられています。

10.2.1 ISR0(9914 モード)

ISR0 は割り込みステータスビットと内部ステータスビットで構成されています。

図 10-3に ISR0 のビット構成を示します。

bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
INT0	INT1	BI	BO	END	SPAS	RLC	MAC

図 10-3 ISR0 のビット構成

ISR0 の各ビットは、IMR0 で割り込み要因がマスクされているかどうかにかかわらずセット・リセット条件に応じて変化します。ホストシステムが ISR0 をリードしている間にこれらのビットの状態に変化があった場合は、進行中のリードサイクル終了後に ISR0 の内容を変更します。各ビットの機能を表 10-1に示します。ISR0 は JP1 で設定したベースアドレス+0 でリードアクセスします。

《注意》

ISR0 のリードによって、このレジスタの 1 にセットされていたビットはクリアされますのでご注意ください。



表 10-1 ISR0 の各ビット機能

名称	機能	説明
INT0	Interrupt Register 0 Interrupt	ISR0 のマスクされていないいずれかの割り込みステータスがセットされた場合、1 にセットされます。(ビット 7、6 は除く)
INT1	Interrupt Register 1 Interrupt	ISR1 のマスクされていないいずれかの割り込みステータスがセットされた場合、1 にセットされます。
BI	Byte In	このビットが 1 の場合は GPIB リスナとしてトーカーからのデータを受け取ったことを示します。 セット条件: LACS&ACDS&~(continuous モード) クリア条件: swrst+(ISR0 リード)+(DIR リード)
BO	Byte Out	このビットが 1 の場合は GPIB トーカまたはコントローラとして CDOR に次のデータを受け入れることができることを示します。CDOR にデータが書き込まれた場合や、アクティブなトーカーではない状態になるとクリアされます。 セット条件: (TACS+CACS)&SGNS&~nba クリア条件: swrst+(CDOR ライト)+(ISR0 リード)
END	End Received	以下の 3 つの END 条件のいずれかを満足するデータバイトを受信したことを示します。 - REOS ビットが 1 で受信データが EOSR の内容に一致した場合 - NLEN ビットが 1 で受信データが ASCII の new line(0AH)に一致した場合 - データ受信時に EOI 信号がアサートされた場合 セット条件: (EOI+EOS&REOS+NL&NLEN)&ACDS&LACS クリア条件: swrst+(ISR0 リード)
SPAS	Serial Poll Active State	NAT7210 のサービス要求に対して、コントローラがシリアルポールを行った場合に 1 にセットされます。 セット条件: [STRS & SPAS & APRS]が false になる場合 クリア条件: swrst+(ISR0 リード)
RLC	Remote/Local Change	REM ビットの状態に変化があった場合に 1 にセットされます。 クリア条件: swrst+(ISR0 リード)

MAC	My Address Change	NAT7210 がリモートメッセージを受信し、それが NAT7210 のアドレスステートに変化を与えた場合に 1 にセットされます。edpa ビットが 1 にセットされている場合、NAT7210 は 2 つの 1 次アドレスを認識しますが、このうち一方から他方へのアドレス再指定によって、MAC ビットは変化しません。 セット条件: ACDS&(MTA & ~TADS & ~APT IE +OTA & TADS +MLA & ~LADS & ~APT IE +UNL & LADS) クリア条件: swrst+(ISR0 リード)
-----	-------------------	---

10.2.2 IMR0(9914 モード)

IMR0 は割込みイネーブルビットと DMA 制御ビットで構成されています。

図 10-4 に IMR0 のビット構成を示します。ハードウェアリセット後 IMR0 は 00H になります。(すべての割込みはディスエーブルです。)

bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
DMAO	DMAI	BI IE	BO IE	END IE	SPAS IE	RLC IE	MAC IE

図 10-4 IMR0 のビット構成

GPIB のステータスやイベントが、1 にセットされているイネーブルビットの条件に合致すると、NAT7210 はハードウェア割込みを発生します。各ビットの機能を表 10-2 に示します。IMR0 は JP1 で設定したベースアドレス+0 でライトアクセスします。なお DMAO、DMAI ビットは TMS9914A には存在せず、NAT7210 で拡張されています。

表 10-2 IMR0 の各ビット機能

名称	機能	説明
DMAO	DMA Output Enable	HT3020 は DMA をサポートしていませんので、このビットには 0 を設定してください。
DMAI	DMA Input Enable	HT3020 は DMA をサポートしていませんので、このビットには 0 を設定してください。
BI IE	Byte In Interrupt Enable	このビットが 1 の場合は、ISR0 の BI ビットが 1 になる条件での割り込みを許可します。
BO IE	Byte Out Interrupt Enable	このビットが 1 の場合は、ISR0 の BO ビットが 1 になる条件での割り込みを許可します。
END IE	End Received Interrupt Enable	このビットが 1 の場合は、ISR0 の END ビットが 1 になる条件での割り込みを許可します。
SPAS IE	Serial Poll Active State Interrupt Enable	このビットが 1 の場合は、ISR0 の SPAS ビットが 1 になる条件での割り込みを許可します。
RLC IE	Remote/Local Change Interrupt Enable	このビットが 1 の場合は、ISR0 の SPAS ビットが 1 になる条件での割り込みを許可します。
MAC IE	My Address Change Interrupt Enable	このビットが 1 の場合は、ISR0 の MAC ビットが 1 になる条件での割り込みを許可します。

10.2.3 ISR1(9914 モード)

ISR1 は 8 つの割り込みステータスビットで構成されています。図 10-5に ISR1 のビット構成を示します。

bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
GET	ERR	UNC	APT	DCAS	MA	SRQ	IFC

図 10-5 ISR1 のビット構成

ISR1 の各ビットは、IMR1 で割り込み要因がマスクされているかどうかにかかわらずセット・リセット条件に応じて変化します。ホストシステムが ISR1 をリードしている間にこれらのビットの状態に変化があった場合は、進行中のリードサイクル終了後 ISR1 の内容が更新されます。各ビットの機能を表 10-3に示します。ISR1 は JP1 で設定したベースアドレス+1 でリードアクセスします。

《注意》

ISR1 のリードによって、このレジスタの 1 にセットされていたビットはクリアされますのでご注意ください。



表 10-3 ISR1 の各ビット機能

名称	機能	説明
GET	Group Execute Trigger	GET コマンドを受信したことを示します。 セット条件: GET&LADS&ACDS クリア条件: swrst+(ISR1 リード)
ERR	Error	ソースハンドシェイクがデータやコマンドをリスナのいないバスに送出しようとしたことを示します。 セット条件: SDYS&EXTDAC&RFD クリア条件: swrst+(ISR1 リード)
UNC	Unrecognized Command	次の場合にこのビットがセットされます。 ・未定義の UCG コマンド受信 ・NAT7210 がリスナ時の未定義 ACG コマンド受信 ・pts 補助コマンド発行後のコマンド受信 ・AUXRE,AUXRF で指定したコマンドを検出した場合 セット条件: ACDS&UCG &~(LLO+SPE+SPD+DCL+PPU&PP1) +ACDS&ACG &~(GET+GTL+SDC+TCT+PPC&PP1)&LADS +SCG&PTS&ACDS +DHADT&GET&ACDS +DHADC&(SDC+DCL)&ACDS +DHATA&TAG&~UNT&ACDS +DHALA&LAG&~UNL&ACDS +DHUNT&(UNT+UNL)&ACDS +DHALL&ATN&ACDS クリア条件: swrst+(ISR1 リード)

APT	Address Pass Through	GPIB の 2 次アドレスを受信したことを示します。2 次アドレスは CPTR を通して読みだされます。 セット条件: (TPAS+LPAS)&SCG&ACDS クリア条件: swrst+(ISR1 リード)
DCAS	Device Clear Active State	このビットは DCL か SDC コマンドを受信したことを示します。 セット条件: (SDC&LADS+DCL)&ACDS クリア条件: swrst+(ISR1 リード)
MA	My Address	このビットが 1 の場合は NAT7210 が 1 次トーカーまたはリスナーアドレスを受信したことを示します。 セット条件: (MLA+MTA)&ACDS&~SPMS&~APT IE クリア条件: swrst+(ISR1 リード)
SRQ	Service Request	このビットが 1 の場合は NAT7210 がコントローラで SRQ メッセージを受信したことを示します。 セット条件: CIC&SRQ&~(CIDS&CADS) クリア条件: swrst+(ISR1 リード)
IFC	Interface Clear	GPIB の IFC*がアサートされるとセットされます。swrst+(ISR1 リード)で 0 クリアされます。

10.2.4 IMR1(9914 モード)

IMR1 は 8 つの割込みイネーブルビットで構成されています。

図 10-6に IMR1 のビット構成を示します。ハードウェアリセット後 IMR1 は 00H になります。(割込みはすべてディスエーブルとなります。)

bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
GET IE	ERR IE	UNC IE	APT IE	DCAS IE	MA IE	SRQ IE	IFC IE

図 10-6 IMR1 のビット構成

GPIB のステータスやイベントが、1 にセットされているイネーブルビットの条件に合致すると、NAT7210 はハードウェア割込みを発生します。各ビットの機能を表 10-4に示します。割込み発生条件については、ISR1 の対応するビットの説明をご参照ください。IMR1 は JP1 で設定したベースアドレス+1 でライトアクセスします。

表 10-4 IMR1 の各ビット機能

名称	機能	説明
GET IE	Group Execute Trigger Interrupt Enable	このビットが 1 の場合は、ISR1 の GET ビットが 1 になる条件での割り込みを許可します。条件が成立した場合は、DAC Holdoff 状態となります。
ERR IE	Error Interrupt Enable	このビットが 1 の場合は、ISR1 の ERR ビットが 1 になる条件での割り込みを許可します。
UNC IE	Unrecognized Command Interrupt Enable	このビットが 1 の場合は、ISR1 の UNC ビットが 1 になる条件での割り込みを許可します。条件が成立した場合は、DAC Holdoff 状態となりますので、検出されたコマンドは CPTR から読み出すことができます。
APT IE	Address Pass Through Interrupt Enable	このビットが 1 の場合は、ISR1 の APT ビットが 1 になる条件での割り込みを許可します。条件が成立した場合は、DAC Holdoff 状態となりますので、検出された 2 次アドレスは CPTR から読み出すことができます。
DCAS IE	Device Clear Active State Interrupt Enable	このビットが 1 の場合は、ISR1 の DCAS ビットが 1 になる条件での割り込みを許可します。条件が成立した場合は、DAC Holdoff 状態となります。
MA IE	My Address Interrupt Enable	このビットが 1 の場合は、ISR1 の MA ビットが 1 になる条件での割り込みを許可します。条件が成立した場合は、DAC Holdoff 状態となります。
SRQ IE	Service Request Interrupt Enable	このビットが 1 の場合は、ISR1 の SRQ ビットが 1 になる条件での割り込みを許可します。
IFC IE	Interface Clear Interrupt Enable	このビットが 1 の場合は、ISR1 の IFC ビットが 1 になる条件での割り込みを許可します。

10.2.5 ISR2(9914 モード)

ISR2 は割り込みステータスビットと内部ステータスビットで構成されています。図 10-7に ISR2 のビット構成を示します。

bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
nba	STBO	NL	EOS	LLOC	ATNI	X	CIC

図 10-7 ISR2 のビット構成

ISR2 の各ビットは、IMR2 で割り込み要因がマスクされているかどうかにかかわらずセット・リセット条件に応じて変化します。ホストシステムが ISR2 をリードしている間にこれらのビットの状態に変化があった場合は、進行中のリードサイクル終了後 ISR2 の内容が更新されます。各ビットの機能を表 10-5に示します。ISR2 はページイン状態のときに JP1 で設定したベースアドレス+4 でリードアクセスします。なお、このレジスタは TI の TMS9914A には存在せず、NAT7210 で拡張されています。

表 10-5 ISR2 の各ビット機能

名称	機能	説明
nba	New Byte Available	nba は CDOR への書き込みによって 1 にセットされ、swrst+nba+STRS の条件が成立すると 0 にクリアされます。
STBO	Status Byte Out	STBO IE が 1 にセットされている場合に、GPIB コントローラが NAT7210 に対してシリアルポートを行うと、STBO は 1 にセットされます。swrst+(SPMR 書き込み)+~SPAS の条件が成立すると 0 にクリアされます。
NL	New Line Receive	NL は GPIB データバスから ASCII の new line(0AH)を受信すると 1 にセットされます。swrst+(LACS&~NL&ACDS)の条件が成立すると 0 にクリアされます。
EOS	End-Of-String	ISR0 の END ビットが EOS キャラクタの受信によってセットされたことを示します。swrst+(LACS&~EOS&ACDS)+~REOS の条件が成立すると 0 にクリアされます。
LLOC	Local Lockout Change	このビットが 1 の場合は、LLO ビットに変化があったことを示します。 セット条件: LLO +LLO クリア条件: Chip Reset+(ISR0 リード)
ATNI	ATN Interrupt	GPIB の ATN*がアサートされるとセットされます。Chip Reset+(ISR0 リード)の条件が成立すると 0 にクリアされます。
X	Don't Care	このビットは使用されていません。
CIC	Controller In Charge	このビットが 1 の場合は、NAT7210 が CIC 状態にあることを示します。 セット条件: ~(CIDS+CADS)

10.2.6 IMR2(9914 モード)

IMR2 は割り込みイネーブルビットと内部コントロールビットで構成されています。図 10-8に IMR2 のビット構成を示します。ハードウェアリセット後 IMR2 は 80H になります。(GLINT 以外のすべての割り込みはディスエーブルとなります。)

bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
GLINT	STBO IE	NLEN	0	LLOC IE	ATNI IE	0	CIC IE

図 10-8 IMR2 のビット構成

GPIB のステータスやイベントが、1 にセットされているイネーブルビットの条件に合致すると、NAT7210 はハードウェア割り込みを発生します。各ビットの機能を表 10-6に示します。

割り込み発生条件については、ISR2 の対応するビットの説明をご参照ください。IMR2 は piimr2 補助コマンドでページイン状態となっているとき、JP1 で設定されたベースアドレス+2 でライトアクセスします。なお、このレジスタは TI の TMS9914A には存在せず、NAT7210 で拡張されています。

表 10-6 IMR2 の各ビット機能

名称	機能	説明
GLINT	Global Interrupt Enable	NAT7210 の INT 出力を許可・禁止します。このビットが 0 の場合は INT は出力されません。
STBO IE	Status Byte Out Interrupt Enable	NAT7210 がどのようにシリアルポールのサービスリクエストを行い、またコントローラからのポーリングに反応するかを決定します。 このビットが 0 の場合は SPMR の rsv ビットでサービスリクエストを行います。GPIB コントローラが NAT7210 をシリアルポールすると NAT7210 は SPMR に保持されている値を送出します。 このビットが 1 の場合は SPMR の rsv ビットはサービスリクエストのためには使用できず、reqt 補助コマンドを使用してサービスリクエストを行う必要があります。コントローラが NAT7210 をシリアルポールすると STBO は 1 にセットされ割り込みが発生しますので、ホストシステムは SPMR にデータを書き込み、NAT7210 はこのデータをシリアルポールへのレスポンスとして送じます。
NLEN	New Line End Enable	このビットが 1 の場合は 7bit ASCII の new line キャラクタ(0AH)を EOS キャラクタとして扱います。アクセプタハンドシェイクは new line キャラクタを EOI が送られたのと同様に反応します。
LLOC IE	Local Lockout Change Interrupt Enable	このビットが 1 の場合は、ISR2 の LLOC ビットが 1 になる条件での割り込みを許可します。
ATNI IE	ATN Interrupt Enable	このビットが 1 の場合は GPIB の ATN*がアサートされると割り込みが発生します。
CIC IE	Controller In Charge Interrupt Enable	このビットが 1 の場合は、ISR2 の CIC ビットが 1 になる条件での割り込みを許可します。

10.3 シリアルポールレジスタ

SPSR(Serial Poll Status Register)と SPMR(Serial Poll Mode Register)はこのボードがトーカー・リスナの場合にコントローラに対してサービスリクエストを行ったり、コントローラのシリアルポールに対してステータスバイト(STB)を保持するために使用されるレジスタです。

10.3.1 SPSR(9914 モード)

SPSR のビット構成を図 10-9に、各ビットの機能を表 10-7に示します。SPSR は pimr2,pibcr,pieosr,piaccr のいずれかの補助コマンドが発行されてページイン状態となっているとき、JP1 で設定したベースアドレス+5 でリードアクセスします。

bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
S8	PEND	S6	S5	S4	S3	S2	S1

図 10-9 SPSR のビット構成

表 10-7 SPSR の各ビット機能

名称	機能	説明
S8 S[6:1]	Serial Poll Status	SPMR に設定された同名称のビット内容(STB)が読みだしできます。
PEND	pending	rsv ビットに1がセットされるとこのビットも1にセットされ、サービスリクエストが受け付けられて STB が送出されると0にクリアされます。

10.3.2 SPMR(9914 モード)

SPMRのビット構成を図 10-10に、各ビットの機能を表 10-8に示します。SPMRはJP1で設定されたベースアドレス+5でライトアクセスします。

bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
S8	rsv/ RQS	S6	S5	S4	S3	S2	S1

図 10-10 SPMR のビット構成

表 10-8 SPMR の各ビット機能

名称	機能	説明
S8 S[6:1]	Serial Poll Status	コントローラによってシリアルポーリングされた場合に GPIB の DIO に送出されるステータスバイトを保持するビットです。S8 は DIO8 に、S[6:1]は DIO[6:1]に対応します。これらのビットは 2 重バッファとなっており、GPIB が SPAS 状態のときにホストシステムが SPMR に書き込みを行っても SPMR は SPAS 状態が終了した時点で更新されません。
rsv/ RQS	request service/ RQS	STBO IE=0 の場合はこのビットが rsv となり、GPIB の rsv ローカルメッセージを発生するのに使用されます。rsv が 1 でシステムの GPIB コントローラが本ボードをシリアルポーリング中でなければ、本ボードは SRQ をアサートします。コントローラのポーリングによって STB が読み出されると、rsv はクリアされます。rsv はハードウェアリセット、このビットへの 0 書き込みおよび Chip Reset 補助コマンドによってクリアされます。 STBO IE=1 の場合はこのビットは RQS となります。システムの GPIB コントローラが本ボードをシリアルポーリングすると、STBO 割り込み状態となります。ホストシステムがこの割り込みに反応して RQS ビットを 0 にして STB の値を設定すると、NAT7210 はコントローラに STB を転送し、RQS をアサートします。RQS はハードウェアリセットおよび Chip Reset 補助コマンドによってクリアされます。



《注意》

STBO IE が 1 の状態で、reqt 補助コマンドを発行してサービスリクエストを行った場合は、STBO 割り込みの条件が成立するまで SPMR への書き込みは行わないでください。

10.4 パラレルポールレジスタ(9914 モード)

PPR(Parallel Poll Register)は、NAT7210 がパラレルポールされた場合に送出する PPR メッセージを保持するレジスタです。このレジスタは JP1 で設定したベースアドレス+6 でライトアクセスします。PPR のビット構成を図 10-11に示します。

bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
PP8	PP7	PP6	PP5	PP4	PP3	PP2	PP1

図 10-11 PPR のビット構成

ローカルパラレルポールコンフィグレーション(機能コード PP2)を行う場合は、ポーリングに対応した設定を前もってこのレジスタに書き込んでおく必要があります。リモートパラレルポールコンフィグレーション(PP1)を行う場合、ACCRI レジスタの PP1 ビットが 0 にクリアされているときは、TMS9914A と同様にホストシステムによってコンフィグレーションコマンドを UNC として検出し、プログラムによって PPR を設定する必要がありますが、PP1 ビットが 1 に設定されている場合は NAT7210 がコンフィグレーションコマンドを自動的に認識し、PPR をホストシステムの介在なしに設定します。この機能を使用する場合は、PPR には 0 を書き込んでおきます。

《注意》

9914 互換モードでは、ist の状態が変化しても PPR は自動的に更新されません。

10.5 アドレスステータスレジスタ(9914 モード)

ADSR(Address Status Register)は GPIB アドレスステータスをモニターするために必要な情報が割り当てられています。ADSR のビット構成を図 10-12に示します。このレジスタは JP1 で設定したベースアドレス+2 でリードアクセスします。各ビットの機能は表 10-9をご参照ください。

bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
REM	LLO	ATN	LPAS	TPAS	LA	TA	ulpa

図 10-12 ADSR のビット構成

表 10-9 ADSR の各ビット機能

名称	機能	説明
REM	Remote	Remote/Local インターフェースファンクションの状態を示します。(REMS+RWLS)のとき 1 にセットされます。
LLO	Local Lockout	Remote/Local インターフェースファンクションの状態を示します。(LWLS+RWLS)のとき 1 にセットされます。

ATN	Attention	GPIB の ATN 信号レベルを示します。GPIB の ATN がアサートされている場合、1 となります。
LPAS	Listener Primary Addressed State	リスナ 1 次アドレスを受信したことを示します。 クリア条件: (PCG&~MLA&ACDS)+pon
TPAS	Talker Primary Addressed State	トーカー 1 次アドレスを受信したことを示します。 クリア条件: (PCG&~MTA&ACDS)+pon
LA	Listener Active	CIC からリスナに指定された場合、あるいは Listen Only 補助コマンドでリスナとしてプログラムされた場合、このビットは 1 にセットされます。 クリア条件: pon+IFC+(UNL&ACDS)
TA	Talker Active	CIC からトーカーに指定された場合、あるいは Talk Only 補助コマンドでトーカーとしてプログラムされた場合、このビットは 1 にセットされます。 クリア条件: pon+IFC+(OTA&ACDS)
ulpa	Upper/Lower Primary Address	NAT7210 が受信した 1 次アドレスの最下位ビットの値を示します。9914 互換モードでは、連続する 2 つの 1 次アドレスを 1 次アドレスとして設定することができるため、このビットによりどちらのアドレスが指定されたかを識別します。

10.6 アドレスレジスタ(9914 モード)

ADR は、NAT7210 が検出するアドレスを保持する内部レジスタに書き込みを行うために使用します。ADR のビット構成を図 10-13に、各ビットの機能を表 10-10に示します。ADR は JP1 で設定したベースアドレス+4 でライトアクセスします。

bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
edpa	dal	dat	A5	A4	A3	A2	A1

図 10-13 ADR のビット構成

表 10-10 ADR の各ビット機能

名称	機能	説明
edpa	Enable Dual Primary Address Mode	このビットを 1 に設定すると、NAT7210 は二重 1 次アドレスモードとなります。このとき GPIB アドレスの最下位ビットは無視されるため連続する 2 つの 1 次アドレスを使用することができます。どちらのアドレスが指定されたかは ulpa ビットで確認することができます。
dal	Disable Listener	このビットを 1 にセットすると、リスナ機能を LIDS に強制し、GPIB リスナアドレスの検出や、lon 補助コマンドによってリスナになることを禁止します。
dat	Disable Talker	このビットを 1 にセットすると、トーカー機能を TIDS に強制し、GPIB トーカーアドレスの検出や、ton 補助コマンドによってトーカーになることを禁止します。
A[5:1]	GPIB Address	0 から 30 までの範囲で、デバイスアドレスを設定します。

10.7 Auxiliary コマンドレジスタ(9914 モード)

Auxiliary Command Register(AUXCR)は、補助コマンドを発行して NAT7210 の機能を制御するために使用されます。補助コマンドのコードと、その機能を表 10-11に示します。表中の*は TMS9914A には存在しない補助コマンドを示します。

表 10-11 補助コマンド機能

コード	機能	説明
00 80	Clear Software Rest (~swrst) Set Software Reset (swrst)	swrst ローカルメッセージは GPIB インターフェースファンクションを全てアイドル状態とします。(GPIB のローカル pon メッセージに相当します。)swrst は、このコマンドの他、ch_rst 補助コマンドによってもセットされます。 ホストシステムは NAT7210 をこの状態でプログラムすることができます。 swrst がクリアされると、デバイスが GPIB 上に論理的に存在するようになります。
01 81	Release DAC Holdoff (nonvalid) Release DAC Holdoff (valid)	DAC Holdoff を解除します。APT ビットが 1 の場合、novalid は受信した 2 次アドレスが無効だったことを示し、valid は有効であったことを示します。その他の GPIB コマンドの受信で DAC Holdoff となった場合は、invalid 補助コマンドで停止したバス動作を継続します。
02	Release RFD Holdoff (rhdf)	RFD Holdoff 状態で停止している GPIB ハンドシェイクを終了させ、バス動作を継続します。(RFD Holdoff は hdfa や hlde 補助コマンドによって発生条件が指定されています。)
03 83	Clear Holdoff On All Data (~hdfa) Set Holdoff On All Data (hdfa)	hdfa がセットされている場合は、データを受信するたびに RFD Holdoff 状態となります。解除するためには、その都度 rhdf 補助コマンドを発行する必要があります。
04 84	Clear Holdoff On End Only (~hdfe) Set Holdoff On End Only (hdfe)	hdfe がセットされている場合は、END 条件に一致するデータを受信した場合にのみ RFD Holdoff 状態となります。解除するためには、rhdf 補助コマンドを発行する必要があります。
05	New Byte Available False(nbaf)	nba ローカルメッセージを false にします。これにより CDOR に書き込まれた最後のデータ送出を禁止します。
06 86	Clear Force Group Execute Trigger (~fget) Set Force Group Execute Trigger (fget)	HT3020 では TRIG 信号出力がありませんのでこの機能は使用できません。
07 87	Clear Return To Local (~rtl) Set Return To Local (rtl)	~rtl コマンドを発行すると、rtl メッセージがパルス状に発生します。(すでに rtl がセットされている場合はこれをクリアします。) rtl コマンドを発行すると、rtl メッセージはセットされたままとなります。
08	Send EOI With The Next Byte (feoi)	次のデータバイト送出時に GPIB の EOI ラインがアサートされます。EOI は転送されたデータバイトのハンドシェイクが終了するとクリアされます。
09 89	Clear Listen Only (~lon) Set Listen Only (lon)	lon コマンドで NAT7210 は LACS に移行し、アクティブなりスナとなります。~lon はアクティブなりスナ状態を解除します。

0A	Clear Talk Only (~ton)	ton コマンドで NAT7210 は TACS に移行し、アクティブなトーカとなります。~ton はアクティブなトーカ状態を解除します。
8A	Set Talk Only (ton)	
0B	Go To Standby (gts)	gts ローカルメッセージをパルス状に発生します。NAT7210 がアクティブコントローラの場合はスタンバイコントローラとなり、ATN のアサートを解除します。
0C	Take Control Asynchronously (tca)	tca ローカルメッセージをパルス状に発生します。NAT7210 がスタンバイコントローラの場合はアクティブコントローラとなり、ATN をアサートします。
0D	Take Control Synchronously (tcs)	tcs ローカルメッセージをパルス状に発生します。NAT7210 がスタンバイコントローラでかつアクティブリスナの場合、RFD Holdoff 実行時にアクティブコントローラとなります。tca と違ってハンドシェークの切れ目で制御を移すため、データのロスがありません。
0E	Clear Request Parallel Poll (~rpp)	この補助コマンドでパラレルポーラを行います。 rpp 補助コマンドを発行すると、NAT7210 がアクティブコントローラの場合 GPIB システムに IDY メッセージを送出し、パラレルポーラを行います。ホストシステムは最低 2us 待ってから CPTR を読み出して、パラレルポーラの結果を得ることができます。パラレルポーラを完了させるために、最後に~rpp 補助コマンドを発行します。
8E	Set Request Parallel Poll (rpp)	
0F	Clear Send Interface Clear (~sic)	sic 補助コマンドは sic および rsc ローカルメッセージをセットします。これにより NAT7210 はシステムコントローラとなり IFC 信号をアサートします。~sic 補助コマンドはこれらのローカルメッセージをクリアしますが、IFC が最低 100us 間出力されるまで~sic を発行しないように注意します。
8F	Set Send Interface Clear (sic)	
10	Clear Send Remote Enable (~sre)	sre 補助コマンドは sre および rsc ローカルメッセージをセットします。これにより NAT7210 はシステムコントローラとなり REN 信号をアサートします。~sre 補助コマンドはこれらのローカルメッセージをクリアしますが、REN が最低 100us 間出力されるまで~sre を発行しないように注意します。
90	Set Send Remote Enable (sre)	
11	Request Control (rqc)	NAT7210 がアイドルコントローラステートの場合、ATN がアサートされていないことを検出して NAT7210 をアクティブコントローラにします。
12	Release Control (rlc)	NAT7210 をアイドルコントローラとし、ATN のアサートを解除します。
13	Clear Disable All Interrupts (~dai)	dai 補助コマンドは割り込み出力を禁止し、~dai 補助コマンドは割り込み出力を許可します。これらのコマンドは、割り込みステータスやマスク状態に影響を与えません。
93	Set Disable All Interrupts (dai)	
14	Pass Through Next Secondary (pts)	pts 補助コマンドを発行すると、NAT7210 が 2 次コマンドを受信したときに ISR1 の UNC ビットをセットします。この機能は TMS9914A でリモートパラレルポーラコンフィグレーションを行う際に使用されるため、互換性を考慮して用意されています。(NAT7210 では ACCRI の PP1 ビットをセットするとリモートパラレルポーラコンフィグレーションをソフトウェアの介在なしに実行することができます。)

15 95	Clear Short T1 Delay (~stdl) Set Short T1 Delay (stdl)	stdl セット時は、T1 デレイが 1.1us、クリア時は 2us となります。
16 96	Clear Shadow Handshaking (~shdw) Set Shadow Handshaking (shdw)	shdw 補助コマンドにより、NAT7210 を continuous モードにすることができます。このモードではデータは受信されず、NAT7210 はハンドシェイクのみかわります。通常このコマンドは tcs や hlde 補助コマンドと併用されます。shdw はハードウェアリセット、ch_rst 補助コマンドおよび~shdw 補助コマンドでクリアされます。
17 97	Clear Very Short T1 Delay (~vstdl) Set Very Short T1 Delay (vstdl)	vstdl セット時は、データ転送の 2 バイト目以降の T1 デレイが 500ns になります。その他の場合の T1 デレイは stdl で設定されます。
18 98	Clear Request Service bit2 (~rsv2) Set Request Service bit2 (rsv2)	rsv2 は SPMR の rsv ビットと同じ機能を実行しますが、SPMR とは独立にサービスリクエストを行うことができます。このため、サービスリクエストの状態に影響を与えずに SPMR を更新することができます。rsv2 は、コントローラに対してシリアルポールでステータスバイトが送出されるとクリアされます。
99*	Switch To 7210 Mode (sw7210)	NAT7210 を 7210 互換モードに移行させます。
1A* 9A*	Request rsv False (reqf) Request rsv True (reqt)	reqt は rsv ローカルメッセージをセット、reqf はクリアします。IMR2 の STBO IE ビットの状態コマンドの実行タイミングが異なります。 ・STBO IE=0 の場合 コマンド発行後の SPMR への書き込み時に rsv メッセージが発生・クリアされます。 ・STBO IE=1 の場合 コマンドの発行でただちに rsv メッセージが発生・クリアされます。
1C*	Chip Reset (ch_rst)	NAT7210 を以下の状態にリセットします。 ・swrst メッセージがセットされ、インターフェースファンクションがアイドル状態になります。 ・SPMR ビットがクリアされます。 ・EOS、NL ビットがクリアされます。 ・全ての補助レジスタがクリアされます。 ・パラレルポールフラグがクリアされます。 ・ulpa ビットがクリアされます。
1D* 9D*	Clear Parallel Poll Flag (~ist) Set Parallel Poll Flag (ist)	ACCRB の ISS ビットが 0 の場合に用いられる ist メッセージを保持するパラレルポールフラグをセット (ist)・クリア(~ist)します。ISS ビットが 1 の場合は、ist として SQRS が使用されます。ハードウェアリセットか ch_rst 補助コマンドによって ist メッセージはクリアされます。
1E*	Page-In Interrupt Mask Register 2 (piimr2)	piimr2 補助コマンドによって、IMR2 を ADSR オフセットにマッピングします。このコマンドを実行すると、以下の状態になるまでこのマッピングが継続されます。 ・ハードウェアリセット ・ch_rst 補助コマンドが発行された場合 ・他のレジスタが page-in された場合 ・Clear Page-In 補助コマンドが発行された場合

1F*	Page-In Bus Control Register (pibcr)	pibcr 補助コマンドによって、BCR を ADSR オフセットにマッピングします。このコマンドを実行すると、以下の状態になるまでこのマッピングが継続されます。 <ul style="list-style-type: none"> ・ハードウェアリセット ・ch_rst 補助コマンドが発行された場合 ・他のレジスタが page-in された場合 ・Clear Page-In 補助コマンドが発行された場合
9C*	Clear Page-In Registers (clrpi)	clrpi 補助コマンドによって、ADSR オフセットにマッピングされていた書き込みレジスタは、再度いずれかの Page-In 補助コマンドが発行されるまでアクセスできなくなります。
9E*	Page-In End-of-String Register (pieosr)	pieosr 補助コマンドによって、EOSR を ADSR オフセットにマッピングします。このコマンドを実行すると、以下の状態になるまでこのマッピングが継続されません。 <ul style="list-style-type: none"> ・ハードウェアリセット ・ch_rst 補助コマンドが発行された場合 ・他のレジスタが page-in された場合 ・Clear Page-In 補助コマンドが発行された場合
9F*	Page-In Accessory Register (piacr)	piacr 補助コマンドによって、ACCR を ADSR オフセットにマッピングします。このコマンドを実行すると、以下の状態になるまでこのマッピングが継続されません。 <ul style="list-style-type: none"> ・ハードウェアリセット ・ch_rst 補助コマンドが発行された場合 ・他のレジスタが page-in された場合 ・Clear Page-In 補助コマンドが発行された場合

10.8 コマンドパススルーレジスタ(9914 モード)

ホストシステムは、CPTR を通して GPIB の DIO ラインの状態を調べることができます。この場合、DIO ラインの状態はホストシステムにそのまま素通しとなりますので、DAC ホールドオフ状態のときに読み出しを行ってください。このレジスタは JP1 で設定したベースアドレス+5 でリードアクセスします。図 10-14に CPTR のビット構成を示します。

bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
CPT7	CPT6	CPT5	CPT4	CPT3	CPT2	CPT1	CPT0

図 10-14 CPTR のビット構成

10.9 EOS レジスタ(9914 モード)

EOSR は、NAT7210 が GPIB データブロック転送の終了を検出するデータバイトを保持するために使用します。検出するデータビット長は ACCRA の BIN ビットで 7 または 8 ビットを選択できます。NAT7210 がリスナの場合は、ACCRA の REOS ビットが 1 ならば EOSR の設定値に一致するデータの受信で ISR0 の END ビットがセットされます。NAT7210 がトーカーの場合は、ACCRA の XEOS ビットが 1 ならば EOSR の設

定値に一致するデータの送信時に GPIB 信号の EOI がアサートされ、END メッセージが送出されます。このレジスタは、pieosr 補助コマンドでページイン状態となっており、JP1 で設定したベースアドレス+2 でライトアクセスします。図 10-15に EOSR のビット構成を示します。なお、このレジスタは TI の TMS9914A には存在せず、NAT7210 で拡張されています。

bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
EOS7	EOS6	EOS5	EOS4	EOS3	EOS2	EOS1	EOS0

図 10-15 EOSR のビット構成

10.10 アクセサリレジスタ(9914 モード)

Accessory Register(ACCR)として、TMS9914A に追加された種々の機能を設定する 6 つのレジスタが用意されており、piaccr 補助コマンドでページイン状態となっているときに、JP1 で設定したベースアドレス+2 でライトアクセスします。(これらのレジスタは同じオフセットに配置されています。)

10.10.1 ACCRA(9914 モード)

Accessory Register A(ACCRA)は EOS や END メッセージに関する設定を行います。このレジスタは、Chip Reset 補助コマンドおよびハードウェアリセットによりクリアされます。

図 10-16に ACCRA のビット構成を、表 10-12に各ビットの機能を示します。

bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
1	0	0	BIN	XEOS	REOS	0	0

図 10-16 ACCRA のビット構成

表 10-12 ACCRA の各ビット機能

名称	機能	説明
BIN	Binary	EOS メッセージのビット長を選択します。このビットが 0 の場合は EOSR を 7bit として扱い、1 の場合は 8bit として扱います。
XEOS	Transmit End With EOS	EOS メッセージと同時に END メッセージを送出するかどうかを設定します。このビットが 1 の場合は、EOSR の内容が CDOR のデータに一致する場合 EOI ラインがデータ送出と同時にアサートされます。
REOS	End On EOS Received	EOS メッセージの受信で ISR1 の END ビットをセットするかどうかを設定します。このビットが 1 の場合は、DIR のデータが EOSR の内容に一致する場合 END ビットをセットし、アクセプタファンクションは EOS キャラクタを EOI がアサートされた場合と同様に扱います。

10.10.2 ACCRB(9914 モード)

Accessory Register B(ACCRB)のビット構成を図 10-17に、各ビットの機能を表 10-13に示します。このレジスタは、Chip Reset 補助コマンドおよびハードウェアリセットによりクリアされます。

bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
1	0	1	ISS	INV	LWC	SPEOI	ATCT

図 10-17 ACCRB のビット構成

表 10-13 ACCRB の各ビット機能

名称	機能	説明
ISS	Individual Status Select	ist メッセージとして何を使用するかを選択します。このビットが 1 の場合は、SRQS を ist として使用し、0 の場合はパラレルポールフラグの値を ist として使用します。パラレルポールフラグは補助コマンドでセット・クリアが可能です。
INV	Invert	INT 出力ピンの極性を選択します。 0:アクティブ High 1:アクティブ Low
LWC	Listen When Control	このビットが 1 の場合は、NAT7210 が CIC のときに送出するコマンドを NAT7210 自身も受信します。
SPEOI	Send Serial Poll EOI	コントローラによってシリアルポールされた場合 EOI を送出するかどうかを選択します。 0:SPAS 時に EOI をアサートしない 1:SPAS 時に EOI をアサートする
ATCT	Automatic Take Control	このビットが 1 の場合は TCT メッセージの受信によって他のコントローラからソフトウェアの介入なしにコントロールを受け取ることができます。

10.10.3 ACCRE(9914 モード)

Accessory Register E(ACCRE)は DAC Holdoff に関する設定を行います。このレジスタで 1 を設定したビットの条件に GPIB の状態が一致すると、ISR1 レジスタの UNC ビットが設定され、DAC Holdoff 状態となります。図 10-18に ACCRE ビット構成を、表 10-14に各ビットの設定による DAC Holdoff 条件を示します。このレジスタは Chip Reset 補助コマンドおよびハードウェアリセットによりクリアされます。

bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
1	1	0	0	DHADT	DHADC	0	0

図 10-18 ACCRE のビット構成

表 10-14 ACCRE 設定による DAC Holdoff 条件

名称	DAC Holdoff を行う条件
DHADT	GET コマンド
DHADC	DCL または SDC コマンド

10.10.4 ACCRF(9914 モード)

Accessory Register F(ACCRF)は ACCRE 同様 DAC Holdoff に関する設定を行います。このレジスタで 1 を設定したビットの条件に GPIB の状態が一致すると、DAC Holdoff 状態となります。

図 10-19に ACCRF ビット構成を、表 10-15に各ビットの設定による DAC Holdoff 条件を示します。このレジスタは Chip Reset 補助コマンドおよびハードウェアリセットによりクリアされます。

bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
1	1	0	1	DHATA	DHALA	DHUNTL	DHALL

図 10-19 ACCRF のビット構成

表 10-15 ACCRF 設定による DAC Holdoff 条件

名称	DAC Holdoff を行う条件
DHATA	全てのトーカーアドレスコマンド
DHALA	全てのリスナーアドレスコマンド
DHUNTL	UNT または UNL コマンド
DHALL	全ての UCG,ACG,SCG コマンド

10.10.5 ACCRI(9914 モード)

Accessory Register I(ACCRI)のビット構成を図 10-20に、各ビットの機能を表 10-16に示します。

このレジスタは Chip Reset 補助コマンドおよびハードウェアリセットによりクリアされます。

bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
1	1	1	0	USTD	PP1	0	DMAE

図 10-20 ACCRI のビット構成

表 10-16 ACCRI の各ビット機能

名称	機能	説明
USTD	Ultra Short T1 Delay	このビットが 0 の場合は、AUXRB の TRI ビットが T1 デレイの値を決定します。このビットが 1 の場合は、ATN 解除後の 2 バイト目以後の T1 デレイを 350ns にします。
PP1	Parallel Poll 1	このビットが 0 の場合は、リモートパラレルポートコンフィグレーションに対する応答が TMS9914A 相当となり、リモート設定コマンド PPC や PPU は未定義コマンドとして扱われますのでホストシステムによって処理を行う必要があります。 このビットが 1 の場合は、リモートパラレルポートコンフィグレーションに対する応答を NAT7210 が自動的に行いますので、PPC や PPU 受信で DAC Holdoff 状態となったり、UNC ビットがセットされることはありません。
DMAE	DMA Enable	このビットが 0 の場合、DRQ は DMAO ビット、DMAI ビットの設定によらず DIR に受信データがあるか、CDOR が空で送信可能ときアサートされます。 このビットが 1 の場合は、DRQ は DMAO ビット、DMAI ビットによってイネーブル・ディスエーブルされます。 なお、HT3020 は DMA 機能をサポートしていませんので、このビットの設定値は任意です。

10.10.6 ICR(9914 モード)

Internal Count Register(ICR)の F[3:0]ビットと ICR2 の MICR ビットを使用して、NAT7210 の CLOCK 端子に供給する周波数を設定します。図 10-21に ICR のビット構成を、表 10-17に周波数に対応する設定値を示します。このレジスタは Chip Reset 補助コマンドおよびハードウェアリセットにより 00101000B (8MHz クロック)に設定されます。なお、このレジスタは TMS9914A には存在せず、NAT7210 で拡張されています。

bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
0	0	1	0	F3	F2	F1	F0

図 10-21 ICR のビット構成

表 10-17 クロック周波数と MICR,F[3:0]設定値

クロック周波数(MHz)	MICR	F[3:0]
1	0	0001
2	0	0010
3	0	0011
4	0	0100
5	0	0101
6	0	0110
7	0	0111
8	0	1000



10	1	0101
16	1	1000
20	1	1010

《注意》

ICR2 は 9914 互換モードのレジスタマップ上には存在しないため、MICR ビットを設定する場合はいったん 7210 互換モードに移行する必要があります。MICR ビットは、ハードウェアリセットおよび Chip Reset 補助コマンドで 0 にクリアされます。HT3020 では NAT7210 に 8MHz クロックを供給していますので、ICR と ICR2 の設定はリセット時の値のまま使用できます。

10.11 その他の GPIB ステータスレジスタ

NAT7210 では、TMS9914A 互換のバスステータスレジスタ(BSR)に加えてバスコントロールレジスタ(BCR)が追加されており、GPIB の状態をモニターするだけでなく GPIB コントロールラインを直接制御することができます。

10.11.1 BCR(9914 モード)

Bus Control Register(BCR)は pibcr 補助コマンドでページイン状態となっており、JP1 で設定したベースアドレス+2 でライトアクセスします。このレジスタで 1 を設定したビットに対応する GPIB のコントロールラインがアサートされます。図 10-22に BCR のビット構成を示します。このレジスタは Chip Reset 補助コマンドおよびハードウェアリセットによりクリアされます。

bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
ATN	DAV	NDAC	NRFD	EOI	SRQ	IFC	REN

図 10-22 BCR のビット構成

GPIB コントロールラインは、ある瞬間において信号の送信または受信のどちらかの動作しかできないため、BCR に設定したビットに対応するコントロールラインが、すぐにアサートされるわけではありません。出力になっている GPIB コントロールラインに対しては BCR でセットしたビットに対応した信号がアサートされますが、その時点で入力になっている GPIB コントロールラインに対してはアサートされないこととなります。詳細については 7210 互換モード時の BCR/BSR 説明(9.11.1項)をご参照ください。

10.11.2 BSR

Bus Status Register(BSR)は JP1 で設定したベースアドレス+3 でリードアクセスします。このレジスタの読みだして、各ビットに対応する GPIB コントロールラインの状態をモニターすることができます。図 10-23に BSR のビット構成を示します。

bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
ATN	DAV	NDAC	NRFD	EOI	SRQ	IFC	REN

図 10-23 BSR のビット構成

BSR は GPIB コントロールラインの状態を GPIB トランシーバを通してサンプルするため、実際の GPIB バスの状態を示しているわけではありません。入力となっているコントロールラインについては、BSR に正しいバス状態が得られますが、出力となっている場合は NAT7210 の出力状態のみが反映されることになります。

11 プログラミング

ここでは、NAT7210 を制御するプログラム作成時のレジスタ使用方法を説明します。
なお、説明はデバイスを 7210 互換モードで使用することを前提にしています。

11.1 初期化

HT3020 をトーカー・リスナとして使用する場合、初期設定の手順は次の通りです。システムコントローラとして使用する場合は、さらに11.3.1項の手順に従ってください。

1. 7210 モードへの移行

NAT7210 はコマンドが 7210 互換と 9914 互換のモードで使用できますが、この後の初期化手順を実行するためには、いったん 7210 互換モードとする必要があります。ハードウェアリセット後は 7210 互換モードとなりますが、どちらのモードとなっているかが不明な場合は JP1 設定ベースアドレス+3 に 99H を書き込みます。(NAT7210 が 9914 モードになっていた場合、この書き込みで 7210 モードに移行します。すでに 7210 モードだった場合、この操作は SPMR への書き込みに相当しますが、この後の手順で正しい値を再度設定しますので動作には影響がありません。)

2. Chip Reset 補助コマンドの発行

AUXMR(オフセット+5)に Chip Reset 補助コマンド(02H)を書き込みます。これにより NAT7210 は GPIB から切り離されてアイドル状態となります。

3. クロック周波数の設定

ICR および ICR2 を使用してシステムクロックを 8MHz に設定します。ICR(オフセット+5)に 28H、ICR2(page-in 後オフセット+3)には 80H(Slow Handshake を行わない場合)または A0H(Slow Handshake を行う場合)を書き込みます。

4. GPIB アドレスの設定

ADMR(オフセット+4)に使用するアドレスモードを設定します。設定可能な値は表 9-10をご参照ください。通常は 31H を書き込み Normal Dual Addressing モードを選択します。GPIB1 次/2 次アドレスは ADR(オフセット+6)を通して ADR0/ADR1 に書き込みます。2 次アドレスを使用しない場合は ADR に E0H を書き込み、ADR1 を禁止してください。

5. シリアルポール応答の設定

NAT7210 がシリアルポールされる場合は、SPMR(オフセット+3)に応答パターンをあらかじめセットしておきます。

6. パラレルポール応答の設定

パラレルポールに対応する場合で、ローカルコンフィグレーションを行うときは PPR(オフセット+5)に応答パターンをあらかじめセットしておきます。AUXRI(オフセット+5)の PP2 ビットをセットするとリモートコンフィグレーションによってオーバーライドされることなく正しいローカルコンフィグレーション機能をインプリメントすることができます。AUXRI には PP2 ビットの他に SISB、USTD ビットがありますのでこれらの設定状態にも注意してください。

リモートコンフィグレーションを行う場合は、PPR に 70H を書き込みます。

7. ハンドシェークパラメータの設定
GPIB システムの状態に応じて、ソースハンドシェーク時の T1 ディレイ値を選択します。設定は AUXRI(オフセット+5)の TRI ビット、AUXRB(オフセット+5)の USTD ビットで行います。GPIB システムの状態と T1 ディレイ値については 11.5.3項をご参照ください。AUXRI、AUXRB 設定時にはその他のビットの設定状態にもご注意ください。
8. 割り込みの設定
必要に応じて IMR0-2 の割り込みイネーブルビットをセットし、割り込み条件を設定します。AUXRI(オフセット+5)の SISB ビットを 1 にセットすると、インタラプトステータスのクリアされる条件を変更することができます。なお AUXRB(オフセット+5)には割り込み出力の極性を設定する INV ビットがありますので必要があれば変更してください。(デフォルトはアクティブ H です。) AUXRI、AUXRB 設定時にはその他のビットの設定状態にもご注意ください。
9. pon 補助コマンドの発行
AUXMR(オフセット+5)に pon 補助コマンド(02H)を書き込みます。これにより NAT7210 の GPIB インターフェース機能が動作状態となります。

11.2 アドレスモード

IEEE488.1 では、1 つの GPIB システムに 15 個までの物理デバイスを接続できることを規定しており、HT3020 は 1 つの GPIB 物理デバイスとして扱われます。ほとんどのアプリケーションにおいて、1 つの GPIB 物理デバイスは 1 つの GPIB 論理デバイスとして扱われますが、1 つの GPIB 物理デバイスで複数の GPIB 論理デバイスをインプリメントすることも可能です。GPIB 論理デバイスは重複することのないアドレスが個々に割り当てられており、961 種類のアドレスをとることができます。

11.2.1 通常アドレスと拡張アドレス

GPIB 論理デバイスのアドレス指定方法には、通常(normal)アドレスと拡張(extended)アドレスの 2 つの方法があります。

通常アドレスの指定方法では、GPIB デバイスに 0 から 30 までのアドレスを割り当てます。コントローラはこのアドレスを指定して GPIB デバイスをトーカまたはリスナにします。

拡張アドレスの指定方法では、GPIB デバイスに 1 次アドレスと 2 次アドレスの 2 つのアドレスが割り当てられ、それぞれのアドレスは 0 から 30 までを使用しますので、961 通りのアドレスが存在することになります。コントローラは 1 次アドレスと 2 次アドレスを指定して、GPIB デバイスをトーカまたはリスナにします。

11.2.2 1 つの論理デバイス(通常アドレス)

NAT7210 を通常(normal)アドレス指定方法で 1 つの論理デバイスとして使用する場合は、次の手順で設定を行います。

1. ADMR(オフセット+4)に 31H を書き込みます。
2. ADR(オフセット+6)を通して、ADR0 に使用する論理アドレスを設定します。
3. ADR(オフセット+6)に E0H を書き込み、ADR1 を禁止します。

この設定をしたデバイスを、コントローラがトーカに指定した場合は ADSR(オフセット+4)の TA ビットが 1 にセットされ、リスナに指定された場合は、LA ビットが 1 にセットされます。

11.2.3 1 つの論理デバイス(拡張アドレス)

NAT7210 を拡張(extended)アドレス指定方法で 1 つの論理デバイスとして使用する場合は、次の手順で設定を行います。

1. ADMR(オフセット+4)に 32H を書き込みます。
2. ADR(オフセット+6)を通して、ADR0 に使用する 1 次論理アドレスを設定します。
3. ADR(オフセット+6)を通して、ADR1 に使用する 2 次論理アドレスを設定します。

この設定をしたデバイスを、コントローラがトーカに指定した場合は ADSR(オフセット+4)の TA ビットが 1 にセットされ、リスナに指定された場合は、LA ビットが 1 にセットされます。

11.2.4 2 つの論理デバイス(通常アドレス)

NAT7210 を通常(normal)アドレス指定方法で 2 つの論理デバイスとして使用する場合は、次の手順で設定を行います。

1. ADMR(オフセット+4)に 31H を書き込みます。
2. ADR(オフセット+6)を通して、使用する 2 つのアドレスのうち 1 つの(major)論理アドレスを ADR0 に設定します。
3. ADR(オフセット+6)を通して、使用するもう 1 つの(minor)論理アドレスを ADR1 に設定します。

この設定をしたデバイスを、コントローラがトーカに指定した場合は ADSR(オフセット+4)の TA ビットが 1 にセットされ、リスナに指定された場合は、LA ビットが 1 にセットされます。どちらのアドレスが指定されたかは、ADSR の MJMN ビットで判定できます。(minor アドレスが指定された場合、1 にセットされます。)

11.2.5 2 つの論理デバイス(拡張アドレス)

NAT7210 を拡張(extended)アドレス指定方法で 2 つの論理デバイスとして使用する場合は、次の手順で設定を行います。

1. ADMR(オフセット+4)に 33H を書き込みます。
2. ADR(オフセット+6)を通して、使用する 2 つのアドレスのうち 1 つの論理 1 次アドレス(major primary)を ADR0 に設定します。
3. ADR(オフセット+6)を通して、使用するもう 1 つの(minor primary)論理 1 次アドレスを ADR1 に設定します。
4. それぞれの 2 次アドレスはホストシステムに保持しておきます。

この設定をしたデバイスをコントローラがトーカまたはリスナに指定すると、1 次アドレスが ADR0/ADR1 に一致した場合、2 次アドレスの受信で ISR1(オフセット+1)の APT ビットが 1 にセットされ、GPIB は DAC ホールドオフ(DAC をアサートした状態のまま停止した状態)となります。ホストシステムは CPTR(オフセット+5)の内容がこのデバイスに該当する 2 次アドレスかどうかを確認し、

一致する場合は valid 補助コマンドを、一致しない場合は nonvalid 補助コマンドを発行して停止している GPIB バス動作を継続させます。(どちらの 1 次アドレスが指定されたかは ADSR の MJMN ビットで確認します。) valid 補助コマンドを発行すると、デバイスはトーカーまたはリスナとして指定された状態となります。

11.2.6 3 つ以上の論理デバイス

NAT7210 を使用して、3 つ以上の論理デバイスをサポートすることも可能です。設定手順は次の通りです。

1. ADMR(オフセット+4)に 30H を書き込みます。
2. AUXRF(オフセット+5)の DHATA、DHALA ビット(通常アドレス指定の場合)または DHALL ビット(拡張アドレス指定の場合)をセットします。

この設定をしたデバイスは、AUXRF で指定した条件に一致するコマンドをコントローラから受信すると DAC ホールドオフ状態となり、ISR1(オフセット+1)の CPT ビットが 1 にセットされますので、ホストシステムは CPTR(オフセット+5)から GPIB コマンドを読みだし、指定されたアドレスかどうかを確認します。トーカーアドレスに該当する場合は、ADMR(オフセット+4)に B0H と 30H と連続して書き込みます。リスナに該当する場合は ADMR に 70H と 30H を連続して書き込みます。停止している GPIB バス動作は、前項のように valid または nonvalid 補助コマンドを発行して再開させます。

11.3 コントローラ機能の設定

11.3.1 システムコントローラ

GPIB システムでは、1 つのデバイスのみがシステムコントローラとなることができ、GPIB の REN と IFC ラインを制御します。システムコントローラとして使用する場合は手順は次の通りです。

1. JP4 の設定
ジャンパソケットを SC の位置に挿入します。これにより、REN と IFC 信号は本ボードからドライブできるようになります。
2. Set IFC 補助コマンドの発行
AUXMR(オフセット+5)に set IFC 補助コマンド(1EH)を書き込みます。これにより NAT7210 は GPIB の IFC 信号をアサートします。
3. 100us のウェイト
IEEE488.1 は IFC が最低 100us アサートされることを規定しています。
4. Clear IFC 補助コマンドの発行
AUXMR(オフセット+5)に Clear IFC 補助コマンド(16H)を書き込みます。これにより NAT7210 はシステムコントローラとなり、GPIB の IFC 信号は解除されます。

システムコントローラは REN 信号を Set REN/Clear REN 補助コマンドを使用して制御することができます。IEEE488.1 は、REN を最低 100us の間アサートするよう規定しています。

11.3.2 コントローラのステート

IEEE488.1 コントローラファンクションは数多くのステートで構成されていますが、ここではこれを3つに分類します。

- Idle ステート
Idle ステートでは NAT7210 は Controller In Charge(CIC、動作中のコントローラ)ではないため、ATN 信号をドライブしません。他の CIC からトーカーやリスナに指定された場合はデータの送受信は可能です。GPIB システムには複数のコントローラが存在できますが、ある時点で CIC となることができるのはそのうちの1つで、それ以外のコントローラは Idle ステートとなっていなければなりません。NAT7210 は pon ローカルメッセージがアクティブか、他のコントローラから IFC をアサートされた場合に Idle ステートとなります。
- Active ステート
Active ステートでは NAT7210 は CIC となり、ATN をアサートします。Active ステートのコントローラは、リモートマルチラインメッセージ(コマンド)の送信や、シリアルポール、パラレルポールを行います。
- Standby ステート
Standby ステートでは NAT7210 は CIC ですが、ATN のアサートを解除します。Active ステート時に自分自身をトーカーやリスナに指定しておくことで、Standby ステート時にデータの送受信を行うことができます。

11.3.3 コントローラのステート移行

前項のステート間を移行させる方法を説明します。

Idle ステート Active ステート

NAT7210 が補助コマンドによってシステムコントローラになった場合や、他の CIC から制御を渡された場合に Active ステートとなります。

他の CIC から制御を渡す手順は次の通りです。

1. CIC が制御を渡す NAT7210 をトーカーとして指定します。
2. CIC が制御を渡す NAT7210 に TCT メッセージを送出します。
3. CIC は GPIB ハンドシェイクを終えると Idle ステートに移行します。
4. 制御を渡された NAT7210 が Active ステートの CIC となります。

Active ステート Standby ステート

NAT7210 を Standby ステートに移行させる手順は次の通りです。

1. アドレスコマンドでトーカー・リスナの指定を完了させます。通常 Standby ステートに移行させる NAT7210 は、トーカーまたはリスナとしてアドレス指定されます。
2. ISR2(オフセット+2)の CO ビットが 1 になるのを待ちます。
3. Go To Standby 補助コマンドを発行します。

Standby ステート Active ステート

NAT7210 を Active ステートに移行させる手順は次の通りです。

1. トーカまたはリスナとしてのデータ転送が終了するのを待ちます。ISR0(ページイン後オフセット+6)の SYNC ビットで GPIB が同期しているかどうかの確認ができます。
2. Take Control Asynchronously 補助コマンドを発行します。
3. ISR2(オフセット+2)の CO ビットが 1 になるのを待ちます。

Active ステート Idle ステート

NAT7210 は他のデバイスに制御を渡した場合に Idle ステートとなります。他のデバイスに制御を渡す手順は次の通りです。

1. 制御を渡す NAT7210 をトーカとして指定します。
2. 制御を渡す NAT7210 に TCT メッセージを送出します。
3. CIC は GPIB ハンドシェイクを終えると Idle ステートに移行します。

11.4 コマンドの送出

コントローラは次の手順でリモートマルチラインメッセージ(コマンド)を送出します。

1. AUXRG(オフセット+5)の NTNL ビットを 1 にセットします。これによってシステム内にリスナがない場合、コマンドを送出するのを防ぐことができます。
2. NAT7210 を Active コントローラステートにします。
3. ISR2(オフセット+2)の CO ビットが 1 になるのを待ちます。
4. 以下の動作を各コマンドバイトについて行います。
 - ・コマンドを CDOR(オフセット+0)に書き込みし、ISR2 の CO ビットか、ISR1(オフセット+1)の ERR ビットがセットされるのを待ちます。
 - ・CO ビットがセットされた場合はコマンドがデバイスによって受け取られたことを示します。ERR ビットがセットされた場合は、GPIB システムに正常に動作していないデバイスが存在することを示します。

ホストシステムは、CO と ERR ビットをポーリングまたは割り込みによってチェックすることができます。ERR ビットがセットされた場合は、New Byte Available False 補助コマンドで CDOR 内容をクリアし、Clear ERR 補助コマンドで ERR ビットをクリアしてください。(AUXRI の SISB ビットが 0 の場合は、ISR1 のリードで ERR ビットがクリアされますのでご注意ください。)

11.5 データ転送

11.5.1 データ送出の手順

デバイスがトーカとしてデータを送出する手順は次の通りです。

1. AUXRG(オフセット+5)の NTNL ビットを 1 にセットします。これによってシステム内にリスナがない場合、コマンドを送出するのを防ぐことができます。

2. T1 デイレイはシステムに応じて適切に設定されているものとします。
3. ホストシステムはISR2(オフセット+2)のADSCビットが1にセットされるのをポーリングや割り込みによりチェックし、その後ADSR(オフセット+4)を読み出ししてNAT7210がトーカーに指定されたことを確認します。
4. ISR1(オフセット+1)のDOビットが1にセットされるのを待ちます。
5. 以下の動作を送出する各データバイトについて繰り返します。
 - ・データをCDOR(オフセット+0)に書き込みし、ISR1のDOビットか、ERRビットがセットされるのを待ちます。
 - ・DOビットがセットされた場合はデータがデバイスによって受け取られたことを示します。ERRビットがセットされた場合は、GPIBシステムに正常に動作していないデバイスが存在することを示します。

ホストシステムは、DOとERRビットをポーリングまたは割り込みによってチェックすることができます。ERRビットがセットされた場合は、New Byte Available False 補助コマンドでCDOR内容をクリアし、Clear ERR 補助コマンドでERRビットをクリアしてください。(AUXRIのSISBビットが0の場合は、ISR1のリードでERRビットがクリアされますのでご注意ください。)

11.5.2 EOIまたはEOSの送出

GPIBのENDメッセージをデータバイトと同時に送る(EOIをアサートする)には、データをCDORに書き込む直前にSend EOI補助コマンドを発行してください。

EOSメッセージの送出は、通常のデータと同様、単にEOSコードに相当するデータをCDORに書き込みするだけです。AUXRA(オフセット+5)のXEOSビットが1にセットされている場合は、CDORへ書き込まれたデータがEOSRのデータに一致すると、自動的にENDメッセージが送られます。

11.5.3 T1 Delay の設定

GPIBシステムにおけるマルチラインメッセージのセトリング時間T1はIEEE488.1で規定されており、NAT7210はこの規定に応じたT1をAUXRI(オフセット+5)のUSTDビットおよびAUXRB(オフセット+5)のTRIビットへの設定で選択することができます。

IEEE488.1ではGPIBシステムを次の3つに分類して、T1を規定しています。

ケース1

トーカーになるデバイスが3-StateのドライバをDIO,DAV,EOIラインに使用している場合

ケース2

トーカーはケース1の条件を満足し、48mAの3-Stateドライバが使用されていること。さらに以下の条件をすねてのデバイスが満足すること。

- システムの全てのデバイスは電源が入れられている
- ケーブルは15mか、デバイス負荷数×1mのうち短いほうの長さを満足している
- デバイスあたりの各信号の負荷容量は50pFより小さい

ケース3

上記2つのケースに該当しない場合

さらに、バス動作がデータ転送の2バイト目以降についてはT1をさらに短くすることが許容されており、これらに対応するUSTDとTRIの設定値を整理すると、表11-1のように分類されます。

表 11-1 T1 デレイ最小値

ケース	コマンド転送 データ転送1バイトめ	その他の転送	USTD	TRI
1	1100ns	500ns	1	0
2	1100ns	350ns	1	1
3	2000ns	2000ns	0	0

なお、ケース1に対するUSTD、TRIビットの設定値では、コマンド転送およびデータ転送の1バイトめに使用するT1デレイは2000nsとなります。

11.5.4 nbaif 補助コマンドの使用方法

NAT7210がトーカーで、CDORにはデータが書かれているものとします。このとき、NAT7210がCDORのデータを転送する前にコントローラがATNをアサートすると、コントローラがATNのアサートを解除してもNAT7210はトーカーのままのためNTNL=1の場合はCDORのデータを転送してしまいます。New Byte Available False 補助コマンドはこの転送を抑制します。

11.5.5 データ受信の手順

デバイスがリスナとしてデータを受信する手順は次の通りです。

1. ホストシステムはISR2(オフセット+2)のADSCビットが1にセットされるのをポーリングや割り込みによりチェックし、その後ADSR(オフセット+4)を読み出ししてNAT7210がリスナに指定されたことを確認します。
2. Holdoff Handshake Immediately 補助コマンドによって起きたホールドオフ状態を解除するためにFinish Handshake 補助コマンドを発行します。
3. 以下の動作を送出する各データバイトについて繰り返します。
 - ・ISR1(オフセット+1)のDIビットがセットされるのを待ちます。
 - ・DIR(オフセット+0)から受信データを読み出します。

ホストシステムは、DIビットをポーリングまたは割り込みによってチェックすることができます。

11.5.6 END または EOS の受信

END または EOS メッセージを受信すると、ISR1(オフセット+1)のEND RX ビットが1にセットされます。このビットはIMR0(ページイン後オフセット+6)のNLEN ビットが1にセットされている場合は0AHの受信で、AUXRA(オフセット+5)のREOS ビットがセットされている場合はEOSR(オフセット+7)に保持されている値に一致するデータの受信でセットされます。EOI ラインのアサートによる END メッセージと、EOS メッセージを識別する必要がある場合は、

ADR1(オフセット+7)の EOI ビット、ISR0(ページイン後オフセット+6)の NL ビットと EOS ビットで確認することができます。

11.6 アクセプタハンドシェーク Holdoff

11.6.1 RFD Holdoff

NAT7210 がリスナの場合、トーカに対して次のデータを受信する準備ができたことを通知するために、アサートされていた NRFD を解除します。NAT7210 はこの動作を行うために内部で rdy ローカルメッセージを発生します。rdy=1 の場合、NAT7210 は次のデータを受信可能で、rdy=0 の場合はデータ受信の準備ができていないことを示し、NRFD はアサートされた状態となります。“RFD Holdoff”とは、このように NRFD がアサートされてデータ転送が停止した状態をさします。NAT7210 は ATN のアサートされないデータ転送の場合にのみ RFD Holdoff を行います。

11.6.2 Data 受信モード

データバイト RFD Holdoff 状態の制御は NAT7210 のデータ受信モードに応じて行われます。各モードの動作は次の通りです。

- Normal
1 バイトのデータを受信するたびに、RFD Holdoff 状態となります。ホストシステムが DIR(オフセット+0)を読み出すと RFD Holdoff は解除されます。
- RFD Holdoff On All Data
1 バイトのデータを受信するたびに、RFD Holdoff 状態となります。ホストシステムは Finish Handshake 補助コマンドを発行し RFD Holdoff を解除します。
- RFD Holdoff On End
1 バイトのデータを受信するたびに、RFD Holdoff 状態となります。受信したデータが END 条件を満たす場合、ホストシステムは Finish Handshake 補助コマンドを発行し RFD Holdoff を解除します。END 条件を満足しないデータ受信の場合は DIR(オフセット+0)の読み出しで RFD Holdoff は解除されます。
END 条件は次の式で定義されます。
$$\text{END} = \text{EOI} + (\text{REOS} \& \text{EOS}) + (\text{NLEN} \& \text{NL})$$
- Continuous
END 条件を満たすデータを受信した場合にのみ、RFD Holdoff 状態となり、その他のデータ受信では RFD Holdoff 状態となりません。ホストシステムは Finish Handshake 補助コマンドを発行し RFD Holdoff を解除します。このモードでは、データ受信によって DI ビットはセットされず、DIR にもデータは得られません。
このモードは NAT7210 をコントローラとして使用し、データを保存せずに他のデバイス間のデータ転送をモニタするような場合に使用されます。

11.6.3 DAC Holdoff

DAC Holdoff は、NAT7210 がコントローラによって送られたコマンドバイトの処理をまだ終了していない状態にあることを示します。このためコントローラは GPIB にコマンドバイトを出力したまま、DAV 信号をアサートした状態となります。DAC Holdoff を使用することで、制御プログラムは受信したコマンドの処理が終わらないうちに次のコマンドが送られてくるような状況を回避することができます。DAC Holdoff 状態は、ホストシステムが Valid 補助コマンドか Nonvalid 補助コマンドを発行して解除することができます。

ほとんどのアプリケーションにおいて、NAT7210 は受信したコマンドの処理を自動的にを行うため、DAC Holdoff を必要とすることはありません。(例えば、NAT7210 に 2 つ以上の GPIB 拡張論理アドレスを割り当てて処理を行うような場合に DAC Holdoff 使用します。)

DAC Holdoff が発生する条件は次の通りです。

```
SDHS = [UCG+ACG&(TADS+LADS)]&未定義コマンド&CPT ENAB
      +UDPCF&SCG&CPT ENAB
      +DHADT&GET
      +DHADC&(SDC+DCL)
      +DHATA&TAG&~UNT
      +DHALA&LAG&~UNL
      +DHUNTLE&(UNT+UNL)
      +DHALL&(UCG+ACG+SCG)
      +DHDC&(DCL+SDC&LADS)
      +DHDT&GET
      +SCG&(TPAS+LPAS)&(dual 拡張アドレスモード)
```

11.7 シリアルポール

11.7.1 サービスリクエスト

NAT7210 がコントローラにサービスを要求する場合は、SRQ をアサートします。NAT7210 にサービス要求を行わせる手順は次の通りです。

1. Request rsv True 補助コマンドを発行します。
2. SPMR(オフセット+3)にステータスバイトを書き込みます。なお、ビット 6 には 0 を書き込みしてください。

Request rsv True 補助コマンド発行後、STBO IE ビットを 1 にセットして STBO 割り込みを有効にしている場合は、この割り込み条件が発生するまで SPMR への書き込みを行わないでください。

uPD7210 互換のサービスリクエスト方法を使用する場合は、次の手順に従ってください。

1. SPSR(オフセット+3)の PEND ビットが 0 であることをチェックし、現在シリアルポールに応答中ではないことを確認します。
2. SPMR(オフセット+3)にステータスバイトを書き込みます。このとき、ビット 6(rsv ビット)を 1 にセットします。

PEND ビットは、シリアルポールが完了するまで 1 にセットされた状態となります。

11.7.2 シリアルポールへの応答

IMR0(ページイン後オフセット+6)の STBO IE ビットが 0 の場合、NAT7210 はコントローラによってシリアルポールされると、ホストシステムの介在なしにステータスバイトを送出します。

STBO IE ビットが 1 の場合、NAT7210 はシリアルポールにすぐに応答せず、割り込みを発生します。ホストシステムは、この割り込み処理で SPMR にステータスバイトを書き込みすると NAT7210 はこのステータスを送出します。(このときステータスバイトのビット 6 には 0 を書き込みしてください。)

サービスリクエスト中の NAT7210 がシリアルポールされた場合は、GPIB の DIO7 ラインを使用して RQS メッセージを送ります。コントローラはこれにより、サービスリクエストを要求したデバイスを確認します。ステータスバイトは通常 1 回読み出しされますが、複数回でも構いません。ただし、RQS メッセージは最初の読み出し時にのみ送られます。

AUXRB(オフセット+5)の SPEOI ビットがセットされている場合、NAT7210 はシリアルポール時に EOI をアサートします。

11.7.3 シリアルポールの実行

NAT7210 がコントローラの場合は、次の手順でシリアルポールを行うことができます。

1. NAT7210 を Active コントローラステートにします。
2. UNT、UNL コマンドを送出し全てのデバイスをアドレス指定されていない状態にします。
3. NAT7210 をリスナに設定します。
4. SPE コマンドを送出します。
5. 以下の操作を必要な回数(または、サービスリクエストをしたデバイスが見つかるまで)繰り返します。
 - ・シリアルポールするデバイスをトーカに指定します。
 - ・NAT7210 をスタンバイコントローラにして、ステータスバイトを受信します。
 - ・NAT7210 をアクティブコントローラにします。
6. SPD コマンドを送出します。
7. UNT コマンドを送出し、トーカアドレス指定を解除します。

11.8 パラレルポール

11.8.1 パラレルポールへの応答

NAT7210 がコントローラのパラレルポールに応答する場合には、コントローラに対して1ビットの情報しか送ることができません。このビットは ist ローカルメッセージの状態を反映しています。

AUXRB(オフセット+5)の ISS ビットが 1 にセットされている場合は、ist は SRQS の状態を示します。つまり、NAT7210 がサービス要求(SRQ をアサート)すると ist が 1 にセットされます。

ISS ビットが 0 の場合は、Set Parallel Poll Flag 補助コマンド、Clear Parallel Poll Flag 補助コマンドを使用して ist をセット、クリアすることができます。この場合は ist の意味を自由に決めることができます。

11.8.2 PP0/PP1/PP2

パラレルポールに対するデバイスの応答は、IEEE488.1 機能コードで 3 つに分類されます。

- PP0
NAT7210 はパラレルポールに응答しません。この機能を使用する場合は AUXRI(オフセット+5)の PP2 ビットと PPR(オフセット+5)の U ビットを 1 にセットしてください。
- PP1
NAT7210 のパラレルポールによる応答を、ホストシステムで設定します。PPR(オフセット+5)への書き込みで使用される DIO の選択、ist の応答極性選択を行います。
- PP2
NAT7210 のパラレルポールによる応答を、コントローラからリモートで設定します。この場合は PPR へ直接設定することはできません。リモートメッセージに従い、NAT7210 が自動的に設定を行います。システムコントローラがパラレルポールの設定を行う手順は、次項をご参照ください。

11.8.3 リモートコンフィグレーション

NAT7210 がコントローラの場合、次の手順でデバイスをパラレルポールに응答するようコンフィグレーションを行うことができます。

1. NAT7210 を Active コントローラステートにします。
2. 以下の操作を必要な回数繰り返します。
 - ・ UNL コマンドを送出し全てのリスナをアドレス指定されていない状態にします。
 - ・ 設定するデバイスのアドレスを、リスナとして指定します。
 - ・ PPC コマンドを送出します。
 - ・ PPE コマンドを送出します。

PPE コマンドでは、パラレルポーリングに使用する DIO ラインと、ist がセットされたときの DIO の応答極性を指定します。表 11-2をご参照ください。

表 11-2 PPE メッセージ

使用する DIO	'0'で応答する場合	'1'で応答する場合
DIO1	60H	68H
DIO2	61H	69H
DIO3	62H	6AH
DIO4	63H	6BH
DIO5	64H	6CH
DIO6	65H	6DH
DIO7	66H	6EH
DIO8	67H	6FH

例えば、ist がセットされたときにパラレルポーリング結果が DIO1=1 として得られるようにする場合は、PPE として 68H を指定します。

特定のデバイスのパラレルポーリングへの応答を禁止するには、上述の PPE コマンドのかわりに PPD コマンドを送出します。また、全てのデバイスのパラレルポーリング応答を禁止する場合は PPC、PPE コマンドのかわりに PPU コマンドを使用します。

11.8.4 パラレルポーリングの実行

NAT7210 をコントローラとして他のデバイスをパラレルポーリングする手順は次の通りです。

1. NAT7210 を Active コントローラステートにします。
2. Execute Parallel Poll 補助コマンドを発行します。
3. ISR2(オフセット+2)の CO ビットがセットされるのを待ちます。
4. CPTR(オフセット+5)を読み出し、パラレルポーリング結果を得ます。

11.9 リモート / ローカル

NAT7210 は IEEE488.1 の Remote/Local 機能をインプリメントしており、ISR2(オフセット+2)の LOK ビットと REM ビットを使用してその状態を知ることができます。

LOK ビットは、デバイスがコントローラからの LLO リモートメッセージを受信するとセットされ、ロックアウト状態であることを示します。ロックアウト状態は、REN ラインのアサートが解除されると同時に解除されます。

REM ビットは、REN ラインがアサートされてコントローラからアドレス指定されるとセットされ、リモート状態となります。リモート状態は、REN ラインのアサートが解除されるか、コントローラからの GTL メッセージを受信するか、あるいは Return To Local 補助コマンドにより解除されてローカル状態に戻ります。(ロックアウト状態では Return To Local 補助コマンドは無効です。)

なお ISR2 には LOKC ビットと REMC ビットが用意されており、LOK ビットおよび REM ビットの状態変化により割り込みを起こすことができます。

11.10 デバイストリガ

NAT7210 がリスナの場合にコントローラから GET リモートメッセージを受信すると、ISR1(オフセット+1)の DET ビットが 1 にセットされます。IMR1(オフセット+1)の DET IE ビットが 1 にセットされていると、このとき割り込みが発生します。AUXRE(オフセット+5)の DHDT ビットがセットされている場合は、このとき同時に DAC Holdoff 状態となります。DAC Holdoff 状態で停止したバス動作を継続するには、Valid 補助コマンドを発行してください。

AUXRE(オフセット+5)の DHADT ビットがセットされている場合は、NAT7210 がリスナとして指定されているかどうかにはかかわりなく、GET リモートメッセージの受信で DAC Holdoff 状態となります。

DHDT または DHADT で割り込みを起こす必要があるときは、IMR1(オフセット+1)の CPT IE を 1 にセットしてください。

11.11 デバイスクリア

NAT7210 がコントローラから DCL リモートメッセージを受信した場合、または NAT7210 がリスナに指定された状態でコントローラから SDC リモートメッセージを受信した場合、ISR1(オフセット+1)の DEC ビットが 1 にセットされます。IMR1(オフセット+1)の DEC IE ビットが 1 にセットされていると、このとき割り込みが発生します。AUXRE(オフセット+5)の DHDC ビットがセットされている場合は、このとき同時に DAC Holdoff 状態となります。DAC Holdoff 状態で停止したバス動作を継続するには、Valid 補助コマンドを発行してください。

AUXRE(オフセット+5)の DHADC ビットがセットされている場合は、NAT7210 がリスナとして指定されているかどうかにはかかわりなく、DCL または SDC リモートメッセージの受信で DAC Holdoff 状態となります。

DHDC または DHADC で割り込みを起こす必要があるときは、IMR1(オフセット+1)の CPT IE を 1 にセットしてください。

12 外形寸法図

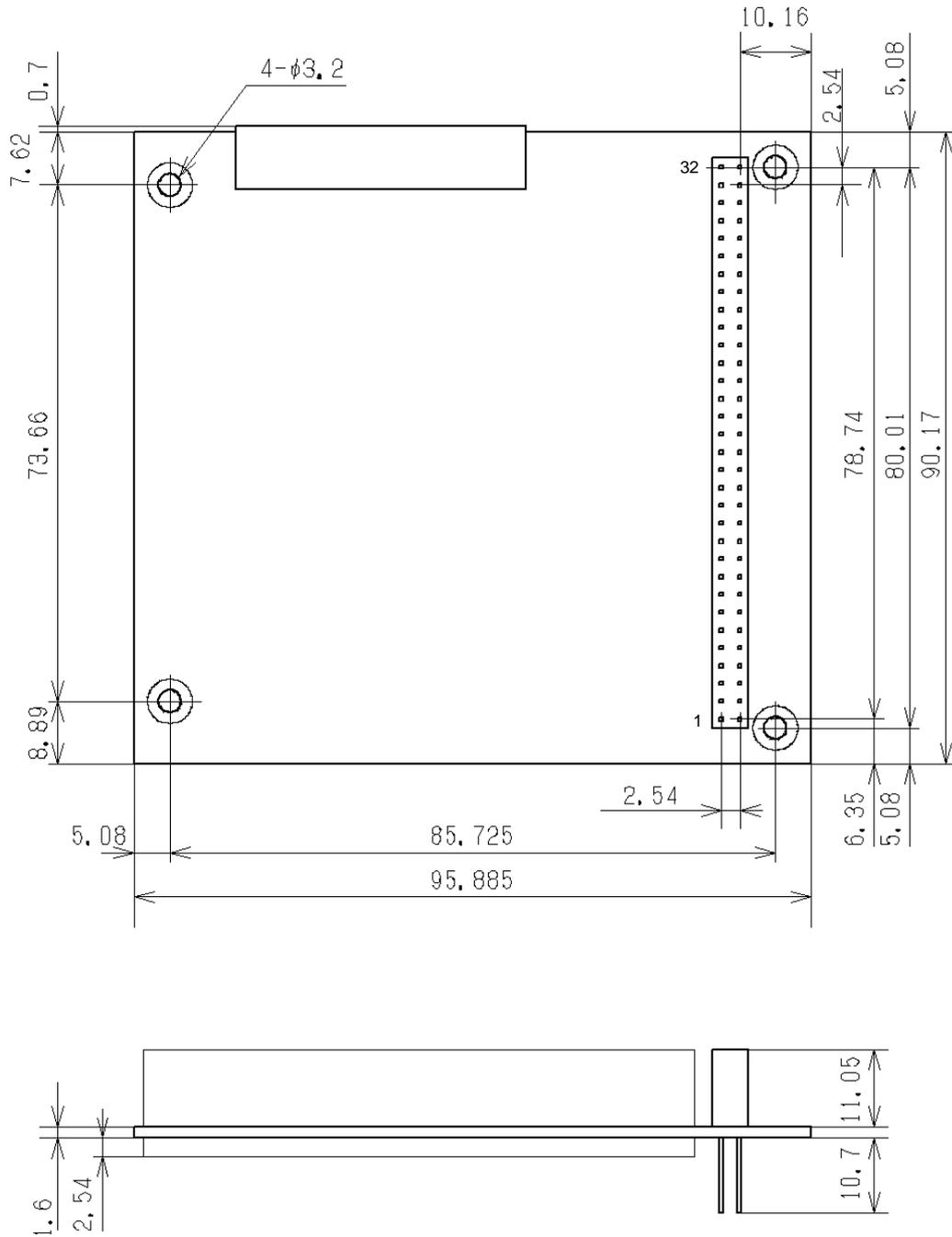


図 12-1 外形寸法図

寸法は原寸大ではありませんのでご注意ください。

付録 A HT3020 の C による操作

ここではサンプルプログラムに使用している、3020gpib.h,3020gpib.c のマクロ定義および関数について説明します。

A.1 定義されている定数

- I/O ベースアドレス
BASE_3020
0x02C0 が設定されていますので、JP1 を変更した場合はこの設定値も変更する必要があります。
- レジスタ名
DIR,CDOR,ISR1,IMR1,ISR2,IMR2,SPSR,SPMR,VSR,ICR2,ADSR,ADMR
CPTR,AUXMR,SASR,ADR0,ADR,ISR0,IMR0,ADR1,EOSR,BSR,BCR,DIPSW
これらのレジスタ名は、inp()関数や outp()関数のポートアドレス指定に使用できます。
- 補助レジスタ名
AUXRA,AUXRB,AUXRE,AUXRF,AUXRG,AUXRI,ICR,PPR
これらの補助レジスタ名は、AUXMR へ outp()関数で書き込みを行うときに設定値のベースとして使用します。例えば AUXRB の ISSbit と TRIbit をセットする場合は outp(AUXMR,AUXRB | ISSbit | TRIbit)のようにビット定義を AUXRB と OR して記述することができます。A.2.1 項に示すような補助レジスタ設定のためのマクロ定義も用意しています。
- レジスタビット名

表 A-1 各レジスタのビット名

レジスタ	ビット名称
ADR	ARSbit, DTbit, DIbit
ADSR	CICbit, ATNbit, SPMSbit, LPASbit, TPASbit, Labit, TAbit, MJMNbit
AUXRA	BINbit, XEOSbit, REOSbit
AUXRB	ISSbit, INVbit, TRIbit, SPEOIbit, CPTEbit
AUXRE	DHADTbit, DHADCbit, DHDTbit, DHDCbit
AUXRF	DHATAbit, DHALAbit, DHUNTbit, DHALLbit
AUXRG	NTNLbit, RPP2bit, DISTCTbit, CHESbit
AUXRI	USTDbit, PP2bit, SISBbit
IMR0	GLINTbit, STBOIEbit, NLENbit, IFCIIEbit, ATNIIIEbit, SYNCIEbit
IMR1	CPTIEbit, APTIEbit, DETIEbit, ENDIEbit, DECIEbit, ERRIEbit DOIEbit, DIIEbit
IMR2	SRQIIEbit, COIEbit, LOKCIEbit, REMCIEbit, ADSCIEbit
ISR0	nbabit, STBObit, NIbit, EOSbit, IFCIbit, ATNIbit, SYNCbit
ISR1	CPTbit, APTbit, DETbit, ENDRXbit, DECbit, ERRbit, Dobit, Dibit
ISR2	INTbit, SRQIbit, LOKbit, REMbit, Cobit, LOKCbit, REMCbit, ADSCbit
SPMR	RQSbit

これらのビット名は、そのビットが 1 となるバイトデータとして定義されていますので、複数のビットを 1 にセットする場合には論理 OR をとってください。例えば IMR1 の DOIE と DIIE を同時に 1 にするのであれば、DOIEbit | DIIEbit とします。

- 補助コマンド名
PON, CLEAR_IST, CHIP_RESET, RHDF, RTL, SEOI, NONVALID, RQC, IST, RLC

LUT, LUL, SET_RTL, NBAF, VALID, GTS, TCA, TCS, TCSE, LTN, LTN_CONT, LUN, CLEAR, RSC, SW9914, CLEAR_IFC, SET_IFC, CLEAR_REN, SET_REN, REQT, REQF, RPPL, PAGEIN, HLDI, CLEAR_DET, CLEAR_END, CLEAR_DEC, CLEAR_ERR, CLEAR_SRQI, CLEAR_LOKC, CLEAR_REMC, CLEAR_ADSC, CLEAR_IFCI, CLEAR_ATNI, CLEAR_SYNC, SET_SYNC

これらの補助コマンド名は、AUXMR に書き込みする補助コマンドモニックに対応しています。なお主要な補助コマンドについては、補助コマンドの発行をマクロ定義していますので A.2 節の機能別説明をご参照ください。

- マルチラインコマンド
UNL, UNT, GTL, SDC, PPC, GET, TCT, LLO, DCL, PPU, SPE, SPD, PPD
これらのマルチラインコマンドモニックは、issue_MLC()関数の引数として与えることができます。
- アドレスモード
No_Addressng, Normal_Dual, Extended_Single, Extended_Dual
Listen_Only, Talk_Only
これらのアドレスモード設定値は、ADMR に書き込みます。
- データ受信モード
Normal_Handshake, RFD_Holdoff_On_All, RFD_Holdoff_On_END, Continuous
これらのデータ受信モードは AUXRA に書き込みます。AUXRA の他のビットで 1 に設定するものがある場合は、論理 OR してください。例えば AUXRA の REOS ビットを 1 にセットし、データ受信モードは RFD_Holdoff_On_END とする場合は、REOSbit | RFD_Holdoff_On_END として設定します。

A.2 関数

この節では、定義されている関数(マクロおよびプログラム)を機能別に説明します。

A.2.1 初期設定関連

- pon(), chip_reset(), set_IFC(), clear_IFC(), set_REN(), clear_REN()
以上のマクロ関数は対応する補助コマンドを発行します。
- set_ADMR(x)
使用するアドレスモードを設定するマクロ関数です。引数には前項のアドレスモード設定値のいずれかを設定します。
- set_ADR0(x), set_ADR1(x)
各アドレスレジスタへ引数を設定するマクロ関数です。
- disable_ADR0(), disable_ADR1()
各アドレスレジスタの動作を禁止するマクロ関数です。
- set_AUXRA(x), set_AUXRB(x), set_AUXRE(x), set_AUXRF(x), set_AUXRG(x), set_AUXRI(x)
補助レジスタの設定を行うマクロ関数です。引数には 1 を設定するビット名を OR した式を記述します。例えば AUXRB の ISS ビット、TRI ビットをセットする場合は set_AUXRB(ISSbit | TRIbit) とします。全てのビットを 0 にクリアする場合は、引数に 0 を指定してください。
- set_8MCLK(x)
NAT7210 への供給クロック周波数を 8MHz に設定するマクロ関数です。引数(0 または 1)は ICR2 の SLOW ビットに設定されます。通常この設定値は 0 にします。
- issue_IFC()
IFC を約 100uS 間アサートし、このボードをシステムコントローラとする関数です。この関数は HT1010 の CPU(V55PI)内蔵ソフトウェアタイマカウンタ(STMC)を使用していますので、STMC は停止させないでください。(STMC は ROMDOS 起動時に設定され始動します。)

- `int timeout`
タイムアウト時間を設定する変数で、20 に初期化されています。データ送受信関数やコマンド送信関数は、この数値 × 55ms をタイムアウト時間としています。なお、タイムアウト時間の基準には DOS のシステムティックを使用していますので、HT1010 の CPU(V55PI)内蔵ソフトウェアタイマカウンタ(STMC)を停止させたり、この割り込みを禁止するとタイムアウトチェックがきかなくなりますのでご注意ください。

A.2.2 コントローラ状態制御

- `take_control_async()`, `take_control_sync()`, `tcs_on_END()`
コントローラスタンバイ状態からアクティブ状態に移行するためのマクロ関数です。それぞれ `tca`, `tcs`, `tcse` 補助コマンドを発行します。
- `go_to_standby()`
コントローラをスタンバイ状態に移行させるマクロ関数です。 `gts` 補助コマンドを発行します。
- `listen()`, `listen_continuous()`, `unlisten()`
これらのマクロ関数は、通常コントローラが自分自身をリスナ指定したり、解除したりするために使用します。それぞれ `ltn`, `ltn cont`, `lun` 補助コマンドを発行します。
- `release_control()`
コントローラをアイドル状態に移行させるマクロ関数です。

A.2.3 ハンドシェーク制御

- `finish_handshake()`
RFD Holdoff 状態を解除するマクロ関数で、 `rhdf` 補助コマンドを発行します。
- `valid()`, `nonvalid()`
DAC Holdoff 状態の制御を行うマクロ関数で、それぞれに該当する補助コマンドを発行します。
- `holdoff_immediately()`
RFD Holdoff を強制的に行うマクロ関数で、 `hldi` 補助コマンドを発行します。

A.2.4 ステータスクリア

- `clear_DET()`, `clear_END()`, `clear_DEC()`, `clear_ERR()`, `clear_SRQI()`
`clear_LOKC()`, `clear_REMC()`, `clear_ADSC()`, `clear_IFCI()`, `clear_ATNI()`
対応するステータスビットのクリアを行うマクロ関数です。これらの関数は AUXRI の SISB ビットが 1 の場合に使用してください。

A.2.5 コマンド送出

- `int issue_MLC(unsigned command)`
HT3020 がコントローラ時にマルチラインコマンドを GPIB に送出する関数です。コマンド送出が成功した場合は 0 が、失敗した場合(タイムアウトや、バスにリスナがない等)は 04H が返されます。
- `issue_MTA(x)`, `issue_MLA(x)`
`issue_MTA` はトーカアドレスコマンドを、 `issue_MLA` はリスナアドレスコマンドを GPIB に送出するマクロ関数です。 `x` には 0 から 31 までの GPIB

アドレスを指定します。アドレス送出が何らかの原因で失敗した場合は戻り値が 04H,成功した場合は戻り値が 0 となります。

A.2.6 データ転送

- `int receive_data_c(int ta, unsigned char *buffer)`
HT3020 がコントローラの場合に、トーカーを指定して `buffer` にデータを受信する関数です。END 条件に合致するデータ受信でデータ転送が終了し、受信データ数が戻り値として返ります。データ転送が何らかの原因で起動されなかったり、タイムアウトとなった場合は戻り値が-1 となります。
- `int send_data_c(int ta, int la, unsigned char *buffer, int length)`
HT3020 がコントローラの場合に、トーカー `ta` とリスナ `la` を指定して `buffer` 内のデータを指定した `length` バイト数分送信する関数です。トーカーアドレスにはコントローラのアドレスを指定してください。最終データの送信時に EOI をアサートします。正常にデータ転送が行われた場合は、転送したデータ数が戻り値として返ります。データ転送が何らかの原因で起動されなかったり、タイムアウトで終了した場合、またはハンドシェイクエラーとなった場合は戻り値が-1 となります。
- `int receive_data(unsigned char *buffer)`
HT3020 がリスナの場合に、`buffer` にデータを受信する関数です。END 条件に合致するデータ受信でデータ転送が終了し、受信データ数が戻り値として返ります。データ転送がタイムアウトで終了した場合は戻り値が-1 となります。
- `int send_data(unsigned char *buffer, int length)`
HT3020 がトーカーの場合に、`buffer` 内のデータを `length` バイト数分送信する関数です。最終データの送信時に EOI をアサートします。正常にデータ転送が行われた場合は、転送したデータ数が戻り値として返ります。データ転送がタイムアウトで終了したり、ハンドシェイクエラーとなった場合は戻り値が-1 となります。

A.2.7 シリアルポール

- `void init_serial_poll(void), int serial_poll(int adr), void finish_serial_poll(void)`
HT3020 がコントローラの場合に、シリアルポールを実行するための関数です。シリアルポールを開始するには `init_serial_poll()` をまず実行します。次にシリアルポールするデバイスのアドレスを与えて `serial_poll(adr)` を実行します。デバイスからのステータスはこの関数の戻り値となります。シリアルポールしたデバイスがサービス要求している場合は、ステータスのビット 6 が 1 にセットされます。シリアルポールしたデバイスがサービス要求していない場合は、次にシリアルポールするアドレスを与えて `serial_poll` 関数を再度呼び出し、サービス要求したデバイスが見つかるまでこれを繰り返します。サービス要求したデバイスが見つかった場合は、`finish_serial_poll()` を実行し、シリアルポール動作を終了させます。
- `generate_SRQ(x)`
サービスリクエストを行うためのマクロ関数です。引数にはコントローラに送出するステータスバイトを設定します。なお、引数のビット 6 には必ず 0 を設定してください。

A.2.8 パラレルポール

- `void ppoll_config(int la, int line, int s)`
コントローラがリモートパラレルポールコンフィグレーションを行う関数です。引数として、リスナアドレス `la`、応答に使用する DIO1-8 ライン `line`、極性 `s` を与えます。DIO ラインの番号は 1 から 8 ですのでご注意ください。例えば、デバイスの `ist` がアクティブの場合に DIO1 ラインを使用して 1 で応答する場合には、`ppoll_config(7,1,1)` のように設定します。
- `int ppoll(void)`
コントローラがパラレルポールを行う関数です。戻り値は DIO ラインの状態となります。
- `ppoll_unconfig()`
パラレルポールコンフィグレーションを解除するマルチラインコマンド PPU を発行するマクロ関数です。

付録 B バス状態・コマンド略号

本マニュアルでは GPIB の詳細については触れていませんが、説明中では IEEE488.1 で定義されている状態名やローカルコマンド名をそのまま使用していますので、ここではその略号の一部について表 B-1 に紹介します。

表 B-1 状態・メッセージモニック

記号	ステート
ACDS	Acceptor Data State
ACRS	Acceptor Ready State
ANRS	Acceptor Not Ready State
CADS	Controller Addressed State
CACS	Controller Active State
CIDS	Controller Idle State
CSBS	Controller Standby State
DCAS	Device Clear Active State
DTAS	Device Trigger Active State
HSTS	High Speed T1 State
LACS	Listener Active State
LADCS	Listener Addressed Or Active State
LADS	Listener Addressed State
LIDS	Listener Idle State
LOCS	Local State
NPRS	Negative Poll Response State
PACS	Parallel Poll Addressed To Configure State
PPAS	Parallel Poll Active State
SDYS	Source Delay State
SGNS	Source Generate State
SHAS	Source High-Speed Active State
SIDS	Source Idle State
SPAS	Serial Poll Active State
SPIS	Serial Poll Idle State
SPMS	Serial Poll Mode State
SRQS	Service Request State
STRS	Source Transfer State

TACS	Talker Active State
TADS	Talker Addressed State
TIDS	Talker Idle State
TPAS	Talker Primary Addressed State
TPIS	Talker Primary Idle State

記号	ローカルメッセージ
ist	Individual Status
lon	Listen Only
lun	Local Unlisten
nba	New Byte Available
pon	Power On
rdy	Ready For Next Message
rsv	Request Service
sic	Send Interface Clear
sre	Send Remote Enable
ton	Talk Only

記号	リモートメッセージグループ
ACG	Addressed Command Group
LAG	Listen Address Group
PCG	Primary Command Group
SCG	Secondary Command Group
TAG	Talk Address Group
UCG	Universal Command Group

HT3020 ユーザーズマニュアル 2001年4月20日 rev.1.10

梅澤無線電機株式会社

東京営業部

101-0044 東京都千代田区鍛冶町 2-3-14

TEL03-3256-4491 FAX03-3256-4494

仙台営業所

982-0012 仙台市太白区長町南 4 丁目 25-5

TEL022-304-3880 FAX022-304-3882

札幌営業所

060-0062 札幌市中央区南 2 条西 7 丁目

TEL011-251-2992 FAX011-281-2515

本製品・資料についての技術的なお問い合わせは技術推進部直通ダイヤル(TEL/FAX)へ



0 1 2 0 - 0 2 4 7 6 8