



HT1070 hardware manual

Version 1.13

2006年11月1日

梅沢無線電機株式会社

<http://www.umezawa.co.jp>

株式会社アットマークテクノ

<http://www.atmark-techno.com>

Armadillo 公式サイト

<http://armadillo.atmark-techno.com>

目次

1.	はじめに	1
2.	注意事項	2
2.1.	安全に関する注意事項	2
2.2.	取り扱い上の注意事項	2
2.3.	ソフトウェア使用に関しての注意事項	2
2.4.	商標について	2
3.	概要	3
3.1.	ボード概要	3
3.2.	ブロック図	4
4.	メモリマップ	5
4.1.	ハードウェアメモリマップ	5
4.2.	Linux 使用時のメモリマップ	6
5.	各種インターフェース仕様	7
5.1.	各種インターフェースの配置	7
5.2.	CON1 (LAN コネクタ)	8
5.3.	CON2 (A/D コンバータへの入力)	9
5.4.	CON3 (シリアルインターフェース 1)	10
5.5.	CON4 (シリアルインターフェース 2)	10
5.6.	CON5 (パラレルインターフェース)	12
5.7.	CON6	12
5.8.	CON7	12
5.9.	CON8 (Compact Flash)	13
5.10.	CON9	15
5.11.	CON10 (電源入力)	15
5.12.	CON11 (拡張電源入力)	15
5.13.	CON12 (汎用 I/O ポート)	16
5.14.	J1, J2 (PC/104 準拠拡張バス)	17
5.14.1.	PC/104 拡張バスアクセス時の注意事項	20
5.14.2.	アクセスタイミング	22
5.15.	LED (D1, D2)	23
5.16.	LED (D3)	24
5.17.	LED (D4)	25
5.18.	JP1 ~ 3	25
5.19.	コネクタ型式	26
5.20.	LED 型式(参考)	26

6. その他の各種機能	27
6.1. CPLD 内部レジスタ(I/O Control Register)	27
6.1.1. I/O Control レジスタのメモリマップ	27
6.1.2. 各種 I/O Control レジスタの詳細	28
6.1.3. PC/104 の割り込みコントローラの仕組み	29
6.2. LED (D9)	30
6.3. カレンダー時計(Real Time Clock)	30
6.4. CPU(EP7312)の外部割り込み(EINT2*)信号への入力	31
7. 基板形状図	32
8. 基板リビジョンについて	33

表目次

表 3-1	Armadillo ボード仕様	3
表 4-1	Armadillo ハードウェア メモリマップ	5
表 4-2	Armadillo Linux 使用時のメモリマップ	6
表 5-1	各種インターフェースの内容	8
表 5-2	CON1 信号配列	8
表 5-3	CON2 信号配列	10
表 5-4	CON3 信号配列	10
表 5-5	CON4 信号配列	11
表 5-6	CON5 信号配列	12
表 5-7	パラレルインターフェースの電気的仕様	12
表 5-8	ATA レジスタのメモリマップ	13
表 5-9	CON8 信号配列	14
表 5-10	CON10 信号配列	15
表 5-11	CON11 信号配列	15
表 5-12	CON12 信号配列	16
表 5-13	J1 信号配列(1)	17
表 5-14	J1 信号配列(2)	18
表 5-15	J2 信号配列(1)	19
表 5-16	J2 信号配列(2)	19
表 5-17	LED(D1,D2) の状態	23
表 5-18	ジャンパの設定と動作	25
表 5-19	コネクタ型式の一覧	26
表 5-20	LED 型式の例	26
表 6-1	I/O Control レジスタのメモリマップ	27
表 6-2	各種 I/O Control レジスタの詳細	28
表 6-3	各種 I/O Control レジスタの各ビットの意味	28
表 8-1	HT1070 相違点	33

図目次

図 3-1	Armadillo ブロック図	4
図 5-1	各種インターフェースの配置	7
図 5-2	CPU(EP7312)と ADC(MAX149)の接続	9
図 5-3	CPU(EP7312)-ADC(MAX149)間のアクセスタイミング	9
図 5-4	COM2 周辺回路	11
図 5-5	CON12 の位置	16
図 5-6	PC/104 バスのメモリ空間	20
図 5-7	PC/104 バスへのアクセス方法	21
図 5-8	PC/104 バスアクセスタイミング	22
図 5-9	LED(D1,2)の接続	23
図 5-10	CF のアクセスランプ (D3) の周辺回路	24
図 5-11	LED(D4)の接続	25
図 5-12	ジャンパコネクタ	25
図 6-1	PC/104 の割り込みコントローラの仕組み	29
図 6-2	LED(D9)の接続	30
図 6-3	CPU(EP7312)と RTC(S-35390A または S-3531A)の接続	31
図 6-4	外部割り込み信号の接続	31
図 7-1	Armadillo[HT1070]の基板形状	32

1.はじめに

このたびは Armadillo[HT1070] をお求めいただき、ありがとうございます。

Armadillo は CirrusLogic の EP7312 をプロセッサとして採用し、周辺には SDRAM、フラッシュメモリ、イーサネットコントローラ等を搭載したシングルボードコンピュータです。

プロセッサの EP7312 は ARM720T を CPU コアとして採用し、周辺にシリアルインターフェース、パラレルインターフェース、タイマ等が集積されており、ネットワークを利用した制御用途に最適なマイクロプロセッサです。

さらに Linux を標準の OS オペレーティングシステムとして採用しておりますので、アプリケーションソフトウェアの開発には GNU のアセンブラや C コンパイラ等を使用することができます。アプリケーションプログラムを保存する、オンボードフラッシュメモリの書き込みには特別なライターハードウェアが不要で、パソコンからシリアルポートを通じて転送するだけです。また大規模なアプリケーションやデータにも対応できるよう、ハードディスクのように使うことができる Compact Flash のスロットを搭載しています。

本マニュアルは、Armadillo のハードウェアの仕様や使用方法について書かれたものです。Armadillo の機能を最大限引き出すために、ご活用いただければ幸いです。

Armadillo には基板リビジョンが C,D,E の 3 タイプがありますが、本マニュアルでは Rev.E 基板の Armadillo を基本に説明しています。Rev.C/D 基板との相違点については 8 章をご参照ください。

2. 注意事項

2.1. 安全に関する注意事項

Armadillo を安全にご使用いただくために、特に以下の点にご注意くださいますようお願いいたします。



本製品には一般電子機器用（OA機器・通信機器・計測機器・工作機械等）に製造された半導体部品を使用しておりますので、その誤作動や故障が直接生命を脅かしたり、身体・財産等に危害を及ぼす恐れのある装置（医療機器・交通機器・燃焼制御・安全装置等）に組み込んで使用したりしないでください。また、半導体部品を使用した製品は、外来ノイズやサージにより誤作動したり故障したりする可能性がありますので、ご使用になる場合は万一誤作動、故障した場合においても生命・身体・財産等が侵害されることのないよう、装置としての安全設計（リミットスイッチやヒューズ・ブレーカ等の保護回路の設置、装置の多重化等）に万全を期されますようお願い申し上げます。

2.2. 取り扱い上の注意事項

Armadillo に恒久的なダメージをあたえないよう、取り扱い時には以下のような点にご注意ください。

- 電源の投入
Armadillo や周辺回路に電源が入っている状態では絶対に本ボードの着脱を行わないでください。
- 静電気
Armadillo には CMOS デバイスを使用しておりますので、ご使用になるまでは帯電防止対策のされている、出荷時のパッケージ等にて保管してください。
- ラッチアップ
電源および入出力からの過大なノイズやサージ、電源電圧の急激な変動等で使用している CMOS デバイスがラッチアップを起こす可能性があります。いったんラッチアップ状態となると、電源を切断しないかぎりこの状態が維持されるため、デバイスの破損につながる可能性があります。ノイズの影響を受けやすい入出力ラインには保護回路を入れることや、ノイズ源となる装置と共通の電源を使用しない等の対策をとることをお勧めします。

2.3. ソフトウェア使用に関する注意事項

- 本製品に含まれるソフトウェアについて
本製品に含まれるソフトウェア（付属のドキュメント等も含みます）は、現状のまま（AS IS）提供されるものであり、特定の目的に適合することや、その信頼性、正確性を保証するものではありません。また、本製品の使用による結果についてもなんら保証するものではありません

2.4. 商標について

記載の商品名および会社名は、各社・各団体の商標または登録商標です。

3. 概要

3.1. ボード概要

Armadillo の主な仕様を表 3 - 1 に示します。

表 3-1 Armadillo ボード仕様

プロセッサ	CirrusLogic EP7312 ARM720T コア採用 - ARM7TDMI CPU - 8kByte キャッシュ - Write Buffer - Thumb code(16bit 命令セット)サポート
システムクロック	CPU Core クロック : 73.728MHz(18,36,49MHz も設定可能) BUS クロック: 36.684MHz(18MHz も設定可能)
メモリ	SDRAM : 32MByte(32bit 幅) FLASH : 4Mbyte(16bit 幅) オンチップ SRAM : 48kByte(EP7312 に内蔵)
LAN インターフェース	CS8900A / 10Base-T
シリアルポート	2 チャンネル(調歩同期, Max:115.2kbps) RS232C レベル入出力 フロー制御 ・ COM1:フロー制御ピン有り(CTS,RTS,DTR,DSR,DCD,RI) ・ COM2:フロー制御ピン無し
汎用パラレル入出力	8 ビット
タイマ	16 ビット 2 チャンネル (1 チャンネルは Linux のシステムタイマに使用)
A/D コンバータ	Maxim 社製 MAX149B 搭載 10 ビット 8 チャンネル, 逐次比較 シリアル制御(シリアル制御の動作クロック: max 128kHz 1) 入力電圧範囲(ユニポーラ:0~2.5V, バイポーラ:±1.25V)
カレンダー時計(RTC)	SII 社製 : S-35390A または S-3531A (2) 0.1F 電気二重層コンデンサによりバックアップ(電池併用可能)
コンパクトフラッシュ	Type I / II に対応 (True IDE モードのみ対応)
拡張バス	PC/104 準拠ピン配列(16bit)
基板サイズ	90.2 × 95.9 (突起部含まず)
電源電圧	5V ± 10%
消費電流	200mA(Typ.)

- 1 サンプル周波数ではありません。
- 2 S-35390A は HT1070-U00G、S-3531A は HT1070-U00 に実装されています。
(2007 年 8 月より S-35390A に統合予定)

3.2. ブロック図

Armadillo のブロック図を図 3-1 に示します。

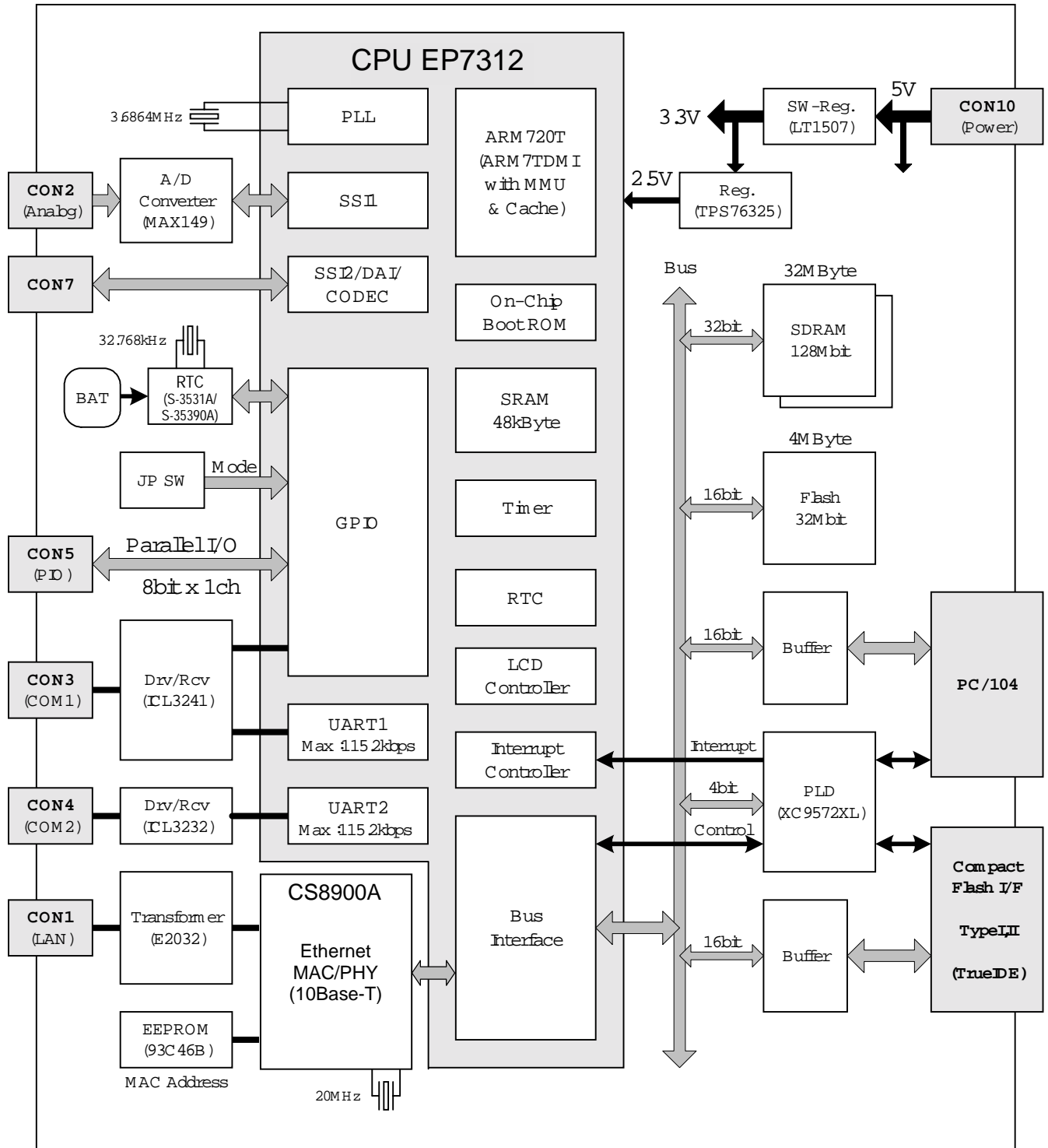


図 3-1 Armadillo ブロック図

4. メモリマップ

4.1. ハードウェアメモリマップ

Armadillo のハードウェアメモリマップは次の通りです。

表 4-1 Armadillo ハードウェア メモリマップ

Start Address	End Address	デバイス	メモリエリア	設定
0x0000 0000	0x003F FFFF	Flash Memory (4MB)	CS0	16bit-width 3-wait
0x0040 0000	0x0FFF FFFF	Reserved		
0x1000 0000	0x1FFF FFFF	Unused	CS1	
0x2000 0000	0x2000 02FF	Unused	CS2	16bit-width 5-wait
0x2000 0300	0x2000 030F	CS8900A LAN Controller		
0x2000 0310	0x2FFF FFFF	Unused		
0x3000 0000	0x3000 000F	I/O Control Register	CS3	8bit-width 2-wait
0x3000 0010	0x31FF FFFF	Reserved		
0x3200 0000	0x3200 FFFF	PC/104 8bit-I/O 仮想エリア		
0x3201 0000	0x32FF FFFF	Reserved		
0x3300 0000	0x33FF FFFF	PC/104 8bit-メモリ仮想エリア		
0x3400 0000	0x3FFF FFFF	Reserved		
0x4000 0000	0x4000 003F	Compact Flash (IDE)		
0x4000 0040	0x41FF FFFF	Reserved		
0x4200 0000	0x4200 FFFF	PC/104 16bit-I/O 仮想エリア		
0x4201 0000	0x42FF FFFF	Reserved		
0x4300 0000	0x43FF FFFF	PC/104 16bit-メモリ仮想エリア		
0x4400 0000	0x4FFF FFFF	Reserved		
0x5000 0000	0x5FFFFFFF	Unused	CS5	
0x6000 0000		On Chip SRAM (48KB)	CS6	Internal Memory
	0x6FFF FFFF	Reserved		
0x7000 0000	0x7000 007F	On Chip Boot ROM (128B)	CS7	Internal Memory
0x7000 0080	0x7FFF FFFF	Reserved		
0x8000 0000	0x8000 1FFF	EP7312 Internal Register (from CL-PS7111)	CPU System Register	
0x8000 2000	0x8000 3FFF	EP7312 Internal Register		
0x8000 4000	0xBFFF FFFF	Unused		
0xC000 0000	0xC1FF FFFF	SDRAM (32MB)	SDRAM	32bit-width CAS_L=2
0xC200 0000	0xCFFF FFFF	Unused		
0xD000 0000	0xFFFF FFFF	Unused	Unused	

4.2. Linux 使用時のメモリマップ

Armadillo は Linux を使用する場合、MMU の設定により次のようなメモリマップに設定されます。

表 4-2 Armadillo Linux 使用時のメモリマップ

Start Address	End Address	設定	メモリエリア	設定
0x0000 0000	0x003F FFFF	Flash Memory (4MB)	CS0	16bit-width 3-wait
0x0040 0000	0x0FFF FFFF	Reserved		
0x1000 0000	0x1FFF FFFF	Unused	CS1	
0xFE00 0000	0xFE00 02FF	Unused	CS2	16bit-width 5-wait
0xFE00 0300	0xFE00 030F	CS8900A LAN Controller		
0xFE00 0310	0xFEFF FFFF	Unused		
0xF000 0000	0xF000 000F	I/O Control Register	CS3	8bit-width 2-wait
0xF000 0010	0xF1FF FFFF	Reserved		
0xF200 0000	0xF200 FFFF	PC/104 8bit-I/O 仮想エリア (8bit)		
0xF201 0000	0xF2FF FFFF	Reserved		
0xF300 0000	0xF3FF FFFF	PC/104 8bit-メモリ仮想エリア(8bit)		
0xF400 0000	0xF400 003F	Compact Flash (IDE)		
0xF400 0040	0xF5FF FFFF	Reserved	CS4	16bit-width 2-wait
0xF600 0000	0xF600 FFFF	PC/104 16bit-I/O 仮想エリア		
0xF601 0000	0xF6FF FFFF	Reserved		
0xF700 0000	0xF7FF FFFF	PC/104 16bit-メモリ仮想エリア		
0x5000 0000	0x5FFFFFFF	Unused	CS5	
0x6000 0000	0x6000 BFFF	On Chip SRAM (48KB)	CS6	Internal Memory
0x6000 C000	0x6FFF FFFF	Reserved		
0x7000 0000	0x7000 007F	On Chip Boot ROM (128B)	CS7	Internal Memory
0x7000 0080	0x7FFF FFFF	Reserved		
0xFF00 0000	0xFF00 1FFF	EP7312 Internal Register (from CL-PS7111)	CPU System Register	
0xFF00 2000	0xFF00 3FFF	EP7312 Internal Register		
0xFF00 4000	0xFFFF FFFF	Unused		
0xC000 0000	0xC1FF FFFF	SDRAM (32MB)	SDRAM	32bit-width CAS_L=2
0xC200 0000	0xCFFF FFFF	Unused		
0xD000 0000	0xFFFF FFFF	Unused	Unused	

5. 各種インターフェース仕様

5.1. 各種インターフェースの配置

Armadillo のインターフェースの配置は次の通りです。

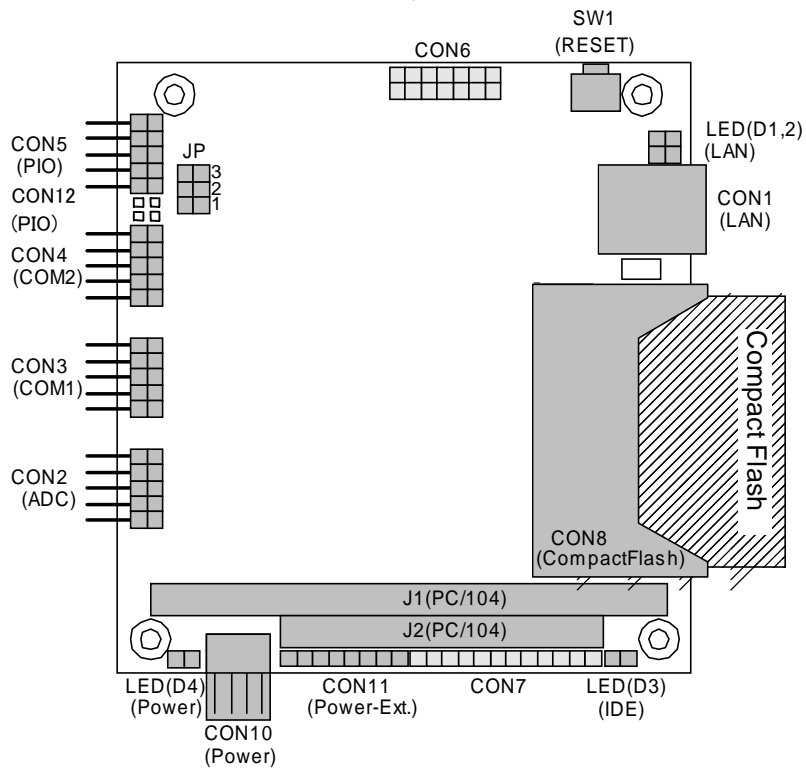


図 5-1 各種インターフェースの配置

表 5-1 各種インターフェースの内容

記号	インターフェース
CON1	LAN コネクタ(10Base-T)
CON2	A/D コンバータへの信号入力
CON3	シリアルインターフェース 1
CON4	シリアルインターフェース 2
CON5	パラレルインターフェース (8bit 汎用入出力)
CON6	(Reserved)
CON7	(Reserved)
CON8	Compact Flash スロット (Type I / II, True IDE モードのみ対応)
CON9	(Reserved)
CON10	電源入力端子(5V,12V)
CON11	拡張電源入力端子(-5V, -12V, RTC バックアップ)
CON12	パラレルインターフェース(4bit 汎用入出力)
J1, 2	PC/104 拡張コネクタ
LED (D1, 2)	LAN アクセス (Link, Active)
LED (D3)	Compact Flash(IDE)アクセス
LED (D4)	電源
JP1 ~ 3	起動モード設定ジャンパ

5.2. CON1 (LAN コネクタ)

CON1 は 10Base-T の LAN インターフェースです。カテゴリ 5 以上またはカテゴリ 3 の Ethernet ケーブルを接続することができます。通常はハブに対してストレートケーブルで接続しますが、クロスケーブルを使用して直接パソコン等の機器と接続することもできます。LAN コントローラは CS8900A です。

表 5-2 CON1 信号配列

番号	信号名	I/O	機能
1	TX+	O	差動のツイストペア送信出力(+)
2	TX-	O	差動のツイストペア送信出力(-)
3	RX+	I	差動のツイストペア受信入力(+)
4	-	-	
5	-	-	
6	RX-	I	差動のツイストペア受信入力(-)
7	-	-	
8	-	-	

5.3.CON2 (A/D コンバータへの入力)

CON2 は A/D コンバータ(ADC)の入力です。ADC は MAXIM 社の MAX149 が搭載されています。ADC は CPU(EP7312)の SSI(A/D コンバータインターフェース)と接続されており、同期シリアル方式で通信します。(図 5-2, 図 5-3 参照)

- 逐次比較型 A/D コンバータ
- 8 チャンネルシングルエンド又は 4 チャンネル差動入力が可能()
- ADC へのアナログ入力電圧範囲：ユニポーラ入力で 0 ~ 2.5V、バイポーラ入力で ±1.25V
- 同期シリアル通信のクロック：最大 128kHz

差動入力モードでは、IN+及び IN-は CH0/CH1、CH2/CH3、CH4/CH5 及び CH6/CH7 の組み合わせから選択されます。IN-と AGND の間に 0.1μF のコンデンサを接続してください。

また、差動モードの場合でも、双方の入力電圧は 0(GND) ~ 3.3V(Vdd)の範囲を超えられません。詳しくは MAX149 のデータシートを参照してください。

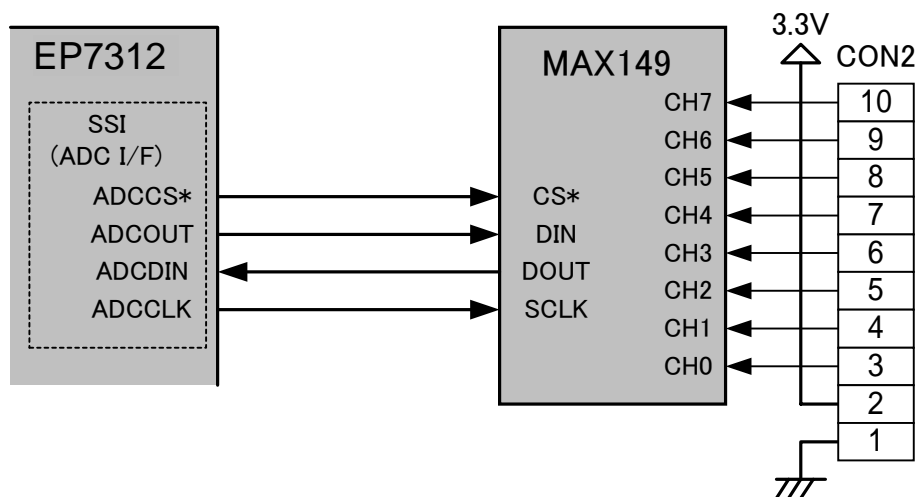


図 5-2 CPU(EP7312)と ADC(MAX149)の接続

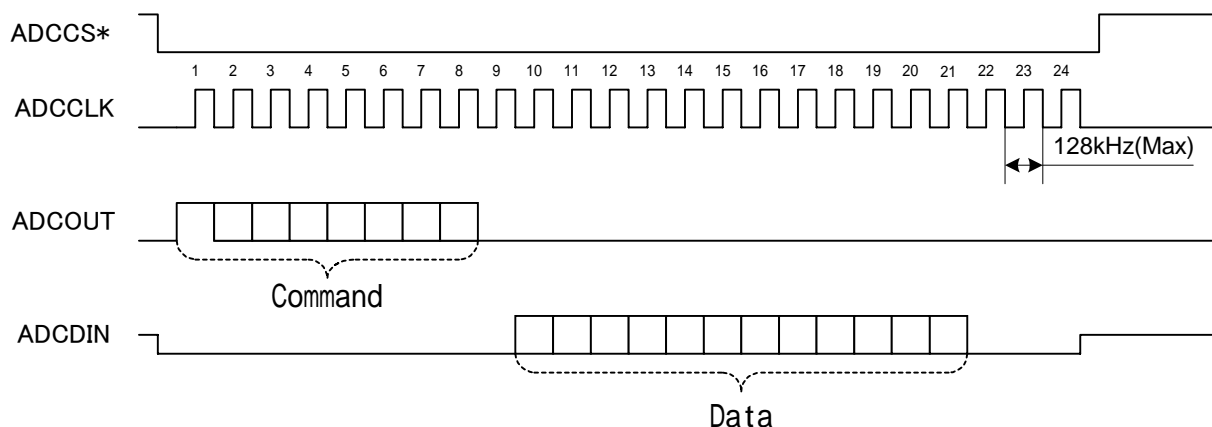


図 5-3 CPU(EP7312)-ADC(MAX149)間のアクセスタイミング

表 5-3 CON2 信号配列

番号	信号名	I/O	機能
1	GND	Power	電源(GND)
2	+3.3V	Power	電源(+3.3V)
3	CH0	I	アナログ入力 チャンネル 0
4	CH1	I	アナログ入力 チャンネル 1
5	CH2	I	アナログ入力 チャンネル 2
6	CH3	I	アナログ入力 チャンネル 3
7	CH4	I	アナログ入力 チャンネル 4
8	CH5	I	アナログ入力 チャンネル 5
9	CH6	I	アナログ入力 チャンネル 6
10	CH7	I	アナログ入力 チャンネル 7

5.4. CON3 (シリアルインターフェース 1)

CON 3 は非同期(調歩同期)シリアルインターフェースです。CPU(EP7312)の UART1 と接続されています。

- 信号入出力レベル：RS232C レベル
- 最大データ転送レート：115.2kbps
- フロー制御：CTS, RTS, DTR, DSR, DCD, RI
- FIFO：送受信ともに 16Byte 内蔵

表 5-4 CON3 信号配列

番号	信号名	I/O	機能
1	DCD	I	EP7312 内蔵の UART1-DCD ピンに接続
2	DSR	I	EP7312 内蔵の UART1-DSR ピンに接続
3	RXD	I	EP7312 内蔵の UART1-RXD ピンに接続
4	RTS	O	EP7312 内蔵の UART1-RTS ピンに接続
5	TXD	O	EP7312 内蔵の UART1-TXD ピンに接続
6	CTS	I	EP7312 内蔵の UART1-CTS ピンに接続
7	DTR	O	EP7312 内蔵の UART1-DTR ピンに接続
8	RI	I	EP7312 内蔵の Port D3 ピンに接続
9	GND	Power	電源(GND)
10	+3.3V	Power	電源(+3.3V)

5.5. CON4 (シリアルインターフェース 2)

CON4 はシリアルインターフェース UART2 の入出力コネクタです。Rev.C/D 基板では CON4 の 4 ピン (RTS 出力)-6 ピン(CTS 入力)間がショートされていたのでハードフロー制御ができませんでした。Rev.E 基板では RTS を EP7312 の PIO PA5 から出力し、CTS を PIO PA6 で入力できるような接続パターンを用意しています。(工場出荷時は従来同様 RTS-CTS 間がショートとなっています。)

ハードフロー制御信号を使用する場合は R88 に実装されている 0 チップ抵抗を取り除き、R93/R94/R96/R97 に 0 チップ抵抗を取付けてください。該当部分の回路を図 5-4 に示します。

- 信号入出力レベル：RS232C レベル
- 最大データ転送レート：115.2kbps
- フロー制御：なし(出荷時)
- FIFO：送受信ともに 16Byte 内蔵

表 5-5 CON4 信号配列

番号	信号名	I/O	機能
1	-		
2	-		
3	RXD	I	EP7312 内蔵の UART2-RXD ピンに接続
4	RTS	O	CON4(6pin)と基板上で接続
5	TXD	O	EP7312 内蔵の UART2-TXD ピンに接続
6	CTS	I	CON4(4pin)と基板上で接続
7	-		
8	-		
9	GND	Power	電源(GND)
10	+3.3V	Power	電源(+3.3V)

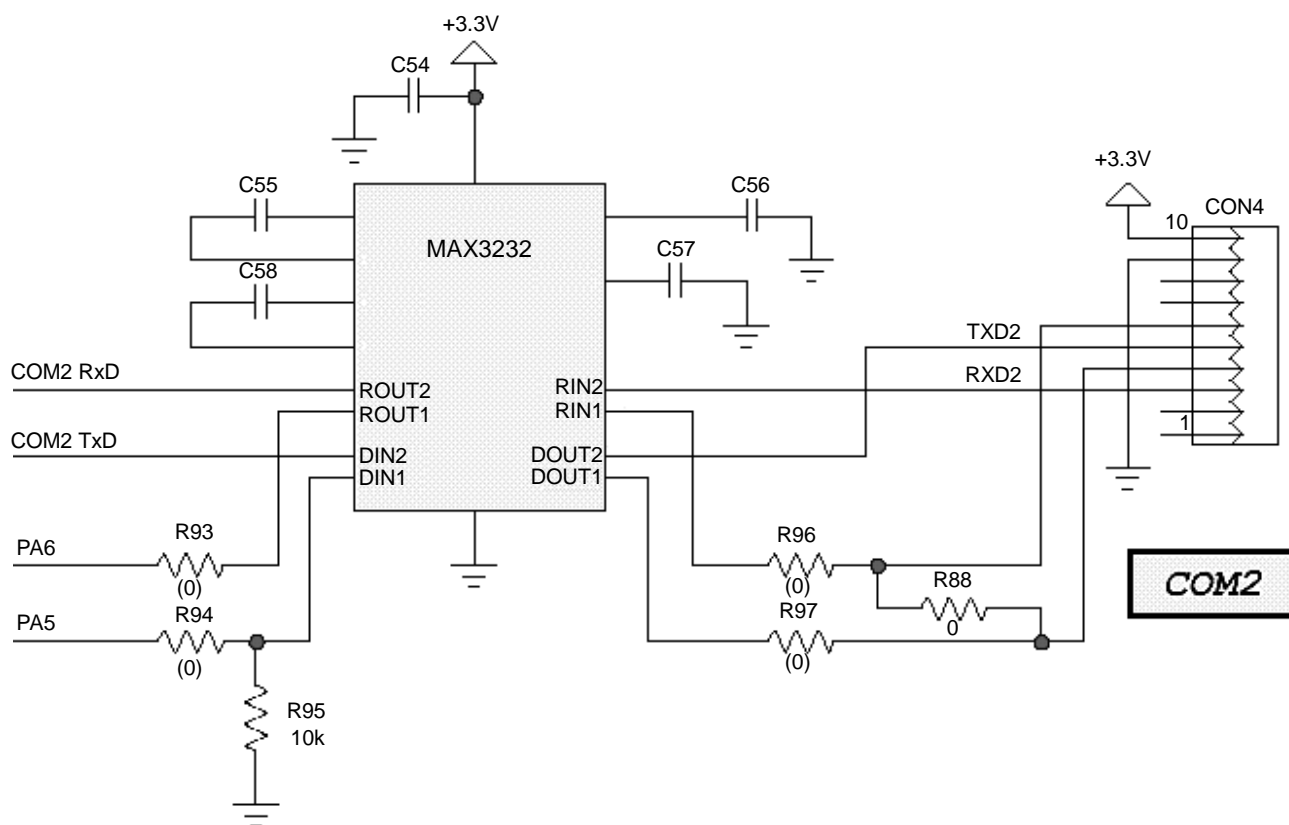


図 5-4 COM2 周辺回路

5.6. CON5 (パラレルインターフェース)

CON5 は汎用入出力ポートです。CPU(EP7312)の GPIO(General Purpose I/O) Port-B と接続されています。CPU 内の PBDR(Port B data register I/O: 0x8000 0001 番地)、PBDDR(Port B data direction register I/O: 0x8000 0041 番地)を使用して制御することができます。

表 5-6 CON5 信号配列

番号	信号名	I/O	機能
1	GND	Power	電源(GND)
2	+3.3V	Power	電源(+3.3V)
3	GPIO_B0	I/O	汎用入出力ポート B0
4	GPIO_B1	I/O	汎用入出力ポート B1
5	GPIO_B2	I/O	汎用入出力ポート B2
6	GPIO_B3	I/O	汎用入出力ポート B3
7	GPIO_B4	I/O	汎用入出力ポート B4
8	GPIO_B5	I/O	汎用入出力ポート B5
9	GPIO_B6	I/O	汎用入出力ポート B6
10	GPIO_B7	I/O	汎用入出力ポート B7

パラレルインターフェースの電気的仕様は次の通りです。

表 5-7 パラレルインターフェースの電気的仕様

Symbol	Parameter	Min	Max	Unit	Conditions
V _{IH}	CMOS Input high voltage	0.65 × V _{DDIO}	V _{DDIO} +0.3	V	V _{DDIO} =3.3V
V _{IL}	CMOS Input low voltage	-0.3	0.25 × V _{DDIO}	V	
V _{OH}	CMOS Output high voltage	2.5		V	I _{OH} =4mA
V _{OL}	CMOS Output low voltage		0.5	V	I _{OL} =-4mA
I _{IL}	Input leakage current		1.0	μA	V _{IN} =V _{DD} or GND

5.7. CON6

このコネクタを使用する場合の動作は保証されておりません。

5.8. CON7

このコネクタを使用する場合の動作は保証されておりません。

5.9. CON8 (Compact Flash)

Armadillo は Compact Flash のインターフェースを搭載しています。True IDE モード対応で ATA デバイスを接続することができます。Armadillo 側の転送モードは I/O Control Register(0x3000 000E 番地)の"IDE MODE"ビットで設定します。

- 接続モード：True IDE モード
- 転送モード：PIO モード 0,3 対応
- 対応形状：Type I, Type II

ATA レジスタのメモリマップは表 5-8 の通りです。

表 5-8 ATA レジスタのメモリマップ

Hardware Address	Linux Address	Read	Write
0x4000 0000	0xF400 0000	Data Register (16bit)	
0x4000 0002	0xF400 0002	Error Register	Features Register
0x4000 0004	0xF400 0004	Interrupt Reason Register (ATAPI) Sector Count Register (ATA)	
0x4000 0006	0xF400 0006	Sector Number Register (ATA)	
0x4000 0008	0xF400 0008	Byte Count LSB Register (ATAPI) Cylinder Low Register (ATA)	
0x4000 000A	0xF400 000A	Byte Count MSB Register (ATAPI) Cylinder High Register (ATA)	
0x4000 000C	0xF400 000C	Device / Head Register	
0x4000 000E	0xF400 000E	Status Register	Command Register
0x4000 0020	0xF400 0020	(Reserved)	
0x4000 0022	0xF400 0022	(Reserved)	
0x4000 0024	0xF400 0024	(Reserved)	
0x4000 0026	0xF400 0026	(Reserved)	
0x4000 0028	0xF400 0028	(Reserved)	
0x4000 002A	0xF400 002A	(Reserved)	
0x4000 002C	0xF400 002C	Alternate Status Register	Device Control Register
0x4000 002E	0xF400 002E	(Reserved)	

表 5-9 CON8 信号配列

番号	信号名	I/O	機能
1	GND	Power	電源(GND)
2	D3	I/O	データバス(bit3)
3	D4	I/O	データバス(bit4)
4	D5	I/O	データバス(bit5)
5	D6	I/O	データバス(bit6)
6	D7	I/O	データバス(bit7)
7	CS0	O	チップセレクト信号 0
8	GND	Power	電源(GND)
9	ATASEL*	O	GND
10	GND	Power	電源(GND)
11	GND	Power	電源(GND)
12	GND	Power	電源(GND)
13	+3.3V	Power	電源(+3.3V)
14	GND	Power	電源(GND)
15	GND	Power	電源(GND)
16	GND	Power	電源(GND)
17	GND	Power	電源(GND)
18	A2	O	アドレスバス(bit2)
19	A1	O	アドレスバス(bit1)
20	A0	O	アドレスバス(bit0)
21	D0	I/O	データバス(bit0)
22	D1	I/O	データバス(bit1)
23	D2	I/O	データバス(bit2)
24	IOCS16*	-	非サポート
25	CD1*	-	非サポート
26	CD2*	-	非サポート
27	D11	I/O	データバス(bit11)
28	D12	I/O	データバス(bit12)
29	D13	I/O	データバス(bit13)
30	D14	I/O	データバス(bit14)
31	D15	I/O	データバス(bit15)
32	CS1*	O	チップセレクト信号 1
33	-	-	
34	IORD*	O	I/O リード・イネーブル
35	IOWR*	O	I/O ライト・イネーブル
36	+3.3V	Power	電源(+3.3V)
37	INTRQ	I	割り込み要求
38	+3.3V	Power	電源(+3.3V)
39	CSEL	O	ケーブルセレクト(GND)
40	-	-	
41	RESET*	O	リセット
42	IORDY	I	レディ
43	-	-	
44	+3.3V	Power	電源(+3.3V)
45	DASP*	I	デバイスアクセスインジケータ
46	PDIAG*	I	非サポート
47	D8	I/O	データバス(bit8)
48	D9	I/O	データバス(bit9)
49	D10	I/O	データバス(bit10)
50	GND	Power	電源(GND)

5.10. CON9

このコネクタを使用する場合の動作は保証されておりません。

5.11. CON10 (電源入力)

Armadillo に供給する電源接続コネクタです。Armadillo の動作に必要な最低限の電源は+5V-GND です。
+12V は PC/104 の +12V 供給ピンにそのまま接続されます。

表 5-10 CON10 信号配列

番号	信号名	I/O	機能
1	+12V	Power	電源(+12V)入力() PC/104 の+12V ピンに供給されます。
2	GND	Power	電源(GND)
3	GND	Power	電源(GND)
4	+5V	Power	電源(+5V)入力

Armadillo の動作には必要ありません。

5.12. CON11 (拡張電源入力)

Armadillo に供給する電源接続コネクタです。

表 5-11 CON11 信号配列

番号	信号名	I/O	機能
1	GND	Power	電源(GND)
2	BAT	Power	RTC バックアップ用電源入力()
3	GND	Power	電源(GND)
4	-	-	(Reserved)
5	GND	Power	電源(GND)
6	-5V	Power	電源(-5V)入力() PC/104 の-5V ピンに供給されます。
7	GND	Power	電源(GND)
8	-12V	Power	電源(-12V)入力() PC/104 の-12V ピンに供給されます。

Armadillo の動作には必要ありません。

5.13. CON12 (汎用 I/Oポート)

CON12 は汎用入出力ポートです。CPU(EP7312)の GPIO(General Purpose I/O)Port-A と E の一部信号を取り出すことができます。(コネクタは実装されていません。) なお Rev.C 基板には CON12 がありません。当該部分の信号配列を表 5-12、位置を図 5-5 に示します。

表 5-12 CON12 信号配列

番号	信号名	I/O	機能
1	CPIO_E0	I/O	汎用入出力ポート E0
2	CPIO_E1	I/O	汎用入出力ポート E1
3	CPIO_E2	I/O	汎用入出力ポート E2
4	CPIO_A7	I/O	汎用入出力ポート A7

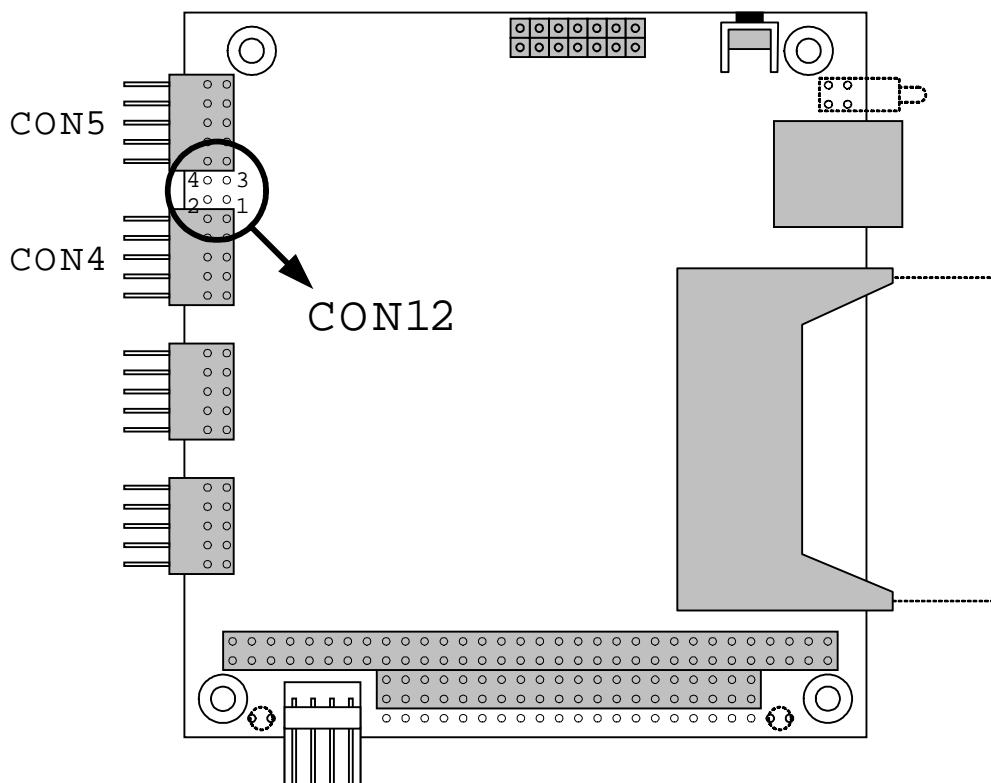


図 5-5 CON12 の位置

5.14. J1, J2 (PC/104 準拠拡張バス)

J1, J2 は PC/104 準拠のバス配列を採用した拡張バスです。64kB の I/O エリアと 16MB のメモリエリアを持っています。しかし ARM アーキテクチャは x86 系 CPU のような I/O エリア(I/O 専用のアクセス)を持たないため、通常のメモリ空間に I/O エリアを配置しています。

また、この拡張バスは PC/104 規格のサブセットです。通常の PC/104 バスとの主な違いは次の通りです。

- ダイナミックバスサイジングを非サポート
- DMA(DREQ / DACK)を非サポート
- 外部マスタを非サポート
- バスアクセスサイクルが固定

表 5-13 J1 信号配列(1)

番号	信号名	I/O	機能
A1	IOCHCHK*	I	非サポート
A2	D7	I/O	データバス(bit7)
A3	D6	I/O	データバス(bit6)
A4	D5	I/O	データバス(bit5)
A5	D4	I/O	データバス(bit4)
A6	D3	I/O	データバス(bit3)
A7	D2	I/O	データバス(bit2)
A8	D1	I/O	データバス(bit1)
A9	D0	I/O	データバス(bit0)
A10	IOCHRDY*	I	低速デバイスに合わせてアクセスサイクル延長
A11	AEN	O	バス開放(GND)
A12	A19	O	アドレスバス(bit19)
A13	A18	O	アドレスバス(bit18)
A14	A17	O	アドレスバス(bit17)
A15	A16	O	アドレスバス(bit16)
A16	A15	O	アドレスバス(bit15)
A17	A14	O	アドレスバス(bit14)
A18	A13	O	アドレスバス(bit13)
A19	A12	O	アドレスバス(bit12)
A20	A11	O	アドレスバス(bit11)
A21	A10	O	アドレスバス(bit10)
A22	A9	O	アドレスバス(bit9)
A23	A8	O	アドレスバス(bit8)
A24	A7	O	アドレスバス(bit7)
A25	A6	O	アドレスバス(bit6)
A26	A5	O	アドレスバス(bit5)
A27	A4	O	アドレスバス(bit4)
A28	A3	O	アドレスバス(bit3)
A29	A2	O	アドレスバス(bit2)
A30	A1	O	アドレスバス(bit1)
A31	A0	O	アドレスバス(bit0)
A32	GND	Power	電源(GND)

表 5-14 J1 信号配列(2)

番号	信号名	I/O	機能
B1	GND	Power	電源(GND)
B2	RESET_DRV	O	リセット出力
B3	+5V	Power	電源(+5V)
B4	IRQ9	I	割り込み 9
B5	-5V	Power	電源(- 5V)
B6	DQR2	I	非サポート
B7	-12V	Power	電源(- 5V)
B8	ENDXFR*	(I)	非サポート(5V プルアップ)
B9	+12V	Power	電源(+12V)
B10	(KEY)	-	GND
B11	SMEMW*	O	メモリ・ライト・ストロープ
B12	SMEMR*	O	メモリ・リード・ストロープ
B13	IOW*	O	I/O ライト・ストロープ
B14	IOR*	O	I/O リード・ストロープ
B15	DACK3*	O	非サポート(3.3V プルアップ)
B16	DRQ3	I	非サポート
B17	DACK1*	O	非サポート(3.3V プルアップ)
B18	DRQ1	I	非サポート
B19	REFRESH*	O	非サポート(3.3V プルアップ)
B20	SYSCLK	O	9.216MHz(CPU バスクロックの 1/4)
B21	IRQ7	I	割り込みリクエスト 7
B22	IRQ6	I	割り込みリクエスト 6
B23	IRQ5	I	割り込みリクエスト 5
B24	IRQ4	I	割り込みリクエスト 4
B25	IRQ3	I	割り込みリクエスト 3
B26	DACK2*	O	非サポート(3.3V プルアップ)
B27	T/C	O	非サポート(3.3V プルアップ)
B28	BALE	O	アドレス・ラッチ・イネーブル
B29	+5V	Power	電源(+5V)
B30	OSC	0	非サポート(OPEN)
B31	GND	Power	電源(GND)
B32	GND	Power	電源(GND)

表 5-15 J2 信号配列(1)

番号	信号名	I/O	機能
C0	GND	Power	電源(GND)
C1	SBHE*	O	バス・ハイ・イネーブル(データバス上位 8bit 使用時にアクティブ)
C2	A23	O	アドレスバス(23bit)
C3	A22	O	アドレスバス(22bit)
C4	A21	O	アドレスバス(21bit)
C5	A20	O	アドレスバス(20bit)
C6	A19	O	アドレスバス(19bit)
C7	A18	O	アドレスバス(18bit)
C8	A17	O	アドレスバス(17bit)
C9	MEMR*	O	メモリ・リード・ストロープ
C10	MEMW*	O	メモリ・ライト・ストロープ
C11	D8	I/O	データバス(bit8)
C12	D9	I/O	データバス(bit9)
C13	D10	I/O	データバス(bit10)
C14	D11	I/O	データバス(bit11)
C15	D12	I/O	データバス(bit12)
C16	D13	I/O	データバス(bit13)
C17	D14	I/O	データバス(bit14)
C18	D15	I/O	データバス(bit15)
C19	(KEY)	-	GND

表 5-16 J2 信号配列(2)

番号	信号名	I/O	機能
D0	GND	Power	電源(GND)
D1	MEMCS16*	(I)	非サポート(5V プルアップ)
D2	IOCS16*	(I)	非サポート(5V プルアップ)
D3	IRQ10	I	割り込みリクエスト 10
D4	IRQ11	I	割り込みリクエスト 11
D5	IRQ12	I	割り込みリクエスト 12
D6	IRQ15	I	割り込みリクエスト 15
D7	IRQ14	(I)	非サポート(IRQ14 は Compact Flash の割り込みとして使用)
D8	DACK0*	(O)	非サポート(3.3V プルアップ)
D9	DREQ0	(I)	非サポート
D10	DACK5*	(O)	非サポート(3.3V プルアップ)
D11	DREQ5	(I)	非サポート
D12	DACK6*	(O)	非サポート(3.3V プルアップ)
D13	DREQ6	(I)	非サポート
D14	DACK7*	(O)	非サポート(3.3V プルアップ)
D15	DREQ7	(I)	非サポート
D16	+5V	Power	電源(+5V)
D17	MASTER*	(I)	非サポート(5V プルアップ)
D18	GND	Power	電源(GND)
D19	GND	Power	電源(GND)

5.14.1. PC/104 拡張バスアクセス時の注意事項

Armadillo の PC/104 拡張バスはダイナミックバスサイジング機能を備えていないため、PC/104 の I/O エリアまたはメモリエリアにアクセスする際には注意が必要です。

Armadillo は 1 つの I/O 実エリア(64kB)とメモリ実エリア(16MB)を持っています。I/O、メモリのそれぞれの実エリアには 2 つの仮想エリア(8bit, 16bit)からアクセスすることができます。どちらの仮想エリアを使っても同じ実エリアをアクセスすることになります。

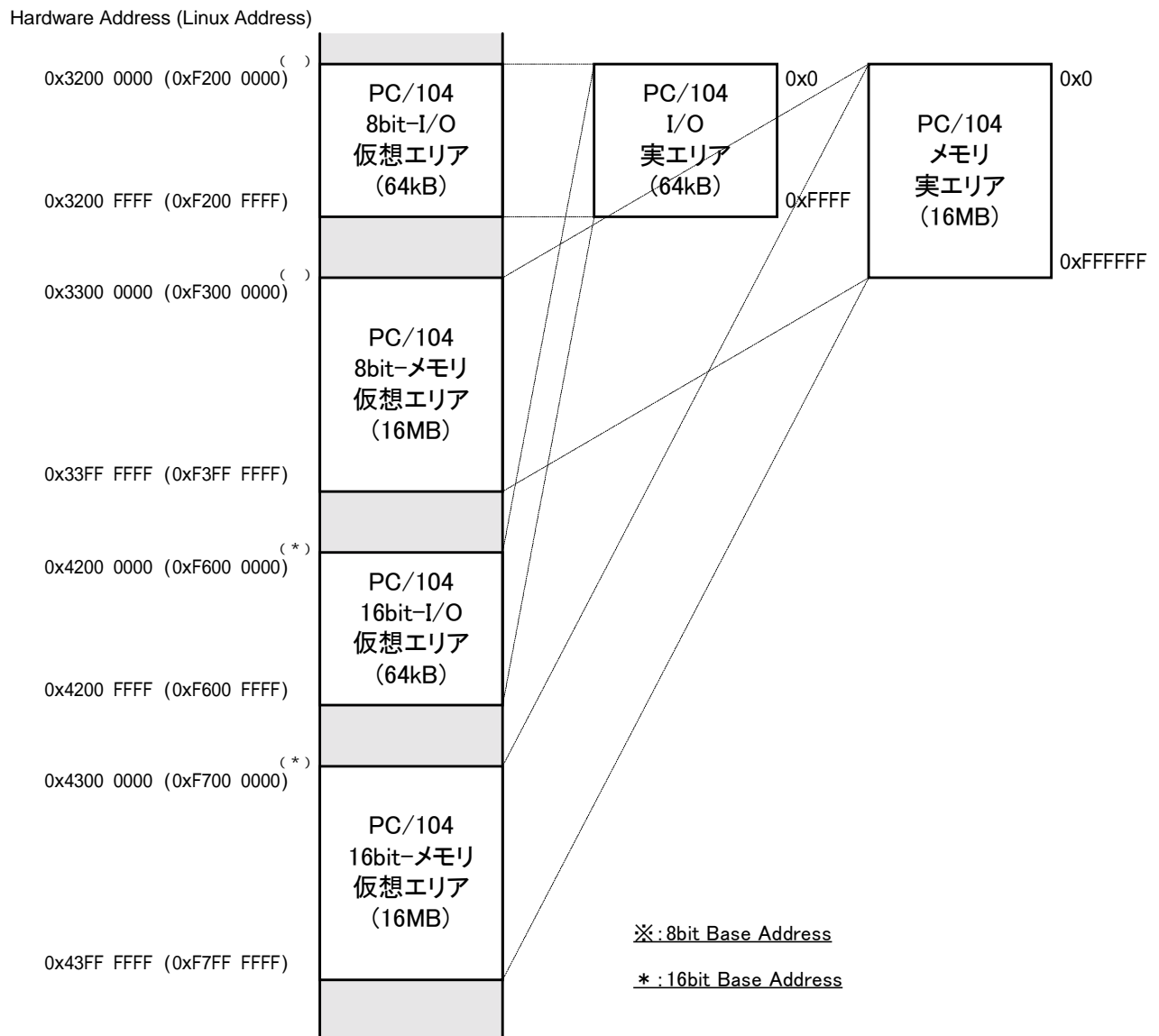


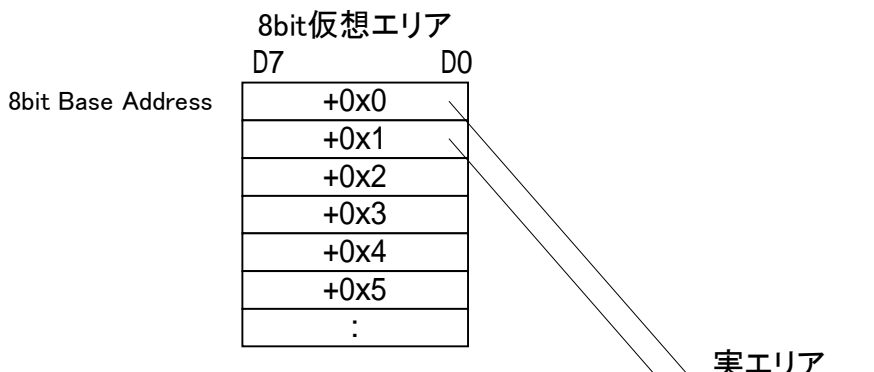
図 5-6 PC/104 バスのメモリ空間

それぞれの仮想エリアの使い分けは次のとおりです。

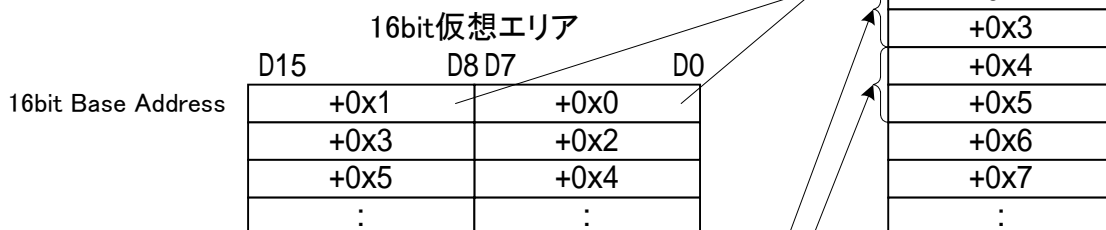
8bit 仮想エリア	・ データバス(D7~D0)を使用して 8bit アクセスをする。
16bit 仮想エリア	・ データバス(D15~D8)を使用して奇数アドレス番地に 8bit アクセスする。 ・ データバス(D7~D0)を使用して偶数アドレス番地に 8bit アクセスする。 ・ データバス(D15~D0)を使用して 16bit アクセスする。

実エリアのアクセスには
 $8(16)\text{bit Base Address} + \text{実エリアの offset Address}$
 でアクセスすることができます。

8bit実エリアにアクセス



16bit実エリアに8bit単位でアクセス



16bit実エリアに16bit単位でアクセス

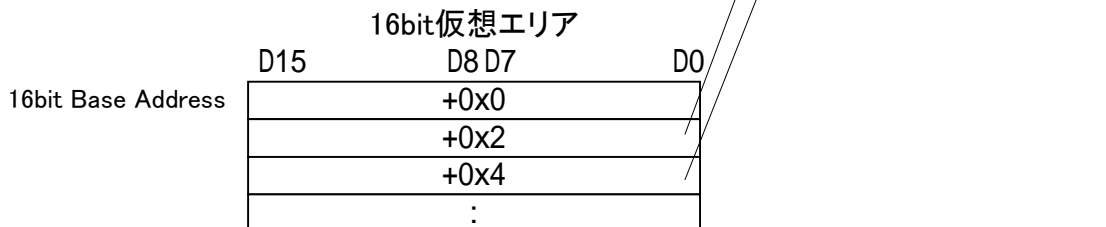


図 5-7 PC/104 バスへのアクセス方法

5.14.2. アクセスタイミング

PC/104 拡張バスへのアクセスタイミングは次の通りです。16bit アクセスした場合も 8bit アクセスした場合もタイミングは同じです。

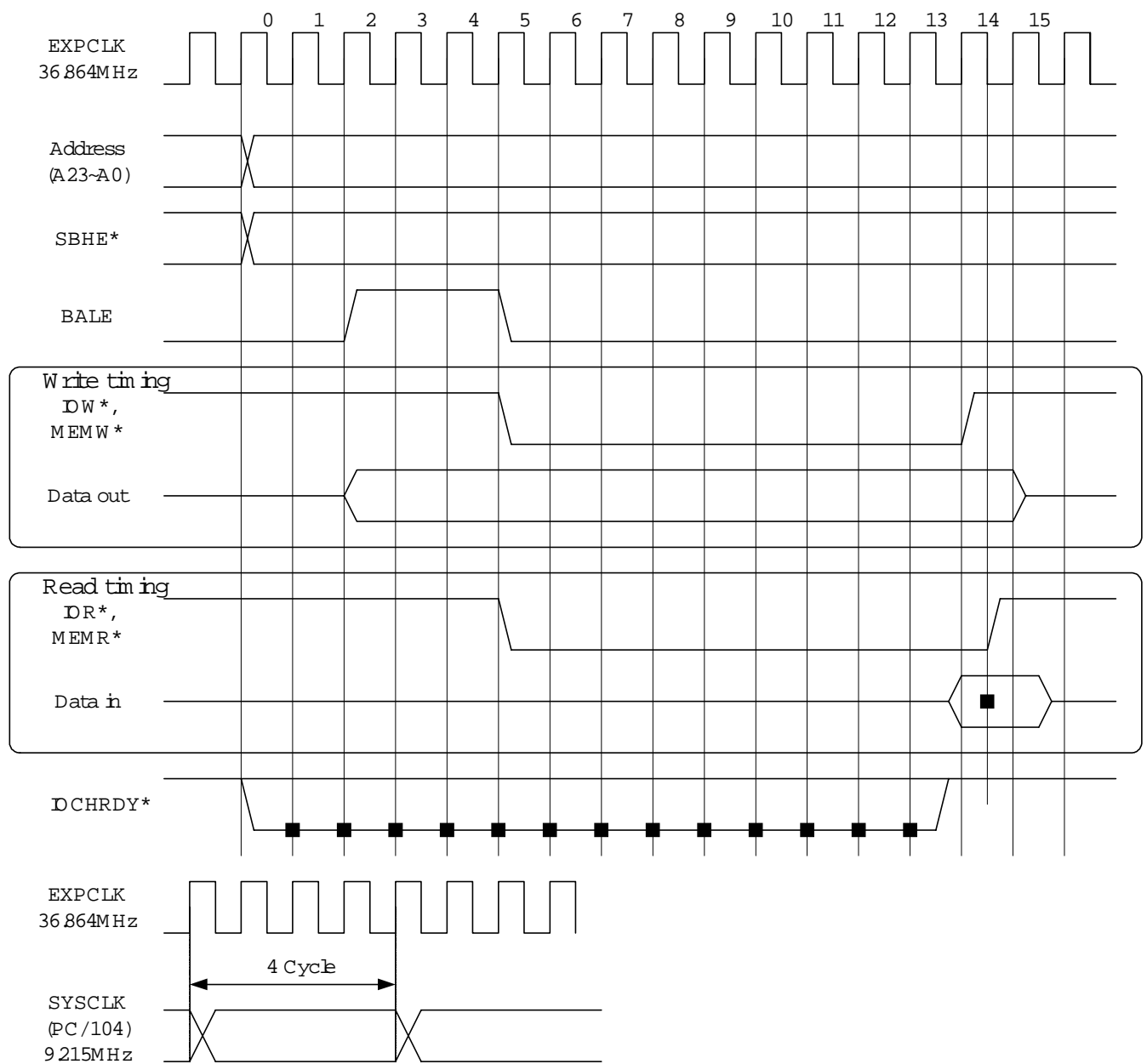


図 5-8 PC/104 バスアクセスタイミング

5.15. LED (D1, D2)

LED(D1,2)は LAN の状態を表示します。

表 5-17 LED(D1,D2) の状態

記号	名称	点 灯	消 灯
D1	LINK	LAN ケーブルが接続されており、10Base-T のリンクが確立されている。	LAN ケーブルが接続されていないか、接続している相手の状態が Active な状態ではありません。
D2	LAN	データ送受信時	非データ送受信時

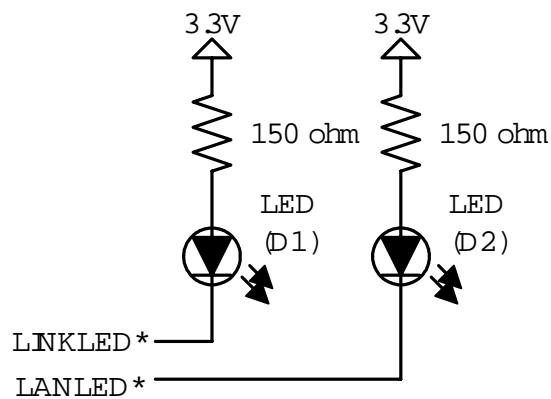


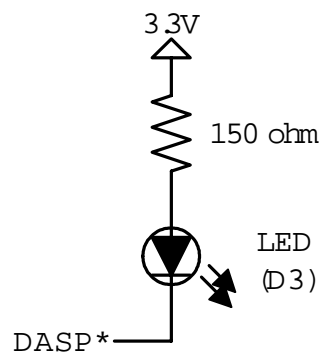
図 5-9 LED(D1,2)の接続

5.16. LED (D3)

LED(D3)は Compact Flash のアクセスランプです。

Rev.C 基板には 10k のプルアップ抵抗がありません。このため D3 に LED を取り付けていない場合、一部のコンパクトフラッシュで TrueIDE モードの認識に失敗し、Armadillo で使用できないことがあります。

Rev.C Board



Rev.D/E Board

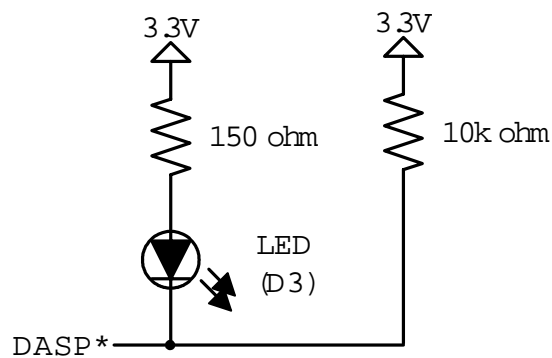


図 5-10 CF のアクセスランプ(D3)の周辺回路

5.17. LED (D4)

LED(D4)は Armadillo の電源状態を表しています。

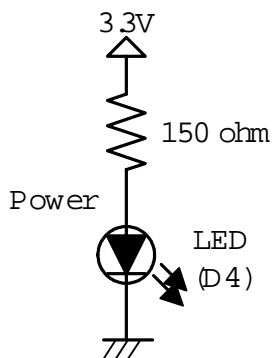


図 5-11 LED(D4)の接続

5.18. JP1 ~ 3

JP1,2,3 は Armadillo の起動モードの設定を行います。

- JP1 : Linux Boot モード
Linux カーネルを Boot するデバイスを選択することができます。ただしこの JP の設定は Armadillo Linux を搭載しているときのみ有効です。
- JP2 : CPU 内蔵 ROM Boot モード
CPU が Boot するデバイスを選択することができます。オンボード Flash Memory を書き換えるとき等に CPU 内蔵 ROM から Boot します。
- JP3 : JTAG 機能
CPU(EP7312)の JTAG 機能を有効 / 無効化します。

表 5-18 ジャンパの設定と動作

	OPEN (Default)	CLOSE
JP1	オンボード Flash Memory から Boot	Compact Flash のカーネルから Boot
JP2	J1 の設定にしたがって BOOT	CPU 内蔵 ROM から Boot
JP3	JTAG 機能 OFF	JTAG 機能 ON

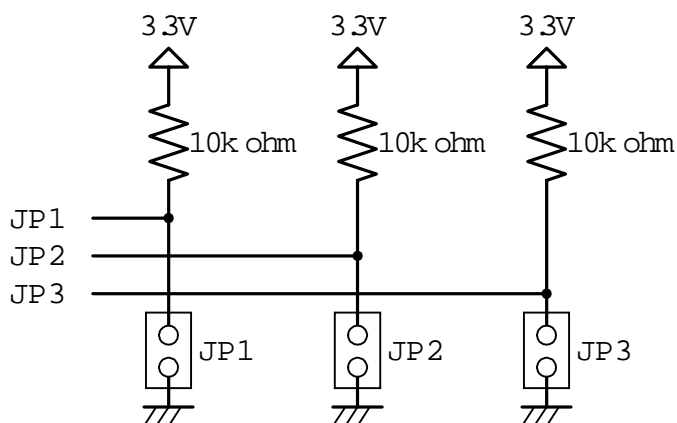


図 5-12 ジャンパコネクタ

5.19. コネクタ型式

CON1～12、J1～2 の型式等を表 5-19 に示します。

表 5-19 コネクタ型式の一覧

コネクタ	メーカー	型 式	備 考
CON1	ヒロセ電機	TM5RL-88(50)	10Base-T
CON2~5	ヒロセ電機	A1-10PA-2.54DS(71)	
CON6	-	2×7 (2.54mm ピッチ)	
CON7	-	1×12 (2.54mm ピッチ)	(非搭載)
CON8	DDK	MCD-CEN750PC-FA	Compact Flash (Type I, II)
CON9	-		(非搭載)
CON10	AMP	171826-4	
CON11	-	1×8 (2.54mm ピッチ)	(非搭載)
CON12	-		(非搭載)
J1	Astron	25-0206-232-1G-R	PC/104 J1 スタックスルー
J2	Astron	25-0206-120-1G-R (2個)	PC/104 J2 スタックスルー

5.20. LED 型式(参考)

Armadillo に接続できる LED(D1～4) の型式等の例を表 5-20 に示します。

表 5-20 LED 型式の例

コネクタ	メーカー	型 式	備 考
D1, 2	Dialight	553-0112-200F 等	Red / Green
D3	ローム	SLR-343VC 等	Red
D4	ローム	SLR-343MC 等	Green

6. その他の各種機能

6.1. CPLD 内部レジスタ(I/O Control Register)

6.1.1. I/O Control レジスタのメモリマップ

Armadillo の CPLD には PC/104 や Compact Flash 等の I/O を制御するための I/O Control レジスタがあります。I/O Control レジスタのメモリマップは次の通りです。

表 6-1 I/O Control レジスタのメモリマップ

Hardware Address	Linux Address	Read	Write
0x3000 0000	0xF000 0000	Interrupt Service Register0	Interrupt Clear Register0
0x3000 0001	0xF000 0001	(Reserved)	(Reserved)
0x3000 0002	0xF000 0002	Interrupt Service Register1	Interrupt Clear Register1
0x3000 0003	0xF000 0003	(Reserved)	(Reserved)
0x3000 0004	0xF000 0004	Interrupt Service Register2	Interrupt Clear Register2
0x3000 0005	0xF000 0005	(Reserved)	(Reserved)
0x3000 0006	0xF000 0006	(Reserved)	(Reserved)
0x3000 0007	0xF000 0007	(Reserved)	(Reserved)
0x3000 0008	0xF000 0008	(Reserved)	Interrupt Mask Register0
0x3000 0009	0xF000 0009	(Reserved)	(Reserved)
0x3000 000A	0xF000 000A	(Reserved)	Interrupt Mask Register1
0x3000 000B	0xF000 000B	(Reserved)	(Reserved)
0x3000 000C	0xF000 000C	(Reserved)	Interrupt Mask Register2
0x3000 000D	0xF000 000D	(Reserved)	(Reserved)
0x3000 000E	0xF000 000E	(Reserved)	IDE/ISA mode Control Register
0x3000 000F	0xF000 000F	(Reserved)	(Reserved)

- Interrupt Service Register (割り込みサービスレジスタ)
入ってきた割り込みの要因を見るレジスタです。
- Interrupt Clear Register (割り込み要因クリアレジスタ)
割り込みサービスレジスタに入ってきた割り込み要因をクリアするレジスタです。
- Interrupt Mask Register (割り込みマスクレジスタ)
各種割り込みの入力を禁止 (マスク) するレジスタです。
- IDE/ISA mode Control Register
Compact Flash (IDE) の転送モード、PC/104 (ISA) の転送モードを設定するレジスタです。

6.1.2. 各種 I/O Control レジスタの詳細
 各種 I/O Control レジスタの詳細は次のとおりです。

表 6-2 各種 I/O Control レジスタの詳細

Register name	Hardware Address	Linux Address	Data							
			7	6	5	4	3	2	1	0
Read Only										
Interrupt Service Register0	0x3000 0000	0xF000 0000	-	-	-	-	-	IRQ15	IDE	IRQ12
Interrupt Service Register1	0x3000 0002	0xF000 0002	-	-	-	-	IRQ11	IRQ10	IRQ9	IRQ7
Interrupt Service Register2	0x3000 0004	0xF000 0004	-	-	-	-	IRQ6	IRQ5	IRQ4	IRQ3
Write Only										
Interrupt Clear Register0	0x3000 0000	0xF000 0000	-	-	-	-	-	IRQ15	IDE	IRQ12
Interrupt Clear Register1	0x3000 0002	0xF000 0002	-	-	-	-	IRQ11	IRQ10	IRQ9	IRQ7
Interrupt Clear Register2	0x3000 0004	0xF000 0004	-	-	-	-	IRQ6	IRQ5	IRQ4	IRQ3
Interrupt Mask Register0	0x3000 0008	0xF000 0008	-	-	-	-	-	IRQ15	IDE	IRQ12
Interrupt Mask Register1	0x3000 000A	0xF000 000A	-	-	-	-	IRQ11	IRQ10	IRQ9	IRQ7
Interrupt Mask Register2	0x3000 000C	0xF000 000C	-	-	-	-	IRQ6	IRQ5	IRQ4	IRQ3
IDE/ISA mode Control Register	0x3000 000E	0xF000 000E	-	-	-	-	-	-	ISA mode	IDE mode

表 6-3 各種 I/O Control レジスタの各ビットの意味

Register name	Value	Description	
Interrupt Service Register	1	IRQx の割込みが発生している	
	0	IRQx 割込みが発生していない	
Interrupt Clear Register	1	IRQx 割込みの要因をクリアする	
	0	IRQx 割込みの要因をクリアしない	
Interrupt Mask Register	1	割込みの入力をマスクする	
	0	割込みの入力をマスクしない	
IDE/ISA mode Control Register	ISA mode	1	高速 (ISA 非互換) モード
		0	ISA 互換モード
	IDE mode	1	IDE 動作モード (PIO mode3)
		0	IDE 動作モード (PIO mode0)

6.1.3. PC/104 の割り込みコントローラの仕組み

PC/104 の割り込みコントローラは CPLD(XC9572) に組み込まれています。この割り込みコントローラに接続されている割り込みの種類は IRQ3, 4, 5, 6, 7, 9, 10, 11, 12, 14(Compact Flash), 15 です。割り込みコントローラの概念図は次のとおりです。

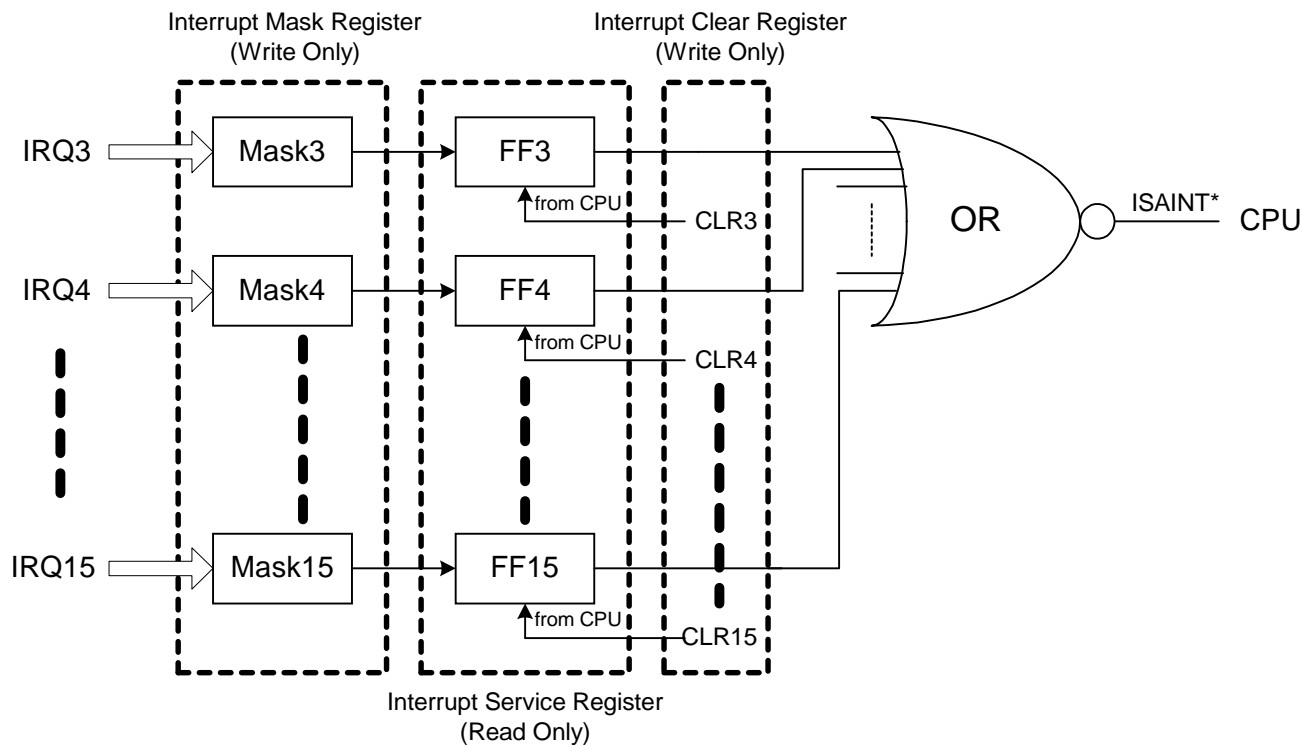


図 6-1 PC/104 の割り込みコントローラの仕組み

PC/104 から入力される IRQx は IMR(Interrupt Mask Register)によりマスク処理されます。マスクビットが"0"の場合、割り込み入力そのまま通過し、"1"の場合割り込み入力はマスクされます。

マスク処理を通過した割り込み入力信号は次段の ISR(Interrupt Service Register)を構成している FF(フリップフロップ)で値を保持されます。

ISR に保持されている値は、ICR(Interrupt Clear Register)の対応するビットに"1"が入力されるまで値が保持されます。

ISR に保持されているすべての値の OR をとって、CPU に割り込みが通知されます。

6.2. LED (D9)

LED(D9)は CPU(EP7312)の PD0/LEDFLSH ピンに接続された LED です。EP7312 の GPIO Port D または LED FLSH Register を設定することにより、LED(D9)を制御することができます。

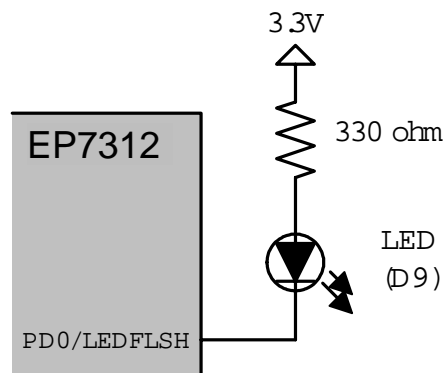


図 6-2 LED(D9)の接続

6.3. カレンダー時計(Real Time Clock)

カレンダー時計(1)は CPU(EP7312)と 2 線式シリアルで接続されています。CPU 側はパラレルポート A(PA0,1)をシリアルのように制御することにより、RTC へのアクセスを実現しています。

RTC は電気二重層コンデンサ(Electric Double Layer Capacitor)のバックアップにより電源切断時も一定時間の間動作することができます。長時間電源を切っている間も、RTC の内容を保持したい場合は、別途外付けのバッテリーを接続することができます。

Rev.E 基板の Armadillo 製品は、HT1070-U00(標準品)および HT1070-U00G(RoHS 対応品)の 2 タイプをご用意しております。両タイプの製品は搭載している RTC が異なり、HT1070-U00 は Rev.C/D 基板と同じ S-3531A を、HT1070-U00G は S-35390A を使用しています。これらの RTC はレジスタが互換ではないため、S-3531A 用に作成したソフトウェアでは S-35390A を正常にアクセスできませんのでご注意ください。

Armadillo Linux をお使いの場合、両 RTC に対応したドライバを組み込んだ Linux カーネル (Linux 2.4.16-rmk2-armadillo-3 および Linux 2.4.21-rmk1-armadillo-3) で RTC の相違は吸収されています。

なお 2007 年 8 月より HT1070-U00 に搭載される RTC も S-35390A に統合される予定です。

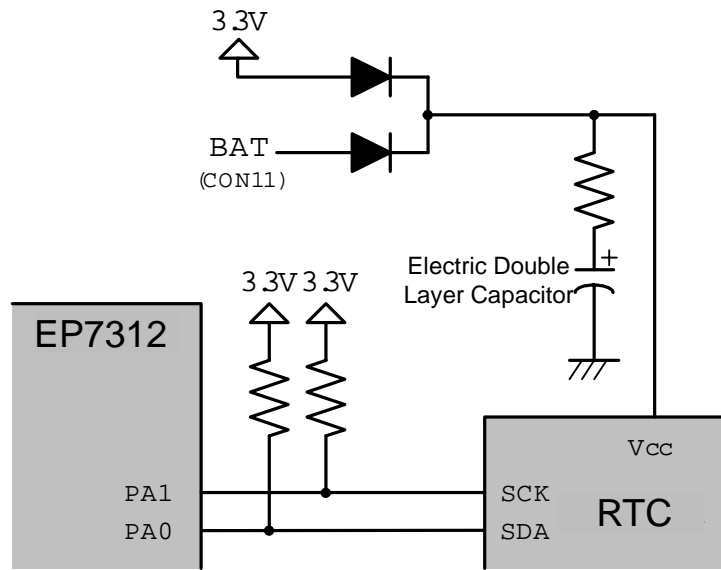
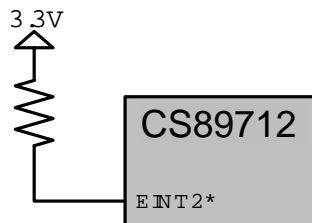


図 6-3 CPU(EP7312)とRTC(S-35390A または S-3531A)の接続

6.4. CPU(EP7312)の外部割り込み(EINT2*)信号への入力

JP4 または JP5 をショートすることによって、CON11 の 4 番ピンまたは RTC の割り込み出力を EINT2* に接続することが可能です。工場出荷時 JP4,5 はオープンとなっています。

Rev.C Board



Rev.D/E Board

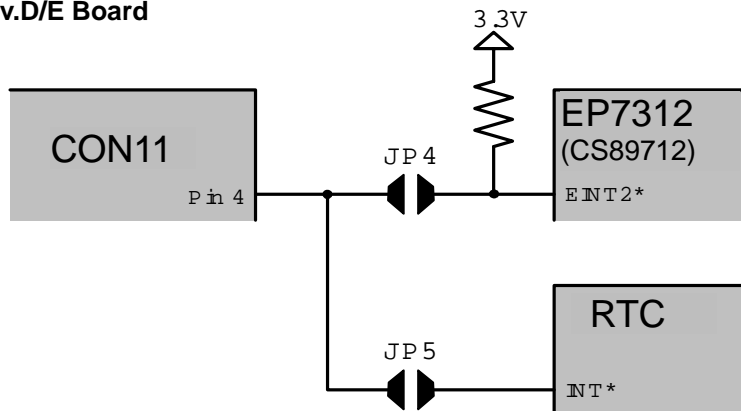
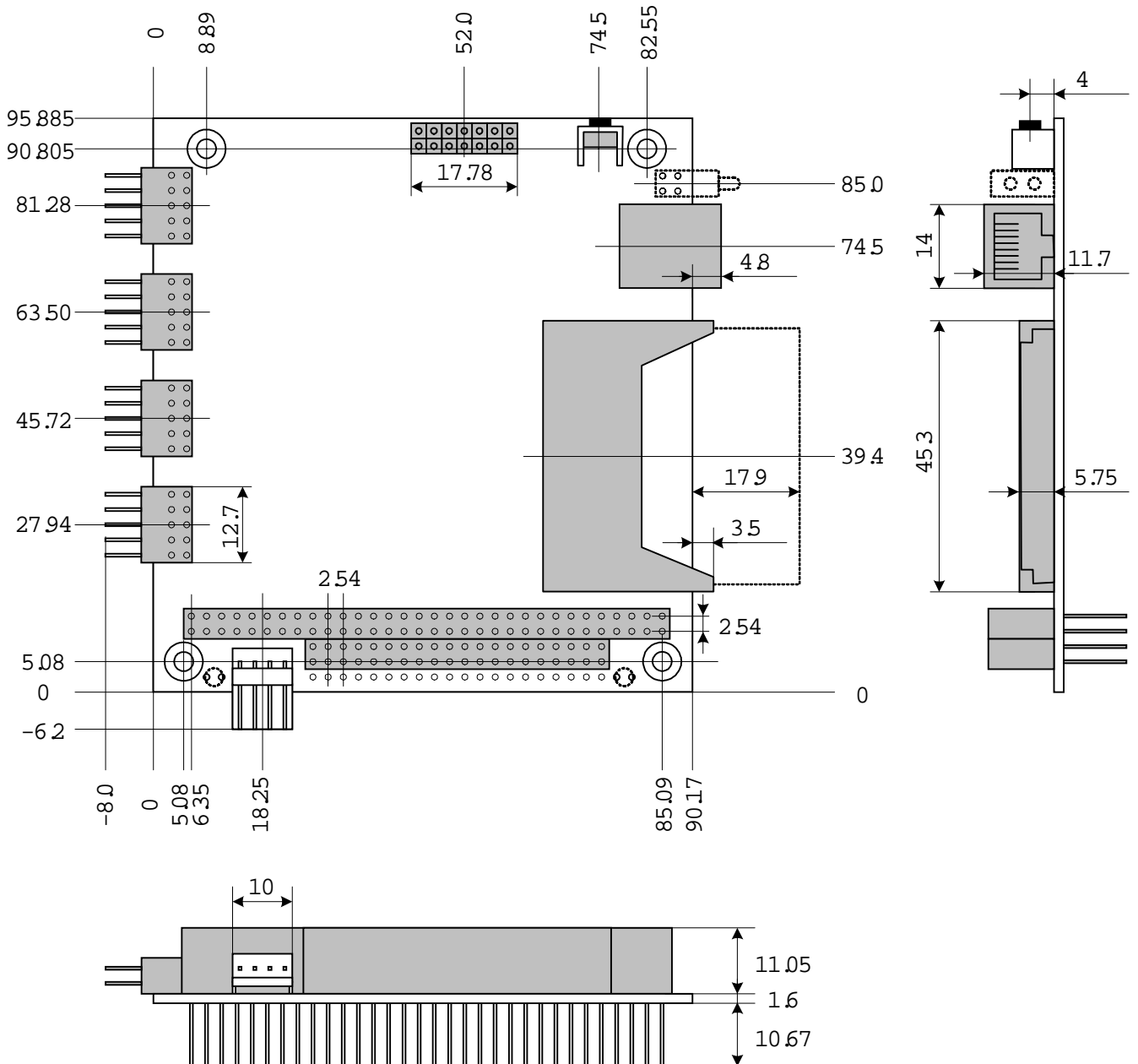


図 6-4 外部割り込み信号の接続

7. 基板形状図

Armadillo[HT1070]の基板形状図を図 7-1 に示します。



[単位 : mm]

図 7-1 Armadillo[HT1070]の基板形状

8.基板リビジョンについて

Armadillo には本マニュアルで説明する Rev.E 基板のほか従来品の Rev.C/D 基板があります。各リビジョンの相違を表 8-1 に示します

表 8-1 HT1070 相違点

基板リビジョン	Rev.E	Rev.E	Rev.D	Rev.C
プロセッサ(*1)	EP7312	EP7312	CS89712	CS89712
LAN コントローラ(*1)	CS8900A	CS8900A	プロセッサ内蔵	プロセッサ内蔵
RTC(*2)	S-35390A	S-3531A	S-3531A	S-3531A
RoHS 準拠		-	-	-
COM2 拡張			-	-
EINT2 拡張				-
CON12 追加				-
LED(D3)プルアップ				-
CON9 コネクタ形式	A3-44PA-2SV	A3-44PA-2SV	A3-44PA-2SV	LPC-B44MY2LG
製品名称	HT1070-U00G	HT1070-U00	HT1070-U00	HT1070-U00

*1 プロセッサ、LANコントローラについて

Rev.D基板まではコアCPUにCS89712を使用しておりましたが、Rev.E基板ではこれをEP7312とCS8900Aの2チップ構成に変更いたしました。CS89712はEP7312とCS8900Aの複合チップのため、この置き換えによるArmadilloのハードウェア機能・電気的特性上の差異はありません。

*2 RTCについて

Rev.E基板のArmadillo製品は、搭載されるRTCの異なるHT1070-U00(標準品)およびHT1070-U00G (RoHS 対応品)の2タイプをご用意しておりますが、2007年8月より搭載されるRTCがS-35390Aに統一され、HT1070-U00とHT1070-U00Gは同一仕様の製品となります。

更新履歴

hardware manual Ver.1.00 から Ver.1.10 への更新履歴は次の通りです。

- ◆ 「5.6. CON5 (パラレルインターフェース)」の文中

正	PBDR(Port B data register I/O: 0x8000 0001 番地)、PBDDR(Port B data direction register I/O: 0x8000 0041 番地)
誤	PBDR(Port B data register I/O: 0x8000 0041 番地)、PBDDR(Port B data direction register I/O: 0x8000 0001 番地)

- ◆ 「表 5-7 パラレルインターフェースの電氣的仕様」の VOL の Conditions 欄

正	IOL=-4mA
誤	IOL=4mA

- ◆ 「表 5-17 ジャンパの設定と動作」の JP2 の OPEN (Default)欄

正	J1 の設定にしたがって BOOT
誤	オンボード Flash Memory から Boot

- ◆ 「表 5-18 コネクタ型式の一覧」 J1 部品名

正	AT-ES1-64-12-2GF
誤	AT-ES1-64-02-2GF

- ◆ 「表 5-18 コネクタ型式の一覧」 J2 部品名

正	AT-ES1-20-12-1GF (2 個)
誤	AT-ES1-40-02-2GF

- ◆ 「7.基板形状図」の章を追加

hardware manual Ver.1.10 から Ver.1.11 への更新履歴は次の通りです。

- ◆ 「図 5-6 PC/104 バスアクセスタイミング」に MEMR*、MEMW*信号を追加

hardware manual Ver.1.11 から Ver.1.12 への更新履歴は次の通りです。

- ◆ 「5.3. CON2 (A/D コンバータへの入力)」の差動モード時の電圧範囲について記述を追加

hardware manual Ver.1.12 から Ver.1.13 への更新履歴は次の通りです。
 (Rev.C & Rev.D から Rev.E への変更など)

- ◆ 「全章」CPU・LAN・RTC チップの形式を変更

新	EP7312(CPU)、CS8900A(LAN)
旧	CS89712(CPU と LAN)

新	S-35390A(RoHS 準拠)または S-3531A(非 RoHS)
旧	S-3531A

- ◆ 「5.5 CON4(シリアルインターフェース 2)」にハードフロー回路を追加
- ◆ 「5.13 CON12(汎用 IO ポート)」を追加
- ◆ 「5.19 コネクタ形式」を RoHS 準拠形式に変更
- ◆ 「5.20 LED 形式」を開発モデル添付品の LED 形式に変更
- ◆ 「5.16. LED(D3)」回路にプルアップ抵抗を追加
- ◆ 「6.3.カレンダー時計(リアルタイムクロック)」の形式を変更
- ◆ 「6.4.CPU(EP7312)の外部割込み(EINT2*)信号への入力」を追加
- ◆ 「8.基板リビジョンについて」を追加
- ◆ 梅澤無線電機株式会社 東京営業部、株式会社アットマークテクノの所在地と連絡先を変更

梅澤無線電機株式会社

東京営業部

101-0044 東京都千代田区鍛冶町 2-3-14

TEL 03-3256-4491 FAX 03-3256-4494

仙台営業所

982-0012 仙台市太白区長町南 4 丁目 25-5

TEL 022-304-3880 FAX 022-304-3882

札幌営業所

060-0062 札幌市中央区南 2 条西 7 丁目

TEL 011-251-2992 FAX 011-281-2515

本製品・資料についての技術的なお問い合わせは技術推進部直通ダイヤル(TEL/FAX)へ

0 1 2 0 - 0 2 4 7 6 8

株式会社アットマークテクノ

060-0035 札幌市中央区北 5 条東 2 丁目 AFT ビル 6F

TEL 011-207-6550 FAX: 011-207-6570
