

HT1030 旧基板(リビジョン 0111)をご使用のお客様へご案内

HT1030は技術的な改善のため、2003年11月に回路、基板デザインを一部変更いたしました。本マニュアルでは現行基板を中心に説明しておりますので、一部記述は旧基板と相違がある場合がございます。相違点については6.15節にまとめておりますのでご参照くださいますようお願い申し上げます。

お手持ちの製品がどちらの基板リビジョンかを識別するには、基板上にスイッチが搭載されているかどうかをご確認ください。スイッチが搭載されている製品は現行基板、スイッチが搭載されていない製品は旧基板です。

なお旧基板の現行基板での代替にあたり、お客様がご設計になりました HT1030 の周辺回路等を変更する必要はございません。また現行基板の HT1030 は、旧基板製品とまったく同様にご使用いただくことができますが、JP4 の設定が異なりますのでご注意ください。

HT series

HT1030

ユーザーズマニュアル

目次

1	はじめに	1
2	注意事項	2
2.1	安全に関する注意事項	2
2.2	取り扱い上の注意事項	2
2.3	ソフトウェア使用に関しての注意事項	3
3	資料・参考文献	4
4	ガイドツアー	5
4.1	必要なハードウェア・ソフトウェア	5
4.2	ライタープログラムのインストール	6
4.3	準備	6
4.4	電源の接続	8
4.5	S ファイルローダのコマンド	9
4.6	S フォーマットファイルを転送・実行する	10
4.7	FLASH メモリの内容書き換え	10
4.8	プログラム開発手順のまとめ	12
5	仕様	13
6	ハードウェア機能	14
6.1	ブロック図	14
6.2	コネクタ	15
6.2.1	コネクタピン配列	15
6.2.2	CN1 信号機能	17
6.2.3	CN2 信号機能	18
6.2.4	CN1A,CN1B,CN2A 信号機能	20
6.2.5	CN3 信号機能	21
6.2.6	CN4 信号機能	21
6.2.7	CN5,CN6 信号機能	22
6.2.8	CN7,CN8 信号機能	22
6.2.9	コネクタ型式	22
6.3	ジャンパ設定	22
6.3.1	オプションメモリタイプ(JP6,8-11)	22
6.3.2	オプションメモリアドレス空間(JP15)	23
6.3.3	A/D コンバータ(JP18,19,20)	23

6.3.4	RS232C レベル変換回路の禁止(JP5)	23
6.3.5	外部割込み接続(JP12,13,24)	24
6.3.6	SRAM アドレス空間(JP3)	24
6.3.7	動作モード(JP1,2,4,14)	25
6.3.8	アドレス A19(JP16)	25
6.3.9	その他のジャンパ(JP7,17,21,22,23)	25
6.4	モードスイッチ(SW1)	26
6.5	ROM インサーキットデバッグ用 TP	26
6.6	メモリマップ	27
6.6.1	128KB SRAM	27
6.6.2	H8/3067 内蔵 SRAM	28
6.6.3	オプションメモリソケット	28
6.6.4	H8/3067 内蔵 FLASH メモリ	28
6.6.5	CN1 拡張バス空間	29
6.6.6	RTC(オプション)	29
6.7	H8/3067 内蔵 I/O レジスタ	29
6.7.1	ASTCR	30
6.7.2	BCR	30
6.7.3	DIVCR	31
6.7.4	IER	32
6.7.5	IPRA	32
6.7.6	ISCR	33
6.7.7	ISR	33
6.7.8	P1DDR	33
6.7.9	P2DDR	34
6.7.10	P5DDR	34
6.7.11	P8DDR	35
6.7.12	SYSCR	35
6.7.13	WCRL	36
6.8	外部割り込み	37
6.9	カレンダー時計増設	37
6.10	ROM インサーキットデバッグ接続	37
6.11	バスタイミング	38
6.12	バックアップ	39
6.13	オプションメモリソケット	39
6.13.1	使用可能なメモリのアクセスタイム	39
6.13.2	SRAM を使用する際の注意点	39
6.13.3	256KBITEPROM を使用する際の注意	40
6.13.4	1MBITEPROM を使用する際の注意	40
6.13.5	256KBITEEPROM を使用する際の注意	40
6.13.6	1MBITEEPROM を使用する際の注意	40
6.14	RM4 ~ 7	40
6.15	旧基板との相違点	41
6.15.1	JP12, 13, 24	41
6.15.2	モード設定	41
6.15.3	ブートモード設定	42
6.15.4	その他	42

7	ソフトウェア	43
7.1	システムクロックの設定	43
7.2	アドレス出力	43
7.3	アクセスステート数とウェイト数	44
7.4	/CS 出力設定	44
7.5	IOCHRDY 有効・無効の設定	44
7.6	SRAM(128KB)を使用するための設定	45
7.7	CN1 拡張バスを使用するための設定	45
7.8	オプションメモリを使用するための設定	45
7.9	RTC を使用するための設定	46
7.10	YELLOW IDE/YELLOW SCOPE を使用する	46
7.10.1	ローダープログラム	46
7.10.2	スタートアッププログラム	47
8	内蔵 FLASH メモリ書き込み	49
8.1	モードスイッチ・ジャンパ設定	49
8.2	書き込みソフトウェア	49
8.3	出荷時の FLASH メモリ内容	49
8.4	FLASH メモリ書き換え時の注意	49
9	ハードウェア回路増設例	50
9.1	82C55 増設例	50
9.2	データバスバッファリング例	51
10	ICE 接続モデル	52
10.1	HT1030-SKA	52
10.2	HT1030-SKB	52
11	ユーティリティリファレンス	53
11.1	S ファイルローダ	53
11.1.1	D(メモリ内容表示)	55
11.1.2	E(メモリ内容変更)	55
11.1.3	I(ポート入力)	56
11.1.4	O(ポート出力)	56
11.1.5	G(実行)	57
11.1.6	L(S フォーマットファイルロード)	57
11.1.7	割り込みプログラムの実行	58
11.1.8	初期化内容	58
11.2	FLASHWR	59
12	外形寸法図	60

図目次

図 4-1 接続ケーブルコネクタピン配置	7
図 4-2 ソフトウェア開発手順	12
図 6-1 HT1030 ブロック図	14
図 6-2 HT1030-03 パソコン接続ケーブル結線	21
図 6-3 JP12,JP13 の接続	24
図 6-4 JP24 の接続	24
図 6-5 メモリマップ	27
図 6-6 アクセスステートコントロールレジスタ(ASTCR)の構成	30
図 6-7 バスコントロールレジスタ(BCR)の構成	30
図 6-8 分周比コントロールレジスタ(DIVCR)の構成	31
図 6-9 IRQ イネーブルレジスタ(IER)の構成	32
図 6-10 インタラプトプライオリティレジスタ(IPRA)の構成	32
図 6-11 IRQ センスコントロールレジスタ(ISCR)の構成	33
図 6-12 IRQ ステータスレジスタ(ISR)の構成	33
図 6-13 ポート 1 データディレクションレジスタ(P1DDR)の構成	34
図 6-14 ポート 2 データディレクションレジスタ(P2DDR)の構成	34
図 6-15 ポート 5 データディレクションレジスタ(P5DDR)の構成	35
図 6-16 ポート 8 データディレクションレジスタ(P8DDR)の構成	35
図 6-17 システムコントロールレジスタ(SYSCR)の構成	36
図 6-18 ウェイトコントロールレジスタ(WCRL)の構成	36
図 6-19 I/O,メモリアクセスタイミング	38
図 6-20 現行基板と旧基板の JP12,13,24	41
図 9-1 82C55 増設回路例	50
図 9-2 データバスバッファリング例	51
図 12-1 外形寸法図	60

表目次

表 5-1 HT1030 仕様	13
表 6-1 CN1 信号配列	15
表 6-2 CN2 信号配列	15
表 6-3 CN3 信号配列	16
表 6-4 CN4 信号配列	16
表 6-5 CN1A 信号配列	16
表 6-6 CN2A 信号配列	16
表 6-7 CN1B 信号配列	16
表 6-8 CN7 信号配列	16
表 6-9 CN8 信号配列	16
表 6-10 CN1 信号機能	17
表 6-11 CN2 信号機能	18
表 6-12 CN1B 信号機能(CN2 に存在しないもの)	20
表 6-13 CN3 信号機能	21
表 6-14 CN4 信号機能	21
表 6-15 コネクタ型式	22
表 6-16 オプションメモリタイプのジャンパ設定	22
表 6-17 オプションメモリアドレス空間選択	23
表 6-18 A/D コンバータ電源周辺ジャンパ設定	23
表 6-19 RS232C レベル変換回路ジャンパ設定	24
表 6-20 SRAM アドレス空間選択	25
表 6-21 H8/3067 動作モード設定	25
表 6-22 A19 ジャンパ設定	25
表 6-23 モードスイッチ設定	26
表 6-24 TP 機能	26
表 6-25 JP3 設定とメモリアドレス範囲	27
表 6-26 JP15 設定とメモリアドレス範囲	28
表 6-27 HT1030 初期設定に関連する内蔵 I/O アドレス	30
表 6-28 ASTCR のビット機能	30
表 6-29 BCR のビット機能	31
表 6-30 DIVCR のビット機能	31
表 6-31 IER のビット機能	32
表 6-32 IPRA のビット機能	32
表 6-33 ISCR のビット機能	33
表 6-34 ISR のビット機能	33
表 6-35 P1DDR のビット機能	34
表 6-36 P2DDR のビット機能	34
表 6-37 P5DDR のビット機能	35
表 6-38 P8DDR のビット機能	35
表 6-39 SYSCR のビット機能	36
表 6-40 WCRL のビット機能	36
表 6-41 H8/3067 の割込み要因とベクタナンバー	37
表 6-42 ROM インサーキットデバッグ使用時のジャンパ設定	37
表 6-43 アクセスタイミング規定	38
表 6-44 T_{w1}, T_{w2}	38
表 6-45 オプションメモリソケット搭載デバイスアクセスタイム	39
表 6-46 RM とプルアップ・プルダウンされるポート	41

表 6-47 H8/3067 動作モード設定(旧基板、現行基板の対比)	41
表 10-1 HT1030-SKA 適合インサーキットエミュレータ	52
表 10-2 HT1030-SKB 適合インサーキットエミュレータ	52
表 11-1 S ファイルローダのコマンド	53

1 はじめに

このたびは HT1030 をお求めいただき、ありがとうございます。

HT1030 は日立 H8/3067(HD64F3067R)を採用したシングルボードコンピュータです。ボード上には 128KB の SRAM が標準で搭載されているほか、カレンダー時計や DIP メモリ用ソケットを搭載するスペースも用意されています。

CPU の H8/3067 は 16 ビットの汎用レジスタを 16 本もち、メモリ空間も最大 16MB をリニアに扱うことができるほか、シリアルインターフェース、パラレルインターフェース、タイマや A/D コンバータ等が集積されており、制御用途に最適なマイクロプロセッサです。

バスは 8 ビット PC/104 に準拠した信号配列になっており、弊社 HT シリーズ等の拡張モジュールをスタッキング接続して使用することができます。拡張モジュールにはオプトアイソレート I/O や GPIB、パルスモータコントローラなどが用意されています。

アプリケーションプログラムを保存する、H8/3067 内蔵フラッシュメモリの書き込みには特別なライターが不要で、パソコンからシリアルポートを通じて転送するだけです。また、DIP メモリ用オプションソケットを使用すれば、プログラムを EPROM で配布・アップデートする必要があるアプリケーションにも対応できます。

本マニュアルは、HT1030 のハードウェア・ソフトウェアの仕様や使用方法について書かれたものです。HT1030 の機能を最大限引き出すために、ご活用いただければ幸いです。

2 注意事項

2.1 安全に関する注意事項

HT1030 を安全にご使用いただくために、特に以下の点にご注意くださいますようお願いいたします。



本製品には一般電子機器用（OA 機器・通信機器・計測機器・工作機械等）に製造された半導体部品を使用しておりますので、その誤作動や故障が直接生命を脅かしたり、身体・財産等に危害を及ぼす恐れのある装置（医療機器・交通機器・燃焼制御・安全装置等）に組み込んで使用しないでください。

また、半導体部品を使用した製品は、外来ノイズやサージにより誤作動したり故障したりする可能性がありますので、ご使用になる場合は万一誤作動、故障した場合においても生命・身体・財産等が侵害されることのないよう、装置としての安全設計（リミットスイッチやヒューズ・ブレーカ等の保護回路の設置、装置の多重化等）に万全を期されますようお願い申し上げます。

2.2 取り扱い上の注意事項

HT1030 に恒久的なダメージをあたえないよう、取り扱い時には以下のような点にご注意ください。

- 電源の投入
HT1030 や周辺回路に電源が供給されている状態では絶対に本ボードの着脱を行わないでください。
- 静電気
HT1030 には CMOS デバイスを使用しておりますので、ご使用になるまでは帯電防止対策されている出荷時のパッケージ等にて保管してください。
- ラッチアップ
電源および入出力からの過大なノイズやサージ、電源電圧の急激な変動等で使用している CMOS デバイスがラッチアップを起こす可能性があります。いったんラッチアップ状態となると、電源を切断しないかぎりこの状態が維持されるため、デバイスの破損につながる可能性があります。ノイズの影響を受けやすい入出力ラインには保護回路を入れることや、ノイズ源となる装置と共通の電源を使用しない等の対策をとることをお勧めします。

2.3 ソフトウェア使用に関する注意事項

本製品のために弊社から提供するソフトウェア（ドキュメント・サンプル等も含む）は、現状のまま（AS IS）提供されるものであり、特定の目的に適合することや、その信頼性、正確性を保証するものではありません。また、本製品の使用による結果についてもなんら保証するものではありません。

3 資料・参考文献

本マニュアル記載の内容を補完する資料・参考文献を以下に示します。

- 日立製作所 H8/3067 シリーズ ハードウェアマニュアル（資料番号 ADJ-602-163C）
- 日立製作所 H8/300H シリーズ プログラミングマニュアル（資料番号 ADJ-602-071C）
ハードウェアマニュアルは H8/3067 の詳細な機能を知るために、プログラミングマニュアルは H8/3067 の CPU 命令詳細を知るためにぜひ入手することをお勧めします。株式会社日立製作所のホームページから PDF ファイル形式でダウンロードすることができます。(http://www.hitachi.co.jp/)
- セイコーエプソン RTC-62421 アプリケーションマニュアル
HT1030 に搭載可能なカレンダー時計の仕様・使用方法について説明されています。セイコーエプソン株式会社のホームページから PDF ファイル形式でダウンロードすることができます。(http://www.epson.co.jp/)

4 ガイドツアー

この章では HT1030 を初めて使用することを想定し、最低限の動作確認とフラッシュメモリの書き換え方法を簡単な例を交えて説明します。HT1030 と4.1節で説明するソフトウェア・ハードウェアを準備し、説明に従って実際に HT1030 を動作させてみることをお勧めします。

4.1 必要なハードウェア・ソフトウェア

- PC 接続ケーブル
HT1030 にパソコンおよび電源を接続するためのケーブルが必要です。このケーブルは製品には付属せず別売ですが、コネクタ結線は図 6-2に示されています。HT1030-03 の PC 接続コネクタは Dsub9 ピンタイプですので、必要に応じて変換コネクタをご使用ください。
- 電源
供給電源電圧は 5V です。HT1030 に周辺回路の接続が何もない場合は、200 mA 程度の電源をご用意ください。周辺にその他のボードを接続する場合は、各ボードの消費電流に応じた容量の電源をご用意ください。



HT1030 には電源電圧検出しリセット回路がありますので、電源電圧が規定よりも低くなるとボードがリセットされてしまいます。動作が不安定とならないよう、電源には安定化した 5V を使用してください。

- 通信ソフトウェア
お使いのパソコンで使用できる通信ソフトウェア（ターミナルソフトウェアとも呼ばれます）をご用意ください。パソコンから S フォーマット形式のファイルを HT1030 に転送しますので、通信ソフトウェアはテキストファイル送信機能をサポートしている必要があります。
なお、Windows には HyperTerminal という名称の通信ソフトウェアが標準で添付されており、テキストファイル送信がサポートされています。（スタートからプログラム アクセサリ 通信にフォルダが見つからない場合は、アプリケーションの追加と削除を使ってインストールする必要があります。）

4.2 ライタープログラムのインストール

Windows 上で動作する FLASH メモリ書き込みプログラムは、マニュアルディスクに TOOL.LZH として添付されており、弊社ホームページ(<http://www.umezawa.co.jp/>)からも入手することができます。TOOL.LZH は圧縮されたファイルのため、適当なディレクトリを指定して解凍してください。解凍されるファイルは次の通りです。

※ディレクトリ

FLASHWR.EXE	FLASH メモリライタープログラム
README.TXT	説明ファイル

※loader ディレクトリ

SLOADER.BIN	S ファイルローダ(出荷時のフラッシュメモリ内容)
KEYCODE.MOT	S ファイル転送実行テスト用プログラム
FKEYCODE.MOT	FLASH メモリ書き込みテスト用プログラム
LOADER.TXT	S ファイルローダ通信速度についての説明
SLOAD192.BIN	S ファイルローダ(19200bps 用)
SLOAD384.BIN	S ファイルローダ(38400bps 用)

FLASH メモリ書き込みプログラムにはインストーラやセットアッププログラムがありませんので、必要に応じてスタートメニューへの登録や、ショートカット作成等を行ってください。FLASH メモリ書き込みプログラムは FLASEWR.EXE をダブルクリックする等の方法で実行することができます。



アンインストールするには...

FLASHWR.EXE を削除してください。Windows のシステムディレクトリに組み込まれた DLL 等はありません。

4.3 準備

パソコンと HT1030 を接続して動作させる前に、次の手順で通信ソフトウェアの設定をして、通信ソフトウェアが正しく機能していることを確認してください。

A. 通信ソフトウェアの設定

お使いの通信ソフトウェアのヘルプ・マニュアル等を参照して、通信に必要なパラメータを設定します。設定の必要な主な項目は次の通りです。

通信に使用するポート	使用するシリアルポート番号
通信速度	9 6 0 0
データビット長	8
ストップビット長	1 または 2
パリティビット	なし
ローカルエコー	なし
リターンキー入力	C R (0 D H) のみを送信
バックスペース入力	B S (0 8 H) を送信

B. パソコンへのケーブル接続

パソコン接続ケーブルの Dsub コネクタ側をパソコンに接続します。この段階では、ケーブルの逆端にある黒い 5 ピンコネクタは HT1030 に接続しないでください。

C. ループバック接続

細い電線か部品のリード切り屑等を使って、HT1030 に接続する側の黒い 5 ピンコネクタの 2 ピン、3 ピン間をショートさせます。コネクタのピン配置は下図をご参照ください。

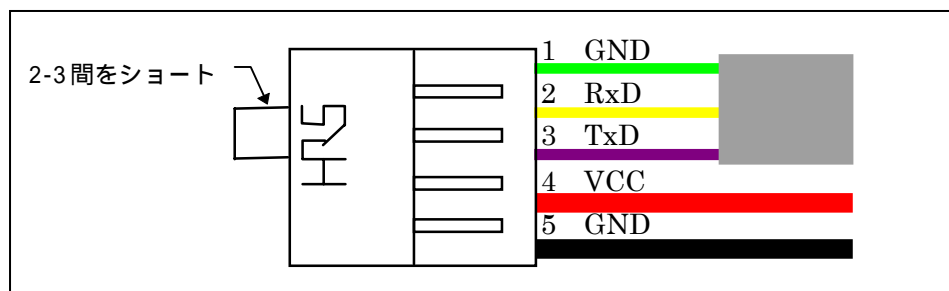


図 4-1 接続ケーブルコネクタピン配置

D. 通信ソフトウェアのテスト

キーボードの文字・数字キーを押すと、押したキーに相当する文字が画面に表示されれば正常です。

キーボードから文字を送っても画面に何も表示されない場合は……



- 選択した通信ポートの設定
通信用に指定したポートは有効になっていますか？ PC/AT 互換機では BIOS の設定でポートを無効にすることができます。
- 割り込みの重複
通信ポートの使用する割り込みを他のハードウェアデバイスが使用している場合、割り込みが競合して正常に動作しません。お使いのパソコンの割り込み使用状況を確認して通信ソフトウェアが正常に割り込みを使用できるように設定する必要があります。
- ケーブルの異常
ケーブルの断線や、ループバックの配線不良がないか、テスターで導通を確認します。コネクタの結線は 6.2.5 項をご参照ください。

E. ケーブルの GND 接続テスト

ループバックテストだけではパソコン接続ケーブルの GND 断線が検出できませんので、以上の手順でキーを押すと正常に表示ができることを確認したら、最後に現在ショートしている 2-3 ピンを、さらに 1 ピンとショートしてからキーを押して、今度は画面に表示がでないことを確認してください。万一この接続を加えても表示ができる場合は接続ケーブルの GND が断線している可能性がありますのでテスターで導通を確認してください。

F. HT1030 モードスイッチ、ジャンパソケットの設定

スイッチ SW1 のレバーを下向き(基板側向き)に設定してください。出荷時のジャンパを変更している場合は、JP1:2-3 JP2:1-2 JP4:2-3 JP5:1-2 に設定してく

ださい。モードスイッチのない基板リビジョンの場合は JP1:2-3 JP2:1-2 JP4:1-2 JP5:1-2 にジャンパソケットを設定してください。

4.4 電源の接続

通信ソフトウェアの動作に問題がなければ、パソコンは通信ソフトウェアを立ちあげたままにして、HT1030 接続用の 5 極コネクタの 1-2-3 間ショートをはずし、HT1030 に接続します。コネクタ上の HRS のロゴマークがジャンパ設定表のある面になるよう接続します。このコネクタには電源接続用の電線が配線されていますので、極性を誤らないようにして電源を接続し、電源を投入します。(4 ピンに接続されている赤色電線が+5V、5 ピンに接続されている黒色電線が GND です。)



開発中は、実験用安定化電源装置等の電流制限がかけられるものを使用し、適切なりミットを設定して使用することをお勧めします。また万一極性を誤った場合や、5V を越える電圧が加えられた場合に備えて、ボード外部にツェナーダイオードやヒューズ等で構成した保護回路を接続しておくのも効果的です。

正常であれば、画面に以下のようなメッセージが表示されます。(表示されるリビジョンや、日付は以下に示すものとは異なる場合があります。)

```
-HT1030 S Record File Loader ver.1.02(02/20/2002)
Copyright (c) Umezawa Electric Co.,Ltd. 2002
-
```

斜体文字部分は
キーボードから
の入力を表しま
す。

キーボードから、?と入力し Enter キーを押すと、コマンド一覧が表示されます。

```
-?
Available commands
Dump                D/DB/DW/DL
Examine             E/EB/EW/EL
Load S-format file L
Port                I/IB/IW/IL/O/OB/OW/OL
Excution           G
```



画面に何も表示があらわれない場合は....

- 電源電圧・極性の確認
電源電圧と、極性が正しいことをテスター等で確認してください。
- コネクタ挿入極性の確認
ジャンパ設定表のある面を上にしたときに、PC 接続用 5 極コネクタの上にかかれた HRS のロゴが見えるはずです。逆接続されていた場合は正しい向きに入れ直してください。
- ボードの不良
テスターで消費電流を測定してみてください。正常であれば HT1030 単独で使用している場合、70~90mA 程度になります。極端に少ない、あるいは多い場合はボード不良の可能性がります。
- FLASH メモリ内容の問題
FLASH メモリには、出荷時に S ファイルローダが書きこまれています。この内容をアプリケーションプログラムで上書きした場合は、S ファイルローダ

が動作しません。この場合は、8章の説明にしたがって、FLASH メモリの内容を S ファイルローダプログラムで更新してください。

- ジャンパソケットの設定
ジャンパソケット設定を 4.3 節 F 項に従って確認してください。特にモードスイッチのない旧基板では出荷時の設定がブートモードになっているため、そのままでは S ファイルローダが動作しません。

コンソールには何か出力されているが、正しい文字になっていない場合

- 通信速度の設定
通信ソフトウェアのボーレート設定が 9600bps 以外になっている可能性があります。4.3 節のループバックテストではボーレートの設定が違っていることはチェックできませんので、再度設定を見直してください。

4.5 S ファイルローダのコマンド

前項までの動作に問題がなければ、コマンドのいくつかを試してみてください。(コマンドの詳細は 11.1 節をご参照ください。)

たとえば D コマンドでは、メモリ内容を表示させることができます。

```
-d 400000
400000 5E 40 01 3A 5E 40 00 20 0C 80 A0 61 4C 04 0C 08 ^@.:^@. .. aL...
400010 54 70 A0 7A 4F 04 0C 08 54 70 80 E0 0C 08 54 70 Tp z0...Tp...Tp
400020 6D F6 5E 40 00 C0 0C 8E A8 FF 47 F6 0C E8 55 D8 m.^@.タ..イ.G...Uリ
400030 5E 40 01 18 40 EC 54 70 01 00 6D F6 0F 86 40 06 ^@...@.Tp..m...@.
400040 6C 68 5C 00 00 D2 68 68 46 F6 01 00 6D 76 54 70 lh¥..メhhF...mvTp
400050 01 00 6D F6 7E BC 73 60 47 60 29 BD 0C 98 A8 11 ..m.~シs`G`)入..イ.
400060 47 08 A8 13 46 0E F8 01 40 02 18 88 6A A8 00 40 G.イ.F...@...j イ.@
400070 02 08 40 42 7A 06 00 40 02 02 01 00 69 60 0B 70 ..@Bz...@....i`.p
-
```

E コマンドを使うと、メモリ内容を更新することができます。

```
-e 400000
400000 5E 12
400001 40 34
400002 01 56
400003 3A 78
400004 5E .
-d 400000 / 10
400000 12 34 56 78 5E 40 00 20 0C 80 A0 61 4C 04 0C 08 .4Vx^@. .. aL...
-
```

以降の節では、簡単なプログラムを PC から転送して HT1030 上で実行したり、FLASH メモリの内容を書き換えする手順について説明します。

4.6 S フォーマットファイルを転送・実行する

ここでは、例としてライタープログラム解凍時に作成された¥loader ディレクトリにある、keycode.mot を転送・実行する手順を説明します。

1. PC で通信ソフトウェアを起動し、L を入力して ENTER キーを押します。
このとき、画面にはプロンプトが表示されません。
2. 通信ソフトウェアのテキストファイル送信機能を使用して、keycode.mot ファイルを送信します。(PC の通信ソフトウェアにハイパーターミナルを使用している場合は、転送 テキストファイルの送信の順にメニューを選択します。)
3. ファイル送信が完了すると、S フォーマットファイルで指定されているプログラムスタートアドレスが表示され、コマンドプロンプトに戻ります。

```
-L  
Start Address:400000  
-
```

4. G を入力し ENTER キーを押してください。プログラムは押されたキーコードを表示します。ESC キーを押すとプログラムは終了し、コマンドプロンプトに戻ります。

```
-G  
Key code dump program  
54 45 53 54 0D 1B  
Returned from G command  
-
```

4.7 FLASH メモリの内容書き換え

ここでは、例としてライタープログラム解凍時に作成された¥loader ディレクトリにある、fkeycode.mot を FLASH メモリに転送・書き込みする手順を説明します。プログラムの動作は前節でテストしたものと同じです。(ただしプログラムは終了できません。)

1. 通信ソフトウェアを実行中の場合は、通信ソフトウェアをいったん終了します。(FLASH メモリ書き込みプログラムが同じ通信ポートを使用するため、競合するためです。)
2. Flashwr.exe プログラムを起動します。
3. Settings Port で HT1030 を接続しているシリアルポートを選択します。
4. モードスイッチ SW1 を上側にあげてブートモードを設定します。スイッチのない旧基板では HT1030 のジャンパ JP1,JP2,JP4,JP5 を次の通り設定してください。
JP1:2-3 JP2:2-3 JP4:2-3 JP5:1-2
設定が済んだら HT1030 に電源をいれます。
5. File Send で書き込みする MOT ファイルを選択します。この例では fkeycode.mot を選んで開くを押してください。
6. 書き込み中のメッセージが表示されたのち、正常に終了すると書き込み終了のメッセージが表示されます。
7. HT1030 の電源を切断し、モードスイッチを Normal 側(基板方向)に倒します。ジャンパ JP1,JP2,JP4 が次のように設定されていることを確認してください。
JP1:2-3 JP2:1-2 JP4:2-3 (モードスイッチのついている現行基板)
JP1:2-3 JP2:1-2 JP4:1-2 (モードスイッチのついていない旧基板)

8. FLASH メモリ書き込みプログラムを終了し、通信ソフトウェアを起動します。
9. HT1030 の電源をいれると、前節と同じプログラムが動作します。



COMx Open Error!と表示される

- 指定された COM ポートが使用できません。存在しないポート番号を指定しているか、他のソフトウェアと競合している可能性があります。通信ソフトウェアを立ち上げている場合は、いったん終了してください。

Handshake Error あるいは Handshake Timeout Error と表示される

- HT1030 との通信に失敗しました。FLASH メモリ書き込みモードにするためのジャンパ設定が正しく設定されているか、HT1030 に正しく電源が接続されているかどうかを確認してください。

Flash Programming Error と表示される

- FLASH メモリ書き込みに失敗しました。HT1030 の電源を再投入して書き込みをやり直してみてください。なお、FLASH メモリ書き換え回数は 100 回となっています。

4.8 プログラム開発手順のまとめ

本章の最後に、プログラム開発の流れをまとめておきます。

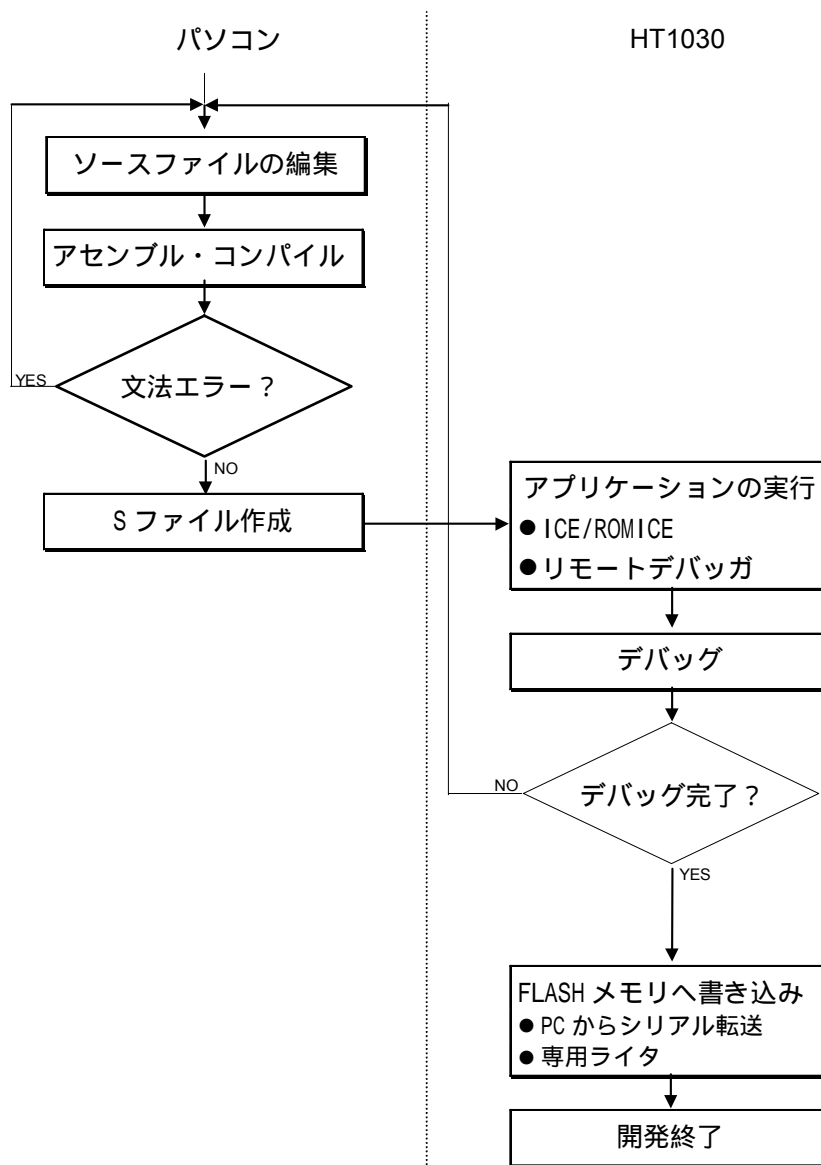


図 4-2 ソフトウェア開発手順

5 仕様

本ボードの主な仕様を表 5-1に示します。

表 5-1 HT1030 仕様

プロセッサ	日立 HD64F3067RF(H8/3067)
システムクロック	16MHz(原発振、分周可能)
メモリ	SRAM 4KB(CPU 内蔵,バックアップ無) SRAM 128KB(バックアップ付) FLASH 128KB(CPU 内蔵、書き換え回数 100 回 min.)
システムリセット	電圧検出リセット部:S80742(セイコー電子) 検出電圧 4.099V(Min.) 4.200V(Typ.) 4.301V(Max.) 外部リセット入力
カレンダー時計	EPSON RTC62421/63421 搭載可能(バックアップ付)
シリアルポート	3 チャンネル チャンネル 0,1 RS232C チャンネル 2:TTL レベル (チャンネル 1 は FLASH メモリ書き換えに使用)
ポーレートジェネレータ	各チャンネル独立、CPU 内蔵
汎用入出力	34 ビット(一部端子は他の I/O 機能と重複)
A/D コンバータ	CPU 内蔵 10 ビット 8 チャンネル(変換時間 3.5 μ s)
タイマ	16 ビット 3 チャンネル 8 ビット 4 チャンネル
ウォッチドッグタイマ	CPU 内蔵
バックアップ	0.1F 電気二重層コンデンサ(電池併用可能) 128KB SRAM 最低保持電圧 2.0V バックアップ電流 4 μ A Max. (@3.0V)
スタンバイ機能	システムクロック停止可能 ウェイクアップ機能
オプションソケット	DIP32 ピン 1M,4MbitSRAM/EPROM 実装可能 ROM インサーキットデバッグに対応 SRAM はバックアップ可能
基板サイズ	90.2 \times 95.9 \times 15.2mm (突出部を含まず)
電源電圧	5V \pm 5%
消費電流	動作時 70mA(Typ.) 200mA(Max.) スタンバイ時 0.5mA(Typ.) (外部接続無、MAX242 シャットダウンした場合)
動作温度範囲	0 \sim 70

6 ハードウェア機能

この章では、HT1030 のハードウェア機能に関連する事項について説明します。
H8/3067 の機能詳細については、日立製作所発行の H/83067 シリーズ ハードウェア
マニュアルをご参照ください。

6.1 ブロック図

図 6-1に HT1030 のブロック図を示します。

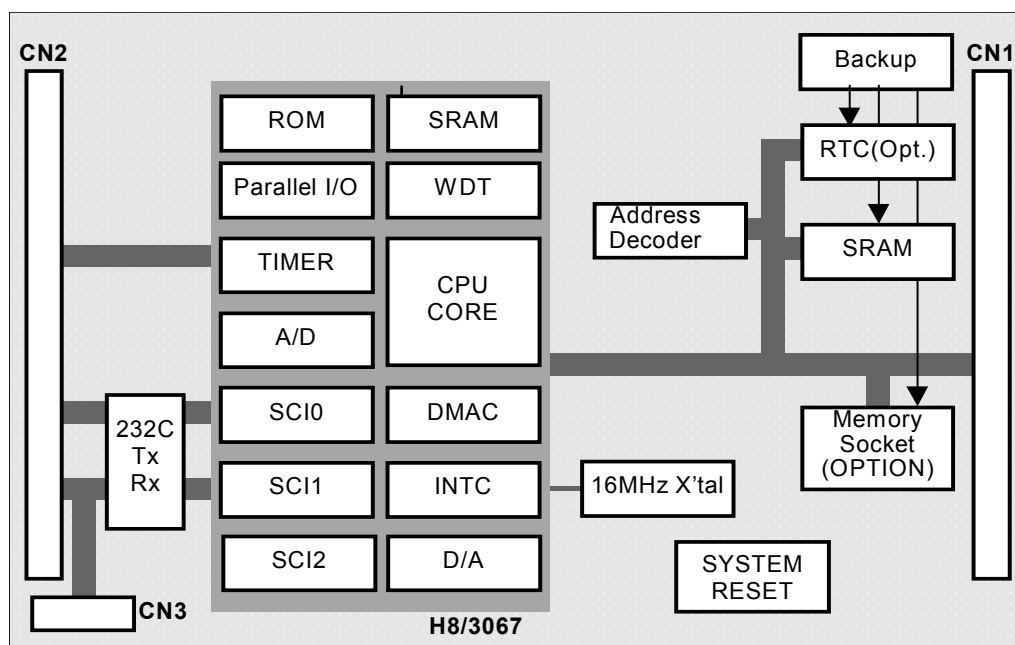


図 6-1 HT1030 ブロック図

6.2 コネクタ

6.2.1 コネクタピン配列

表 6-1から表 6-9にコネクタの信号配列を示します。表中、/印の付いた信号名はその信号が負論理であることを示します。-印の端子は未使用です。また、/TXD0、/RXD0、/TXD1、/RXD1はRS232Cレベルです。

表 6-1 CN1 信号配列

A1	/IOCHCHK	B1	GND
A2	SD7	B2	RESETDRV
A3	SD6	B3	+5V
A4	SD5	B4	-
A5	SD4	B5	-
A6	SD3	B6	-
A7	SD2	B7	-
A8	SD1	B8	-
A9	SD0	B9	-
A10	IOCHRDY	B10	GND
A11	AEN	B11	/SMEMW
A12	XA19	B12	/SMEMR
A13	SA18	B13	/IOW
A14	SA17	B14	/IOR
A15	SA16	B15	(+5VPullUp)
A16	SA15	B16	-
A17	SA14	B17	(+5VPullUp)
A18	SA13	B18	-
A19	SA12	B19	(+5VPullUp)
A20	SA11	B20	SYSCCLK
A21	SA10	B21	IRQ7
A22	SA9	B22	-
A23	SA8	B23	IRQ5
A24	SA7	B24	IRQ4
A25	SA6	B25	-
A26	SA5	B26	(+5VPullUp)
A27	SA4	B27	(+5VPullUp)
A28	SA3	B28	(+5VPullUp)
A29	SA2	B29	+5V
A30	SA1	B30	-
A31	SA0	B31	GND
A32	GND	B32	GND

表 6-2 CN2 信号配列

E1	/TXD1	F1	/RXD1
E2	/TXD0	F2	/RXD0
E3	GND	F3	CLK(P67)
E4	/LWR(P66)	F4	/WR(P65)
E5	/RD(P64)	F5	/AS(P63)
E6	P62(/BACK)	F6	P61(/BREQ)
E7	/IOCHRDY(P60)	F7	/CS2(P82,IRQ2)
E8	/CS3(P81,IRQ1)	F8	AVCC
E9	VREF	F9	AN0
E10	AN1	F10	AN2
E11	AN3	F11	AN4
E12	AN5	F12	AN6
E13	AN7	F13	AVSS
E14	PA0	F14	PA1
E15	PA2	F15	PA3
E16	PA4	F16	PA5
E17	PA6	F17	PA7
E18	SA19	F18	VCC
E19	PB0	F19	PB1
E20	PB2	F20	PB3
E21	PB4	F21	PB5
E22	PB6	F22	PB7
E23	TXD0	F23	RXD0
E24	FWEX	F24	/SHDN232
E25	/IORESET	F25	/RTCINT
E26	SCK0	F26	SCK1
E27	P40	F27	P41
E28	P42	F28	P43
E29	P44	F29	P45
E30	P46	F30	P47
E31	VCC	F31	GND
E32	BACKUP	F32	/EXRESET

表 6-3 CN3 信号配列

1	GND
2	/RxD1
3	/TxD1
4	+5V
5	GND

表 6-4 CN4 信号配列

1	+VBAT
2	GND

表 6-5 CN1A 信号配列

1	VCC	2	GND
3	SA0	4	SA1
5	SA2	6	SA3
7	SA4	8	SA5
9	SA6	10	SA7
11	SA8	12	SA9
13	SA10	14	SA11
15	SA12	16	SA13
17	SA14	18	SA15
19	SA16	20	SA17
21	SA18	22	SA19
23	/IOCHRDY	24	P61(/BREQ)
25	P62(/BACK)	26	/AS (P63)
27	/RD(P64)	28	/WR(P65)
29	/LWR (P66)	30	SYSCLK
31	SD0	32	SD1
33	SD2	34	SD3
35	SD4	36	SD5
37	SD6	38	SD7
39	GND	40	VCC

表 6-6 CN2A 信号配列

1	VCC	2	GND
3	/TXD1	4	/RXD1
5	/TXD0	6	/RXD0
7	AN0	8	AN1
9	AN2	10	AN3
11	AN4	12	AN5
13	AN6	14	AN7
15	PA0	16	PA1
17	PA2	18	PA3
19	PA4	20	PA5
21	PA6	22	PA7
23	PB0	24	PB1
25	PB2	26	PB3
27	PB4	28	PB5
29	PB6	30	PB7
31	P40	32	P41
33	P42	34	P43
35	P44	36	P45
37	P46	38	P47
39	SCK0	40	SCK1

表 6-7 CN1B 信号配列

1	GND
2	/EXRESET
3	/CS0(P84)
4	/CS1(P83)
5	P82(/CS2)
6	P81(/CS3)
7	IRQ0(P80)
8	/STBY
9	/SHDN232
10	-

表 6-8 CN7 信号配列

1	/EXRESET
2	GND

表 6-9 CN8 信号配列

1	TXD1
2	GND
3	RXD1
4	VCC
5	SCK1
6	VCC

6.2.2 CN1 信号機能

CN1 には、CPU バス関連信号を配置しています。信号配置は PC/104 に準拠していますが、バスドライブ能力やタイミング等完全には互換ではありませんのでご注意ください。

表 6-10 CN1 信号機能

信号名	機能
SYSCLK	システムクロック出力です。HT1030 では H8/3067 の CLK 出力がそのまま接続されていますので、 デフォルトでは 16MHz が出力されます。 バスに接続される拡張モジュールで、SYSCLK に 8MHz を必要とするものがある場合は、H8/3067 のクロック分周器を設定してこの端子に 8MHz が供給されるようにしてください。設定方法は7.1節をご参照ください。H8/3067 のスタンバイ機能を使用することで、この出力を停止することができます。
SA[18:0]	アドレス出力です。この端子は H8/3067 のポート 1,2,5 と兼用となっており、 H8/3067 の動作モード 5,7 のときデフォルトではアドレス出力となります。 ポート 1,2,5 のディレクションレジスタを設定してアドレス出力としてください。設定方法は7.2節をご参照ください。
XA19	PC/104 バスの SA19 に対応する端子です。この端子はプルアップで H に固定されていますので、接続される拡張モジュールのアクセス可能なメモリアドレスは、SA19 が H となるエリア(80000-FFFFFF)になります。JP16 で固定するレベルを L に切替えることができます。
AEN	この端子はプルダウンで L に固定されています。PC/104 バスに接続される拡張モジュールは、通常 I/O アドレスデコードにこの信号が L であることを使用しています。
SD[7:0]	データ入出力バスです。
/SMEMR	PC/104 バスに拡張されるモジュールに対する、メモリアドレス出力信号です。H8/3067 のアドレス空間 280000-2FFFFFF が PC/104 バスのメモリ空間 80000-FFFFFF に対応します。 デフォルトではこの機能は無効となっています。 7.7節をご参照ください。
/SMEMW	PC/104 バスに拡張されるモジュールに対する、メモリライト信号です。H8/3067 のアドレス空間 280000-2FFFFFF が PC/104 バスのメモリ空間 80000-FFFFFF に対応します。 デフォルトではこの機能は無効となっています。 7.7節をご参照ください。
/IOR	PC/104 バスに拡張されるモジュールに対する、I/O リード信号です。H8/3067 のアドレス空間 200000-20FFFF が PC/104 バスの I/O 空間 0000-FFFF に対応します。 デフォルトではこの機能は無効となっています。 7.7節をご参照ください。
/IOW	PC/104 バスに拡張されるモジュールに対する、I/O ライト信号です。H8/3067 のアドレス空間 200000-20FFFF が PC/104 バスの I/O 空間 0000-FFFF に対応します。 デフォルトではこの機能は無効となっています。 7.7節をご参照ください。
IOCHRDY	H8/3067 の/WAIT 端子に接続されており、この信号が H になるまでバスサイクルが延長されます。 デフォルトではこの機能は無効となっています。 バスに接続するモジュールがこの機能を使用する場合は、バスコントロールレジスタを設定して、この機能を有効にしてください。詳細は7.5節をご参照ください。
RESETDRV	リセット出力です。 Hアクティブですのでご注意ください。 外部リセット入力には/EXRESET です。RESETDRV にスイッチ等を接続しないでください。
IRQ7	外部割り込み入力です。H8/3067 の IRQ0 端子に割り当てられています。この信号を CN1B から汎用入出力として使用する場合は、JP24 をオープンとしてください。
IRQ4	外部割り込み入力です。H8/3067 の IRQ4 端子に割り当てられています。
IRQ5	外部割り込み入力です。H8/3067 の IRQ5 端子に割り当てられています。
/IOCHCHK	H8/3067 のノンマスクブル割り込み入力 NMI に接続されています。

6.2.3 CN2 信号機能

CN2 には主に H8/3067 の I/O 信号端子が配置されています。

表 6-11 CN2 信号機能

信号名	機能
PA[7:0]	ポート A 入出力信号です。デフォルトでは入力となっていますが、 H8/3067 の動作モード 3 では PA7 が強制的に A20 出力となりますのでご注意ください。 RM6 を実装してプルアップまたはプルダウンすることができます。なお、これらの端子は H8/3067 内蔵の他の I/O 機能(タイマ等)と兼用されています。
PB[7:0]	ポート B 入出力信号です。デフォルトでは入力となっています。 RM5 を実装してプルアップまたはプルダウンすることができます。なお、これらの端子は H8/3067 内蔵の他の I/O 機能(シリアルチャンネル 2 やタイマ等)と兼用されています。
P4[7:0]	ポート 4 入出力信号です。デフォルトでは入力となっています。 RM4 を実装してプルアップまたはプルダウンすることができます。
CLK/(P67)	CN1 の SYSCLK と同一の信号が接続されています。
/LWR(P66)	H8/3067 の同名端子に接続されています。H8/3067 動作モード 6,7 以外では常に /LWR 出力となります。
/WR(P65)	H8/3067 の P65/HWR 端子に接続されています。H8/3067 動作モード 6,7 以外では常に /HWR 出力となります。
/RD(P64)	H8/3067 の P64/RD 端子に接続されています。H8/3067 動作モード 6,7 以外では常に /RD 出力となります。
/AS(P63)	H8/3067 の P63/AS 端子に接続されています。H8/3067 動作モード 6,7 以外では常に /AS 出力となります。
P62/(BACK)	H8/3067 の P62/BACK 端子に接続されています。デフォルトでは P62 入力となっており、出力として使用する場合や、/BACK として使用する場合は設定が必要です。
P61/(BREQ)	H8/3067 の P61/BREQ 端子に接続されています。デフォルトでは P61 入力となっており、出力として使用する場合や、/BREQ として使用する場合は設定が必要です。
/IOCHRDY (P60)	H8/3067 の P60/WAIT 端子に接続されています。デフォルトでは P60 入力となっており、出力として使用する場合や、/WAIT として使用する場合は設定が必要です。なお、この信号は CN1 の /IOCHRDY にも配置されていますので、出力として使用する場合は CN1 経由で接続される信号と競合のないようご注意ください。
P82 (CS2,/IRQ2)	H8/3067 の P82/CS2/IRQ2 端子に接続されています。デフォルトでは P82 入力となっていますが、通常この信号はオンボード 128KBSRAM の選択信号として使用するよう設定して使用します。SRAM を使用しない場合は P82 入出力または IRQ2 として使用することができます。
P81 (CS3,/IRQ1)	H8/3067 の P81/CS3/IRQ1 端子に接続されています。デフォルトでは P81 入力となっていますが、HT1030 では将来の拡張オンボード拡張 FLASH メモリ用に予約していますが、この機能を将来使用しない場合は P81 入出力または IRQ1 として使用することができます。

信号名	機能
SCK0 (P94,/IRQ4)	H8/3067 の P94/SCK0/IRQ4 信号が接続されています。デフォルトではこの信号は P94(汎用入出力)の入力ポートとなっています。SCK0 入出力として使用する場合は設定が必要です。この端子には、CN1 の IRQ4 反転信号が接続されています。
SCK1 (P95,/IRQ5)	H8/3067 の P95/SCK1/IRQ5 信号が接続されています。デフォルトではこの信号は P95(汎用入出力)の入力ポートとなっています。SCK1 入出力として使用する場合は設定が必要です。この端子には、CN1 の IRQ5 反転信号が接続されています。
/TxD0	RS232C レベルのチャンネル 0 送信データ出力です。H8/3067 の P90/TxD0 信号がレベル変換回路を通して接続されています。デフォルトではこの信号は P90(汎用入出力)の入力ポートとなっていますので、 シリアル通信に使用する場合はモードを変更してください。
/RxD0	RS232C レベルのチャンネル 0 受信データ入力です。レベル変換回路を通して H8/3067 の P92/RxD0 に接続されています。デフォルトではこの信号は P92(汎用入出力)の入力ポートとなっていますので、 シリアル通信に使用する場合はモードを変更してください。
/TxD1	RS232C レベルのチャンネル 1 送信データ出力です。H8/3067 の P91/TxD1 信号がレベル変換回路を通して接続されています。この信号は CN3 にも接続されています。デフォルトではこの信号は P91 機能(汎用入出力)の入力ポートとなっていますので、 シリアル通信に使用する場合はモードを変更してください。
/RxD1	RS232C レベルのチャンネル 1 受信データ入力です。レベル変換回路を通して H8/3067 の P93/RxD1 に接続されています。この信号は CN3 にも接続されています。デフォルトではこの信号は P93 機能(汎用入出力)の入力ポートとなっていますので、 シリアル通信に使用する場合はモードを変更してください。
TxD0(P90)	H8/3067 の内蔵シリアルポートチャンネル 0 の送信出力端子です。この端子は P90(汎用入出力)と兼用されています。デフォルトでは P90(汎用入出力)の入力ポートとなっていますので、使用用途に応じてモードを変更してください。
RxD0	この端子には、チャンネル 0 の RS232C レベル変換回路を通った受信データ出力が接続されています。この端子は H8/3067 では P91(汎用入出力)と兼用されていますが、RS232C レベルの変換回路の出力がボード内で接続されているため、 この端子を通して外部からの信号入力はできませんのでご注意ください。
/EXRESET	外部リセット入力端子です。 GND との間にスイッチを接続することができます。
BACKUP	メインの電源が切断された場合でもバックアップを必要とするデバイスの電源を接続します。HT1030 では 128KBSRAM と RTC(オプション)、メモリソケット電源(オプション)の電源がここに接続されています。この端子には電気二重層コンデンサが接続されています。 注意：外部電池はこの端子ではなく、CN4 から接続してください。
AVREF	H8/3067 内蔵 A/D コンバータの基準電圧入力です。デフォルトではボード上で VCC に接続されていますが、JP19 をカットし他の電圧(ただし 0 AVREF VCC)を入力することができます。
AN[7:0]	H8/3067 の P7/AN[7:0]/DA[1:0]に接続されています。RM7 を実装してプルアップまたはプルダウンすることができます。
AVCC	H8/3067 内蔵 A/D 変換回路部分の電源端子です。ボード上で他の回路用の VCC に接続されていますが、JP18 をカットし外部から供給することができます。
AVSS	H8/3067 内蔵 A/D 変換回路部分の GND 端子です。ボード上で他の回路用の GND に接続されていますが、JP20 をカットし外部から供給することができます。
FWEX	JP4 が 1 に設定されている場合、この端子の信号が H8/3067 の FWE 入力に接続されます。(FWE は H8/3067 の内蔵 FLASH メモリの書き込みを許可する信号です。)

信号名	機能
/SHDN232	通常はこの端子をオープンで使用します。この端子を L にすると、ボード上の 232C ドライバがシャットダウンモードとなり、消費電流を低くすることができます。(ただしこのとき送信はできなくなります。)H8/3067 内蔵 FLASH メモリをブートモードで書き換えする場合は、この端子が L にならないようにしてください。
/IORESET	この端子に L にすると、CN1 の RESETDRV がアクティブとなり、PC/104 バスに接続された拡張ボードをリセットすることができます。この入力により CPU はリセットされませんので、プログラムにより拡張ボードのリセットを行うことが可能です。(たとえば汎用出力ポートを使って、H8/3067 内蔵ウォッチドッグタイマ動作時に拡張ボードのリセットを出力する場合に使用できます。)
/RTCINT	オプションのカレンダー時計からの割り込み出力端子です。なお、HT1030 に搭載可能なカレンダー時計の割り込み出力はオープンドレインです。

6.2.4 CN1A,CN1B,CN2A 信号機能

CN1A は、CN1 に接続されている主な信号が 40 極にまとめられており、CN1 にあらかじめ実装されているスタックスルーコネクタ以外のコネクタで信号を取り出す場合に使用することができます。信号機能については、表 6-10 の同名信号機能の説明をご参照ください。



《注意》

H8/3067 の拡張モード(モード 3,5)で使用する場合、CN1A に接続される信号は CPU バス信号ですので、これらの信号を CN1A を通して延長すると動作不安定となる可能性があります。CN1A は H8/3067 をシングルチップモード(モード 7)で使用する場合にお使いになることをお勧めします。

CN1B は CN2 に割り当てられている信号の一部と、CN1,CN2 いずれにも割り当てられていない /CS0(P84),/CS1(P83),IRQ0 が接続されています。信号機能については、表 6-11 の同名信号機能の説明および下表をご参照ください。

表 6-12 CN1B 信号機能(CN2 に存在しないもの)

信号名	機能
/CS0(P84)	H8/3067 の P84 /CS0 端子に接続されています。デフォルトでは P84 入力となっておりますが、メモリの選択信号/CS0 として使用することができます。
/CS1(P83)	H8/3067 の P83/CS1/IRQ3 端子に接続されています。デフォルトでは P83 入力となっておりますが、通常この信号は CN1 から接続する拡張バスの選択信号として使用します。CN1 の拡張バスを使用しない場合は、P83 入出力または IRQ3 として使用することができます。
IRQ0	H8/3067 の P80/IRQ0/RFSH 端子に接続されています。デフォルトでは P80 入力となっております。CN1 から接続する拡張バスの割り込み入力 IRQ7 の反転信号が接続されています。設定により/RFSH 出力となります。

《注意》

H8/3067 の拡張モード(モード 3,5)で使用する場合、CN1B-3~7 をメモリ選択(/CS0~3)と設定し、CN1B を通して延長すると動作不安定となる可能性があります。CN1B から信号を延長する場合は、これらの端子(CN1B-3~7)は汎用入出力としてご使用ください。



CN2A には、CN2 に接続されている主な信号が 40 極にまとめられており、CN2 の信号をピンヘッダ等で引き出す場合に使用することができます。信号機能については、表 6-11 の同名信号機能説明をご参照ください。

6.2.5 CN3 信号機能

CN3 はシリアルチャンネル 1 入出力および電源接続端子です。PC と接続してフラッシュメモリの書き換えをする場合は、この端子を使用します。

表 6-13 CN3 信号機能

信号名	機能
+5V	ボードの電源を供給します。CN1 から電源を供給する場合は接続不要です。
GND	電源およびコンソールの GND に接続します。
TxD1*	H8/3067 内蔵シリアルポートのチャンネル 1 送信出力が RS232C レベル変換回路を通して接続されています。この信号は CN2 の E1 にも接続されています。
RxD1*	RS232C レベル変換回路を通して H8/3067 内蔵シリアルポートのチャンネル 1 受入力に接続されています。この信号は CN2 の F1 にも接続されています。

別売の PC 接続用ケーブル(HT1030-03)はこのコネクタに接続されます。接続は次の通りです。

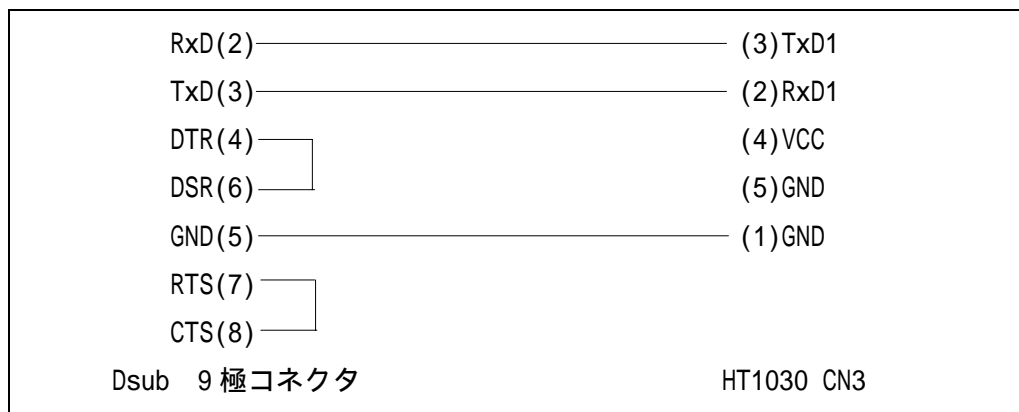


図 6-2 HT1030-03 パソコン接続ケーブル結線

6.2.6 CN4 信号機能

CN4 はバックアップ用の電源接続用端子です。バックアップ機能については 6.12 節をご参照ください。

表 6-14 CN4 信号機能

信号名	機能
+VBAT	SRAM・RTC のバックアップ用に電池を接続する端子（プラス側）です。
GND	バックアップ用電池のマイナス側を接続します。

6.2.7 CN5,CN6 信号機能

CN5 は、HT1030 に DIP32 ピンまでのメモリ素子を増設して使用する場合は取り付けスペースです。使用可能なデバイスや、その際のジャンパ設定等については6.3.1項および6.13章をご参照ください。

CN6 は、HT1030 にカレンダー時計を増設して使用する場合は取り付けスペースです。使用可能なデバイスや、カレンダー時計使用時の注意事項は6.9節をご参照ください。

6.2.8 CN7,CN8 信号機能

CN7、CN8 は弊社テスト用に予約されております。

6.2.9 コネクタ型式

CN1 から 3 の型式等を表 6-15に示します。その他のコネクタは実装されていません。

表 6-15 コネクタ型式

コネクタ	メーカー	型式	備考
CN1	ASTRON	AT-ES1-64-12-2-GF	PC/104 J1 スタックスルー
CN2	ASTRON	AT-ES1-64-02-2-GF	
CN3	ヒロセ電機	A2-5PA-2.54DS	適合ハウジング A2-5S-2.54C 圧着ピン A1-2226SCC

6.3 ジャンパ設定

ここでは機能別にジャンパの設定について説明します。なお、3極ポスト型のジャンパはシルクで印がある端子から1、2、3番ピンとなっています。

6.3.1 オプションメモリタイプ(JP6,8-11)

JP6,JP8~JP11 は、オプションメモリソケットで使用するメモリタイプを設定します。出荷時JP6は1-2が接続されています。他のジャンパはパターンのみですので必要に応じて部品を実装してください。オプションソケットを使用しない場合、これらのジャンパ設定は任意です。

表 6-16 オプションメモリタイプのジャンパ設定

メモリタイプ	JP6	JP8	JP9	JP10	JP11
4Mbit ROM	1-2	2-3	2-3	2-3	2-3
4Mbit SRAM(backup 無)	1-2	1-2	2-3	1-2	1-2
4Mbit SRAM(backup 有)	2-3	1-2	2-3	1-2	1-2
1Mbit ROM*1	1-2	2-3	Don'tCare	2-3	2-3
1Mbit SRAM(backup 無)	1-2	Don'tCare	1-2	1-2	1-2
1Mbit SRAM(backup 有)	2-3	Don'tCare	1-2	1-2	1-2
256/512Kbit ROM*2	1-2	Don'tCare	1-2	Don'tCare	2-3
256Kbit EEPROM (HN58C256)*3	1-2	Don'tCare	1-2	Don'tCare	1-2
1Mbit EEPROM (HN58C1001)*4	1-2	Open	1-2	1-2	1-2

1 1MbitROM を使用する場合は、A18 が 1 となる領域でアクセスしてください。

2 256kbitROM を使用する場合は、A15 が 1 となる領域でアクセスしてください。

3 HN58C256 を使用する場合は、デバイスの A14 に CPU からアドレス A15 が接続されます。このため、書き換えのコマンドシーケンスを変更する必要があります。

4 HN58C1001 を使用する場合は、A14 と A15 の接続が入れ替わります。このため、書き換えのコマンドシーケンスを変更する必要があります。

表中で Don'tCare とかかっている項目は、オープンまたは 1-2,2-3 のどの設定でも構わないことを意味しています。Open とかかっている項目は、部品を実装してはならないことを意味しています。

6.3.2 オプションメモリアドレス空間(JP15)

JP15 は、オプションメモリが配置されるアドレスを選択するジャンパです。出荷時には部品が取り付けられていませんので、必要に応じて実装してください。設定する場合は、JP3 による SRAM のアドレス空間と競合のないように注意してください。詳しくは6.6.3項をご参照ください。

表 6-17 オプションメモリアドレス空間選択

JP15	機能
CS0	オプションメモリは/CS0 で選択されます。
CS2	オプションメモリは/CS2 で選択されます。
CS3	オプションメモリは/CS3 で選択されます。
Open	オプションメモリは選択されません。

6.3.3 A/D コンバータ(JP18,19,20)

JP18 から 20 は H8/3067 内蔵 A/D コンバータ部の電源と基準電圧の供給をボード内から行うか、外部から行うかの切り替えジャンパです。出荷時は全てのジャンパが 0 オームのチップ抵抗で接続されていますので、切り替えが必要な場合はこれらの抵抗を取り外してください。

表 6-18 A/D コンバータ電源周辺ジャンパ設定

ジャンパ	機能
JP18	AVCC(A/D コンバータ部の VCC)をシステムの VCC に接続しています。ジャンパをはずした場合は CN2-F8 から A/D コンバータ部の VCC を供給してください。
JP19	VREF(A/D コンバータの基準電圧)をシステムの VCC に接続しています。ジャンパをはずした場合は CN2-E9 から A/D コンバータの基準電圧を供給してください。
JP20	AVSS(A/D コンバータ部の GND)をシステムの GND に接続しています。ジャンパをはずした場合は CN2-F13 から A/D コンバータ部の GND を接続してください。

6.3.4 RS232C レベル変換回路の禁止(JP5)

JP5 は HT1030 の RS232C レベル変換回路の動作を許可 / 禁止するためのジャンパです。出荷時は 1-2 がソケットで接続されており、RS232C レベル変換回路は動作する設定となっています。このジャンパを 2-3 接続に変更すると、レベル変換回路は動作を停止しますので、消費電流を約 4mA(RS232C 入出力に外部回路が接続されていない場合の数値)低減させることができます。

表 6-19 RS232C レベル変換回路ジャンパ設定

JP5	機能
1-2	シリアルチャンネル 0、1 に接続されている MAX242(RS232C レベル変換回路)を有効にします。
2-3	シリアルチャンネル 0、1 に接続されている MAX242(RS232C レベル変換回路)をシャットダウンします。この状態で送信はできませんが、受信動作は可能です。

6.3.5 外部割込み接続(JP12,13,24)

JP12 と JP13 は、外部割込み入力 IRQ4/5 を H8/3067 の SCK0/SCK1 に接続するジャンパです。出荷時にはこれらのジャンパには 4.7k オームのチップ抵抗が実装されています。CN2(CN2A)の SCK0/SCK1 を使用する際、これらの抵抗が負荷となって不都合な場合は、これらのジャンパに実装されている抵抗を取り外してご使用ください。(抵抗が実装されたまま SCK0/SCK1 端子の入出力を行っても問題ありません。)

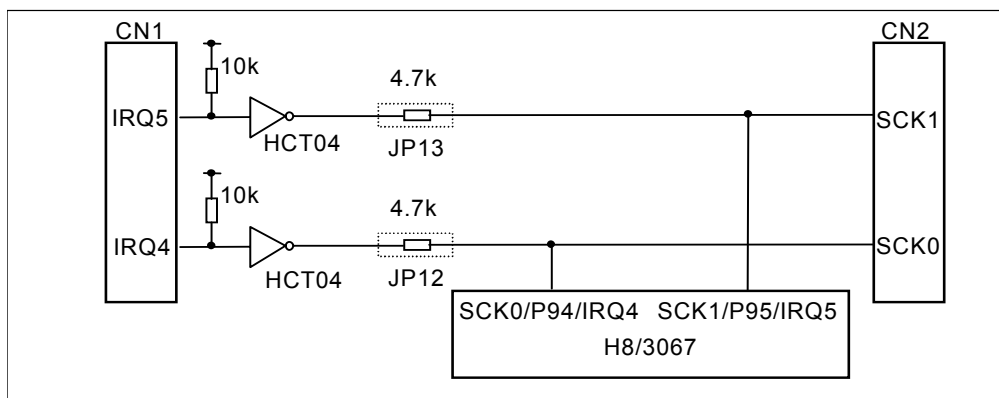


図 6-3 JP12,JP13 の接続

JP24 は、CN1 の外部割込み入力 IRQ7 を H8/3067 の IRQ0 に接続するジャンパです。出荷時にはこのジャンパはショートされています。IRQ0 を汎用入出力として使用する場合は、このジャンパをはずしてご使用ください。

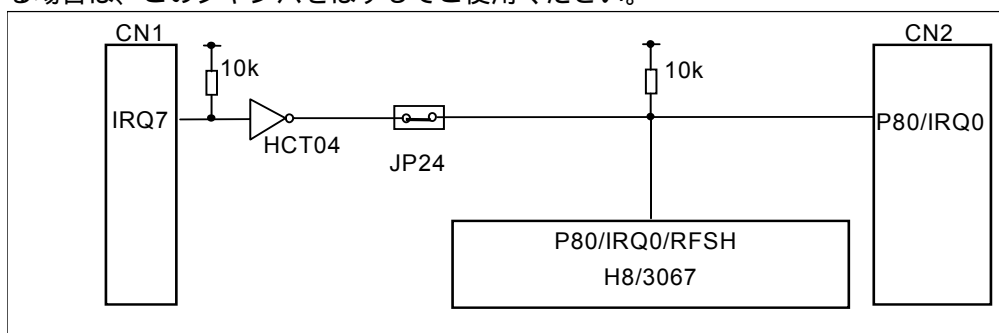


図 6-4 JP24 の接続

6.3.6 SRAM アドレス空間(JP3)

JP3 は、128KB の SRAM が配置されるアドレスを選択するジャンパです。出荷時には 2-3 間にジャンパソケットが取付けられており、/CS2 で SRAM が選択される設定

となっています。オプションメモリソケットを使用する場合は、JP15 の設定と競合のないように注意してください。詳しくは6.6.1項をご参照ください。

表 6-20 SRAM アドレス空間選択

JP3	機能
CS0(1-2)	128KB の SRAM は/CS0 で選択されます。
CS2(2-3)	128KB の SRAM は/CS2 で選択されます。
Open	/CS0、/CS2 のレベルにかかわらず 128KB の SRAM は使用できなくなります。

6.3.7 動作モード(JP1,2,4,14)

JP1,2,4,14 は H8/3067 の動作モードを選択するジャンパです。H8/3067 にはモード 1 から 7 までの動作モードがありますが、HT1030 はデータバスが 8bit となるモードで使用する設計となっているため、16bit データバスの動作モード(モード 2,4)には対応していません。H8/3067 のモード設定入力 MD0 に接続されている JP14 には部品が搭載されていませんが、MD0 はプルアップされていますので、出荷時には H に設定されています。なお、HT1030 では H8/3067 動作モード 1 には対応していません。これらのジャンパのうち、JP4 の設定はモードスイッチのある現行基板と、それ以前の旧基板で設定方法が異なりますのでご注意ください。

《現行基板》JP1,2,4 は出荷時動作モードがモード 5 となるように設定されています。
《旧基板》JP1,2,4 は出荷時ブートモードとなるよう設定されています。旧基板でブートモードを使用する場合は JP5 を 1-2 に設定し、RS232C 送信回路が動作可能な状態にしてください。

表 6-21 H8/3067 動作モード設定

基板	旧基板			現行基板		
	JP1	JP2	JP4	JP1	JP2	JP4
動作モード						
モード 3(内蔵フラッシュ禁止、外部バス有効)	1-2	2-3	1-2	1-2	2-3	2-3
モード 5(内蔵フラッシュ・外部バス有効)	2-3	1-2	1-2	2-3	1-2	2-3
モード 7(内蔵フラッシュ有効、外部バス禁止)	1-2	1-2	1-2	1-2	1-2	2-3
ブートモード(モード5)	2-3	2-3	2-3	任意	任意	1-2

6.3.8 アドレス A19(JP16)

CN1 の XA19 端子には、H8/3067 の A19 アドレス出力が接続されておらず、JP16 で設定されるレベルが固定で出力されます。出荷時は 1-2 が接続されており、XA19 には H が出力されます。このジャンパは 0 オームのチップ抵抗で接続されていますので、変更する場合はこの抵抗をはずして接続を変更してください。

表 6-22 A19 ジャンパ設定

JP16	XA19
1-2	CN1 の XA19 には H が出力されます。(出荷時設定)
2-3	CN1 の XA19 には L が出力されます。

6.3.9 その他のジャンパ(JP7,17,21,22,23)

これらのジャンパはメーカーオプションです。

6.4 モードスイッチ(SW1)

モードスイッチはブートモードと JP1,2,4 で設定された動作モードを切り替えするスイッチです。旧基板ではこの切り替えのために JP1,2,4 を設定しなおす必要がありましたが、現行基板ではこれをワンタッチで行うことができます。

表 6-23 モードスイッチ設定

スイッチ位置	動作モード
normal	JP1,2,4 で設定された動作モード
boot	ブートモード

なお JP4 のジャンパソケットを取り外すと、SW1 によるブートモード設定が禁止されますので、SW1 の誤切替でブートモードに設定されることを防止できます。

6.5 ROM インサーキットデバッグ用 TP

HT1030 には、ROM インサーキット型デバッグのプロープ接続を容易にするためのテストポイントが用意されています。必要に応じてチェック端子を取り付けてご使用ください。ROM インサーキット型デバッグを使用する際のジャンパ設定については、6.10節をご参照ください。

表 6-24 TP 機能

TP	機能
TP1	/IOCHCHK(H8/3067 の NMI)に接続されています。
TP2	/EXRESET に接続されています。
TP3	GND に接続されています。

6.6 メモリマップ

000000	FLASH(128KB)	(エリア 0)
01FFFF 020000		
1FFFFF	PC/104 I/O	(エリア 1)
200000	(reserved)	
20FFFF 210000	RTC	
23FFFF 240000	(reserved)	
24000F 240010	PC/104 MEMORY	(エリア 2)
27FFFF 280000	(reserved)	
2FFFFF 300000	SRAM(128KB)	
3FFFFF 400000	(reserved)	(エリア 3)
41FFFF 420000	OPTION MEMORY	
5FFFFF 600000	(reserved)	(エリア 4~6)
67FFFF 680000		
7FFFFF 800000		
DFFFFF E00000	I/O REGISTERS	(エリア 7)
FEDFFF FEE000		
FEE0FF FEE100		
FFEF1F FFEF20		
FFFF1F FFFF20	SRAM(4KB)	
FFFFE9 FFFFEA	I/O REGISTERS	
FFFFFF		

機能割り当て エリア分割

図 6-5 メモリマップ

H8/3067 のメモリ選択信号出力は、バスコントロールレジスタ(BCR)の RDEA ビットが 1 の場合、全メモリ空間が 2MB ずつ 8 つのエリアに分割され、それぞれのエリアに対応した /CS0 ~ /CS7 で接続するデバイスを選択することができます。(HT1030 では、/CS0 ~ /CS3 を使用しています。)

図 6-5 に出荷時のジャンパ設定状態に対応した HT1030 のメモリマップを示します。通常はこのメモリマップで使用しますが、ジャンパ設定によって 128KBSRAM はエリア 0 に、オプションメモリソケットはエリア 0 または 2 にも割り当てることができます。H8/3067 には複数の動作モードがありますが、ここでは特に断りのない場合モード 3(内蔵 FLASH メモリ無効)およびモード 5(内蔵 FLASH メモリ有効)を想定しています。

メモリマップで空白の領域は未使用です。Reserved の領域はデコードの簡略化によるイメージが出現するため、使用することができません。

6.6.1 128KB SRAM

出荷時のジャンパ設定(JP3 が /CS2 に設定された状態)で、128KB SRAM は 400000 から 41FFFF までを占有します。ただし、SRAM を選択する /CS2 出力は電源投入直後無効となっていますので、H8/3067 の関連するレジスタを設定する必要があります。詳しくは 7.6 節をご参照ください。このメモリは電気二重層コンデンサでバックアップされています。

表 6-25 JP3 設定とメモリアドレス範囲

JP3	アドレス範囲
/CS2	400000-41FFFF を占有します。他のエリアと重複しないよう、通常はこの設定でご使用ください。
/CS0	H8/3067 動作モード 3 では H8 内蔵 FLASH メモリが無効となりますので、この設定にすると 128KB SRAM は 000000-01FFFF に割当てられます。 動作モード 5 では H8 内蔵 FLASH メモリが有効となります。/CS0 で選択されるエリアのうち、内蔵 FLASH メモリと重複するアドレスでは内蔵 FLASH メモリが優先となりますので、使用可能なアドレス範囲は 020000-03FFFF となります。JP3 をこの設定にする場合は、JP15 を /CS2 または /CS3 に設定してください。

6.6.2 H8/3067 内蔵 SRAM

FFEF20 から FFFF1F までの 4KB は H8/3067 内蔵の SRAM 領域です。この SRAM は電源投入直後から有効となっていますが、システムコントロールレジスタ(SYSOCR)の設定により無効にすることができます。設定については6.7.12 項をご参照ください。なお、このメモリはバックアップ対象とはなりませんのでご注意ください。

6.6.3 オプションメモリソケット

オプションメモリソケットおよび関連するジャンパは出荷時に実装されていませんが、部品を実装して ROM や SRAM 等 DIP メモリデバイスを搭載することができます。ジャンパ JP15 でこのメモリが選択されるアドレスを変更することができますが、通常は/CS3 を選択してください。このとき、オプションメモリソケットは 600000 から 67FFFF までを占有します。ただし、/CS3 出力は電源投入直後無効となっていますので、H8/3067 の関連するレジスタを設定する必要があります。詳しくは7.8節をご参照ください。ジャンパ JP6 の設定によって、このソケットに実装したメモリをバックアップすることができます。ジャンパ JP15 を/CS0 または/CS2 に設定する場合は、128KB SRAM と競合することがないように注意してください。

表 6-26 JP15 設定とメモリアドレス範囲

JP15	アドレス範囲
/CS3	600000-67FFFF を占有します。他のエリアと重複しないよう、通常はこの設定でご使用ください。
/CS2	400000-47FFFF を占有します。JP3 が/CS2 に設定されていると(出荷時設定)128KB SRAM がこのエリアに割り当てられますので、JP15 をこの設定にする場合は JP3 は/CS0 に設定してください。
/CS0	H8/3067 動作モード 3 では H8 内蔵 FLASH メモリが無効となりますので、この設定にすると 000000-07FFFF に割り当てられます。 動作モード 5 では H8 内蔵 FLASH メモリが有効となります。/CS0 で選択されるエリアのうち、内蔵 FLASH メモリと重複するアドレスでは内蔵 FLASH メモリが優先となりますので、使用可能なアドレス範囲は 020000-07FFFF までとなります。JP15 をこの設定にする場合は、JP3 を/CS2 に設定してください。

6.6.4 H8/3067 内蔵 FLASH メモリ

000000 から 01FFFF までの 128KB は H8/3067 内蔵 FLASH メモリが占有しています。(H8/3067 動作モード 3 ではこの FLASH メモリは無効となります。) このメモリは通常作成したアプリケーションを保存するために使用されます。占有アドレスは変更することができません。FLASH メモリはブートモードによる書き換えのほか、アプリケーションプログラムからの書き換えも可能です。アプリケーションから書き換えを行う場合は、CN2 の FWEX 端子を正しく制御する必要があります。詳細は H8/3067 ハードウェアマニュアル 18 章をご参照ください。

6.6.5 CN1 拡張バス空間

200000-20FFFF までは、CN1 を通して拡張する増設ボードの I/O 空間に割り当てられています。CN1 の信号配置は PC/104 規格に準拠しているため、弊社 HT シリーズの I/O モジュールをスタッキング接続することができます。PC/104 規格で想定している CPU は x86 系のバスのため、I/O およびメモリがそれぞれ別のアドレス空間をもっています。一方 H8/3067 では I/O アドレス空間の概念はなく、I/O もメモリも同一の空間にマッピングされるため、HT1030 では CN1 で拡張される I/O 空間 0000 ~ FFFF を上記のように 200000 ~ 20FFFF にマッピングしています。

280000-2FFFFFFF までは、CN1 を通して拡張する増設ボードのメモリ空間に割り当てられています。CN1 を通して増設されるメモリアドレスは A19 を除いてそのまま H8/3067 のアドレスに接続しています。A19 については、出荷時 H が出力されるよう JP16 で設定されています。このため、拡張モジュールの占有するアドレス範囲は、A19 が H となる 80000 ~ FFFFFF までの範囲に限定されます。(通常、80000 より下位のメモリアドレスを占有する PC/104 拡張モジュールはありませんので、これが問題となることはありません。)

6.6.6 RTC(オプション)

CN6 に増設することができる RTC は、240000 ~ 24000F までを占有します。制御信号の作成に /CS1 を使用しているため、関連するレジスタを設定する必要があります。7.9 節をご参照ください。

6.7 H8/3067 内蔵 I/O レジスタ

H8 は I/O とメモリの区別がなくどちらもメモリ空間にマッピングされており、I/O に関連するレジスタは FEE000 ~ FEE0FF、FFFF20 ~ FFFF E9 までを占有しています。I/O 機能詳細については、H8/3067 ユーザーズマニュアル ハードウェア編をご参照ください。

表 6-27 HT1030 初期設定に関連する内蔵 I/O アドレス

名称	R/W	アドレス	機能	リセット時
ASTCR	R/W	FEE021	アクセスステートコントロールレジスタ	FF
BCR	R/W	FEE024	バスコントロールレジスタ	C6
DIVCR	R/W	FEE01B	分周比コントロールレジスタ	FC
IER	R/W	FEE015	IRQ イネーブルレジスタ	00
IPRA	R/W	FEE018	インタラプトプライオリティレジスタ A	00
ISCR	R/W	FEE014	IRQ センسコントロールレジスタ	00
ISR	R/W	FEE016	IRQ ステータスレジスタ	00
P1DDR	W	FEE000	ポート 1 データディレクションレジスタ	FF/00
P2DDR	W	FEE001	ポート 2 データディレクションレジスタ	FF/00
P5DDR	W	FEE004	ポート 5 データディレクションレジスタ	FF/F0
P8DDR	W	FEE007	ポート 8 データディレクションレジスタ	F0/E0
SYSCR	R/W	FEE012	システムコントロールレジスタ	09
WCRL	R/W	FEE023	ウェイトコントロールレジスタ L	FF

以下の項では、H8/3067 内蔵レジスタのうち HT1030 を使用するために最低限設定しなければならないレジスタを中心に簡単に説明します。

6.7.1 ASTCR

アクセスステートコントロールレジスタは、H8/3067 の 8 つに分割されたメモリ空間のアクセスサイクルを 2 ステートあるいは 3 ステートに設定します。(アクセスステートについては、H8/3067 ハードウェアマニュアル 6.4.5 項をご参照ください。)図 6-6 に ASTCR の構成を、表 6-28 に各ビットの機能を示します。詳細は H8/3067 ハードウェアマニュアル 6.2.2 項をご参照ください。

bit7	Bit6	bit5	bit4	bit3	bit2	Bit1	bit0
AST7	AST6	AST5	AST4	AST3	AST2	AST1	AST0

図 6-6 アクセスステートコントロールレジスタ(ASTCR)の構成

表 6-28 ASTCR のビット機能

AST[7:0]	機能
0	2 ステートアクセス空間に設定します。
1	3 ステートアクセス空間に設定します。

初期値は FF で全エリア 3 ステートアクセスに設定されます。HT1030 を 16MHz システムクロックで使用する場合は、3 ステートアクセスでご使用ください。8MHz で使用する場合は、2 ステートアクセスも設定可能です。

6.7.2 BCR

バスコントロールレジスタはアイドルサイクルの挿入許可 / 禁止、エリア分割単位の選択、/WAIT 入力の許可禁止を設定するレジスタです。アイドルサイクルについては H8/3067 ハードウェアマニュアル 6.9 章をご参照ください。図 6-7 に BCR の構成を、表 6-29 に各ビットの機能を示します。詳細は H8/3067 ハードウェアマニュアル 6.2.5 項をご参照ください。

bit7	Bit6	Bit5	bit4	bit3	bit2	Bit1	bit0
ICIS1	ICIS0	BROME	BRSTS1	BRSTS0	-	RDEA	WAITE

図 6-7 バスコントロールレジスタ(BCR)の構成

表 6-29 BCR のビット機能

ビット	機能
ICIS1	異なるエリアの外部バスサイクル間にアイドルサイクルを挿入するかしないかを選択します。0:挿入しない 1:挿入する(初期値)
ICIS0	外部リードサイクルと外部ライトサイクルが連続する場合、バスサイクル間にアイドルサイクルを挿入するかしないかを選択します。0:挿入しない 1:挿入する(初期値)
BROME	エリア 0 をバースト ROM インターフェースとするかどうかを選択します。0:基本バスインターフェース(初期値) 1:バースト ROM インターフェース
BRSTS1	バースト ROM インターフェースのバーストサイクル数 0:2 ステート(初期値) 1:3 ステート
BRSTS0	バーストアクセスワード数を選択します。0:4 ワード(初期値) 1:8 ワード
RDEA	エリア分割単位を選択します。 0: エリア分割不均一(H8/3067 ハードウェアマニュアル 6.3.1 項をご参照ください。) 1:エリア分割は 2MB となります。
WAITE	/WAIT 端子によるウェイト入力の許可禁止を選択します。 0:禁止(初期値) 1:許可

初期値は C6 ですが、/WAIT 入力(CN1 IOCHRDY 入力)を使用する場合は、C7 を設定してください。外部接続回路およびオプションメモリソケットを使用しない場合は、ICIS0/ICIS1 を 0 に設定してアクセスサイクルを早めることが可能です。外部接続回路およびオプションメモリソケットを使用する場合、増設される各デバイスのデータバス出力イネーブル・ディスエーブル時間を考慮してアイドルサイクルが不要かどうか検討することができますが、通常はデフォルトのまま 1 を設定することをお勧めします。

6.7.3 DIVCR

分周比コントロールレジスタはシステムクロック用分周器の分周比を選択するレジスタです。分周器については H8/3067 ハードウェアマニュアル 19.5 節をご参照ください。図 6-8 に DIVCR の構成を、表 6-30 に各ビットの機能を示します。

Bit7	Bit6	Bit5	bit4	bit3	bit2	Bit1	Bit0
-	-	-	-	-	-	DIV1	DIV0

図 6-8 分周比コントロールレジスタ(DIVCR)の構成

表 6-30 DIVCR のビット機能

ビット	ビット	機能
0	0	1/1(初期値)
0	1	1/2
1	0	1/4
1	1	1/8

初期値は FC で、HT1030 では 16MHz システムクロックとなっています。CN1 に接続する拡張ボードがこのシステムクロックに対応していない場合や、消費電流を下げて使用したい場合は、設定比をかえて使用することができます。

6.7.4 IER

IRQ イネーブルレジスタは、IRQ5～IRQ0の割り込み許可/禁止を制御するレジスタです。図 6-9に IER の構成を、表 6-31に各ビットの機能を示します。詳細は H8/3067 ハードウェアマニュアル 5.2.4 項をご参照ください。

bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	bit0
-	-	IRQ5E	IRQ4E	IRQ3E	IRQ2E	IRQ1E	IRQ0E

図 6-9 IRQ イネーブルレジスタ(IEE)の構成

表 6-31 IER のビット機能

IRQxE	機能
0	対応する IRQ の割り込みを禁止します。(初期値)
1	対応する IRQ の割り込みを許可します。

このレジスタの初期値は 00 で、すべての割り込みは禁止されています。

6.7.5 IPRA

インタラプトプライオリティレジスタ A は、各割り込み要求のプライオリティレベルを設定するレジスタです。図 6-10に IPRA の構成を、表 6-32に各ビットの機能を示します。詳細は H8/3067 ハードウェアマニュアル 5.2.2 項をご参照ください。

bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	bit0
IPRA7	IPRA6	IPRA5	IPRA4	IPRA3	IPRA2	IPRA1	IPRA0

図 6-10 インタラプトプライオリティレジスタ(IPRA)の構成

表 6-32 IPRA のビット機能

IPRAx	機能
IPRA7	0: IRQ0 割り込み要求プライオリティレベルを 0 にします。(初期値) 1: IRQ0 割り込み要求プライオリティレベルを 1 にします。
IPRA6	0: IRQ1 割り込み要求プライオリティレベルを 0 にします。(初期値) 1: IRQ1 割り込み要求プライオリティレベルを 1 にします。
IPRA5	0: IRQ2/3 割り込み要求プライオリティレベルを 0 にします。(初期値) 1: IRQ2/3 割り込み要求プライオリティレベルを 1 にします。
IPRA4	0: IRQ4/5 割り込み要求プライオリティレベルを 0 にします。(初期値) 1: IRQ4/5 割り込み要求プライオリティレベルを 1 にします。
IPRA3	0: WDT,DRAM I/F, A/D 割り込み要求プライオリティレベルを 0 にします。(初期値) 1: WDT,DRAM I/F, A/D 割り込み要求プライオリティレベルを 1 にします。
IPRA2	0: 16bit タイマ CH0 割り込み要求プライオリティレベルを 0 にします。(初期値) 1: 16bit タイマ CH0 割り込み要求プライオリティレベルを 1 にします。
IPRA1	0: 16bit タイマ CH1 割り込み要求プライオリティレベルを 0 にします。(初期値) 1: 16bit タイマ CH1 割り込み要求プライオリティレベルを 1 にします。
IPRA0	0: 16bit タイマ CH2 割り込み要求プライオリティレベルを 0 にします。(初期値) 1: 16bit タイマ CH2 割り込み要求プライオリティレベルを 1 にします。

このレジスタの初期値は 00 で、すべての割り込みのプライオリティレベルは 0 になっています。

6.7.6 ISCR

IRQ センスコントロールレジスタは、IRQ5 ~ IRQ0 の割り込み入力レベルセンスまたは立下りエッジを選択するレジスタです。図 6-11 に ISCR の構成を、表 6-33 に各ビットの機能を示します。詳細は H8/3067 ハードウェアマニュアル 5.2.5 項をご参照ください。

Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	bit0
-	-	IRQ5SC	IRQ4SC	IRQ3SC	IRQ2SC	IRQ1SC	IRQ0SC

図 6-11 IRQ センスコントロールレジスタ(ISCR)の構成

表 6-33 ISCR のビット機能

IRQXSC	機能
0	対応する IRQ の Low レベルで割り込み要求を発生します。(初期値)
1	対応する IRQ の立下りエッジで割り込み要求を発生します。

このレジスタの初期値は 00 で、すべての割り込みは Low レベル割り込みに設定されています。

6.7.7 ISR

IRQ ステータスレジスタは、IRQ5 ~ IRQ0 の割り込み要求ステータスを読み出すレジスタです。このレジスタへの書き込みにより、ステータスを 0 クリアすることができます。図 6-12 に ISR の構成を、表 6-34 に各ビットの機能を示します。詳細は H8/3067 ハードウェアマニュアル 5.2.3 項をご参照ください。

Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	bit0
-	-	IRQ5F	IRQ4F	IRQ3F	IRQ2F	IRQ1F	IRQ0F

図 6-12 IRQ ステータスレジスタ(ISR)の構成

表 6-34 ISR のビット機能

IRQxF	機能
0	IRQnF=1 の状態でこのレジスタを読み出し、IRQnF に 0 を書き込みすると該当するビットは 0 クリアされます。 レベル割り込みが設定されているとき、対応する割り込み入力が高レベルで割り込み例外処理を実行したとき 0 クリアされます。 エッジ割り込みが設定されているとき、対応する割り込み例外処理を実行すると 0 クリアされます。
1	外部割り込み発生条件が成立したとき 1 にセットされます。

このレジスタの初期値は 00 です。

6.7.8 P1DDR

ポート 1 データディレクションレジスタは、ポート 1 各端子の入出力をビット単位に指定するレジスタです。図 6-13 に P1DDR の構成を、表 6-35 に各ビットの機能を示します。詳細は H8/3067 ハードウェアマニュアル 8.2.2 項をご参

照ください。ポート 1[7:0]はアドレス A[7:0]と兼用されており、このレジスタで機能を選択します。

Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	bit0
P1 ₇ DDR	P1 ₆ DDR	P1 ₅ DDR	P1 ₄ DDR	P1 ₃ DDR	P1 ₂ DDR	P1 ₁ DDR	P1 ₀ DDR

図 6-13 ポート 1 データディレクションレジスタ(P1DDR)の構成

表 6-35 P1DDR のビット機能

P1xDDR	機能
0	対応するポート 1 の端子は入力ポートとなります。
1	モード 5 では、対応する端子をアドレス出力に設定します。モード 7 では出力ポートとなります。

H8/3067 動作モード 3 では初期値は FF で、ポート 1 はアドレス出力として機能します。モード 3 ではこのレジスタ設定値を変更できません。モード 5 では初期値が 00 ですので、(外部バスを使用できるよう)FF を設定してください。モード 7 で使用する場合は、アドレス出力機能は使用できません。設定に応じて対応する端子が入力または出力ポートとなります。

6.7.9 P2DDR

ポート 2 データディレクションレジスタは、ポート 2 各端子の入出力をビット単位に指定するレジスタです。図 6-14に P2DDR の構成を、表 6-36に各ビットの機能を示します。詳細は H8/3067 ハードウェアマニュアル 8.3.2 項をご参照ください。ポート 2[7:0]はアドレス A[15:8]と兼用されており、このレジスタで機能を選択します。

Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	bit0
P2 ₇ DDR	P2 ₆ DDR	P2 ₅ DDR	P2 ₄ DDR	P2 ₃ DDR	P2 ₂ DDR	P2 ₁ DDR	P2 ₀ DDR

図 6-14 ポート 2 データディレクションレジスタ(P2DDR)の構成

表 6-36 P2DDR のビット機能

P2xDDR	機能
0	対応するポート 2 の端子は入力になります。
1	モード 5 では、対応する端子をアドレス出力に設定します。モード 7 では出力ポートとなります。

H8/3067 動作モード 3 では初期値は FF で、ポート 2 はアドレス出力として機能します。モード 3 ではこのレジスタ設定値を変更できません。モード 5 では初期値が 00 ですので、(外部バスを使用できるよう)FF を設定してください。モード 7 で使用する場合は、アドレス出力機能は使用できません。設定に応じて対応する端子が入力または出力ポートとなります。

6.7.10 P5DDR

ポート 5 データディレクションレジスタは、ポート 5 各端子の入出力をビット単位に指定するレジスタです。図 6-15に P5DDR の構成を、表 6-37に各ビットの機能を示します。詳細は H8/3067 ハードウェアマニュアル 8.6.2 項をご参

照くください。ポート 5[3:0]はアドレス A[19:16]と兼用されており、このレジスタで機能を選択します。

Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	bit0
-	-	-	-	P5 ₃ DDR	P5 ₂ DDR	P5 ₁ DDR	P5 ₀ DDR

図 6-15 ポート 5 データディレクションレジスタ(P5DDR)の構成

表 6-37 P5DDR のビット機能

P5xDDR	機能
0	対応するポート 5 の端子は入力になります。
1	モード 5 では、対応する端子をアドレス出力に設定します。モード 7 では出力ポートとなります。

H8/3067 動作モード 3 では初期値は FF で、ポート 5 はアドレス出力として機能します。モード 3 ではこのレジスタ設定値を変更できません。モード 5 では初期値が F0 ですので、(外部バスを使用できるように)FF を設定してください。モード 7 で使用する場合は、アドレス出力機能は使用できません。設定に応じて対応する端子が入力または出力ポートとなります。

6.7.11 P8DDR

ポート 8 データディレクションレジスタは、ポート 8 各端子の入出力をビット単位に指定するレジスタです。図 6-16に P8DDR の構成を、表 6-38に各ビットの機能を示します。詳細は H8/3067 ハードウェアマニュアル 8.9.2 項をご参照ください。ポート 8[4:1]は/CS[0:3]と兼用されており、このレジスタで機能を選択します。

Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	bit0
-	-	-	P8 ₄ DDR	P8 ₃ DDR	P8 ₂ DDR	P8 ₁ DDR	P8 ₀ DDR

図 6-16 ポート 8 データディレクションレジスタ(P8DDR)の構成

表 6-38 P8DDR のビット機能

P8xDDR	機能
0	対応するポート 8 の端子は入力ポートとなります。
1	モード 3/5 では、対応する端子を/CS 出力に設定します。モード 7 では出力ポートとなります。 ポートと/CS の対応 P8 ₄ /CS0 P8 ₃ /CS1 P8 ₂ /CS2 P8 ₁ /CS3

H8/3067 動作モード 3 での初期値は F0(/CS0 のみ有効)、モード 5 では初期値が E0 ですので、FE を設定して/CS[3:0]を有効にしてください。モード 7 では、設定に応じて対応する端子が入力または出力ポートとなります。

6.7.12 SYSCR

システムコントロールレジスタは、ソフトウェアスタンバイモード制御、CCR の UI ビット機能、NMI エッジ選択、H8/3067 内蔵 SRAM の有効/無効選択を

行うレジスタです。図 6-17に SYSCR の構成を、表 6-39に各ビットの機能を示します。詳細は H8/3067 ハードウェアマニュアル 3.3 節をご参照ください。

Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	bit0
SSBY	STS2	STS1	STS0	UE	NMIEG	SSOE	RAME

図 6-17 システムコントロールレジスタ(SYSCR)の構成

表 6-39 SYSCR のビット機能

ビット	機能
SSBY	0:SLEEP 命令実行でスリープモードに遷移(初期値) 1: SLEEP 命令実行でソフトウェアスタンバイモードへ遷移
STS[2:0]	スタンバイ解除の際の、内部クロック安定までの待機時間を選択します。 STS2 STS1 STS0 待機時間 0 0 0 8192 ステート(初期値) 0 0 1 16384 ステート 0 1 0 32768 ステート 0 1 1 65536 ステート 1 0 0 131072 ステート 1 0 1 262144 ステート 1 1 0 1024 ステート
UE	0:CCR の UI ビットを割り込みマスクビットとして使用 1:CCR の UI ビットをユーザービットとして使用(初期値)
NMIEG	0:NMI 端子の立下りエッジで割り込み要求を発生(初期値) 1:NMI 端子の立上がりエッジで割り込み要求を発生
SSOE	0:ソフトウェアスタンバイ時アドレス、バスコントロール信号は Hi-Z(初期値) 1:ソフトウェアスタンバイ時アドレス保持、バスコントロール信号は H
RAME	0:内蔵 RAM 無効 1:内蔵 RAM 有効(初期値)

SYSCR の初期値は 09 です。

6.7.13 WCRL

ウェイトコントロールレジスタは、各エリアのプログラムウェイト数を設定するレジスタです。図 6-18に WCRL の構成を、表 6-40に各ビットの機能を示します。詳細は H8/3067 ハードウェアマニュアル 6.2.3 項をご参照ください。

bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	bit0
W31	W30	W21	W20	W11	W10	W01	W00

図 6-18 ウェイトコントロールレジスタ(WCRL)の構成

表 6-40 WCRL のビット機能

Wx1	Wx0	機能
0	0	ウェイトを挿入しない
0	1	1 ステートウェイト
1	0	2 ステートウェイト
1	1	3 ステートウェイト(初期値)

W31,W30 はエリア 3、W21,W20 はエリア 2、W11,W10 はエリア 1、W01,W00 はエリア 0 のウェイト数を設定します。ウェイト挿入機能はアクセスステート数が 3 ステートの場合(ASTCR の該当ビットが 1 の場合)にのみ有効です。初期値は FF で、全エリア 3 ウェイトの挿入となりますので、必要に応じて設定を変更してください。この設定は外部接続されるデバイスにのみ有効で、H8/3067 内蔵の I/O アクセスサイクル数は常に固定です。外部バスやオプション

ソメモリソケットに増設可能なデバイスのアクセスタイムは、このレジスタおよび ASTCR、DIVCR の設定によって変わります。詳細は表 6-45をご参照ください。

6.8 外部割り込み

H8/3067 には IRQ0~5 と、NMI が外部割り込みとして用意されていますが、HT1030 では、このうち IRQ0,IRQ4,IRQ5 と NMI を CN1 に接続して PC/104 バスの拡張ボードがこれらの割り込みを使用できるようにしています。

表 6-41に H8/3067 の割り込み要因と、ベクタ番号、CN1 の端子名称等の関係を示します。

表 6-41 H8/3067 の割り込み要因とベクタナンバー

割り込み要因	CN1 端子	ベクタ番号	ベクタアドレス	IPR	優先順位
NMI	/IOCHCHK	7	001C ~ 001F	-	高
IRQ0	IRQ7	12	0030 ~ 0033	IPRA7	
IRQ4	IRQ4	16	0040 ~ 0043	IPRA4	
IRQ5	IRQ5	17	0044 ~ 0047	IPRA4	低

6.9 カレンダー時計増設

HT1030 にはカレンダー時計(RTC)として EPSON の RTC62421 または 63421 が CN6 に搭載可能です。デバイスの使用方法およびプログラミングの詳細については、EPSON 発行のリアルタイムクロックモジュール RTC-63421/63421M/63423 アプリケーションマニュアルまたは RTC-62421/63421 アプリケーションマニュアルをご参照ください。RT63421 と RTC62421 の機能上の主な相違点は、RTC63421 にはアラーム機能がある点です。CN6 に増設されたカレンダー時計は、バックアップ回路によって計時内容が保持されます。

6.10 ROM インサーキットデバッグ接続

ROM インサーキットデバッグを接続する場合は、4Mbit ROM 相当のプロープを使用してください。CN5 に 32 ピン ROM ソケットを取付け、JP8~11 にジャンパポストとショートソケットを取付けるか、直接ジャンパワイヤを取付けてください。また、NMI、RESET、GND のプロープはそれぞれ TP1、TP2、TP3 にテストピンを取付けて接続してください。動作に必要なジャンパの設定を表 6-42に示します。

表 6-42 ROM インサーキットデバッグ使用時のジャンパ設定

設定項目	設定内容
動作モード 3	JP1:1-2 JP2:2-3 JP4:2-3(旧基板の場合は 1-2)
オプションメモリソケット CS	JP15:CS0
SRAM CS	JP3:CS2
オプションメモリソケット 4MbitROM	JP6:1-2 JP8~11:2-3

6.11 バスタイミング

HT1030 のバスアクセスタイミングを図 6-19に、そのタイミング規定を表 6-43に示します。

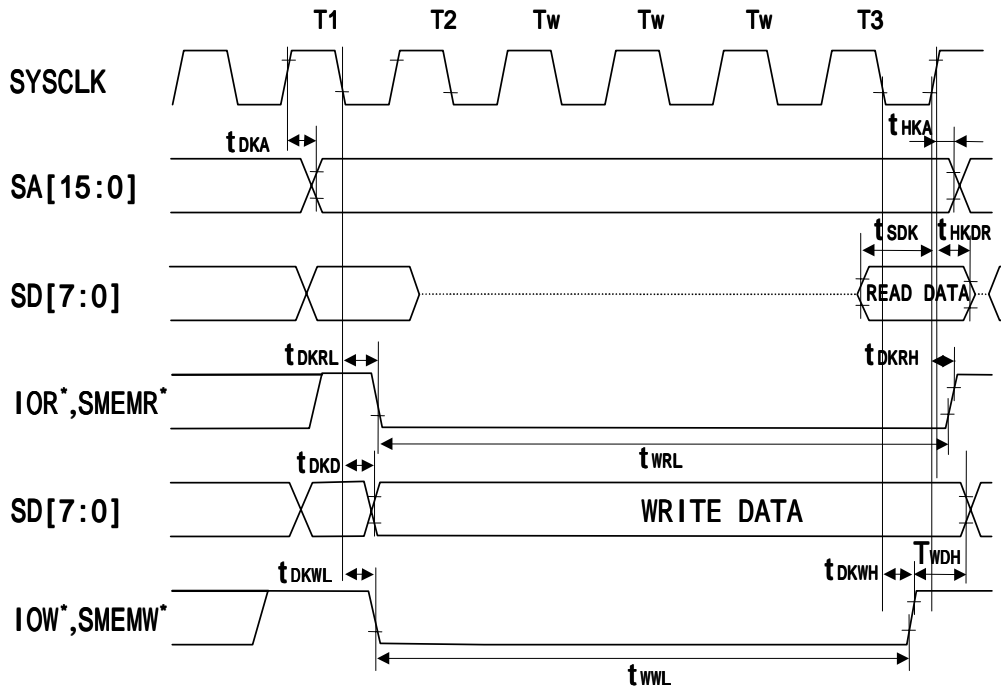


図 6-19 I/O,メモリアクセスタイミング

表 6-43 アクセスタイミング規定

記号	項目	min.	typ.	Max.
t _{CY}	SYSCLK 周期		62.5/125	
t _{DKA}	SYSCLK ~ アドレス遅延			25
t _{HKA}	アドレス保持	0		
t _{SDK}	データ入力セットアップ	25		
t _{HKDR}	データ入力保持	0		
t _{DKRL}	SYSCLK ~ IOR* 遅延	0		34.5
t _{DKRH}	SYSCLK ~ IOR* 遅延	0		34.5
t _{WRL}	IORD*ローレベル幅		(1.5+t _{w1})t _{cy}	
t _{DKD}	SYSCLK ~ データ出力遅延			35
t _{WDH}	データ出力保持	0.5t _{cy} -24.5		
t _{DKWL}	SYSCLK ~ IOW* 遅延	0		34.5
t _{DKWH}	SYSCLK ~ IOW* 遅延	0		34.5
t _{WWL}	IOWR*ローレベル幅			(0.5+t _{w2})t _{cy} -25

CL=90pF(IOR,IOW,SMEMR,SMEMW は 50pF), 動作温度範囲内, 単位 ns
t_{w1},t_{w2} はアクセスステート、ウェイト数によって下記の値を使用してください。

表 6-44 t_{w1},t_{w2}

アクセスステート・ウェイト	t _{w1}	t _{w2}
2 アクセスステート	0	0.5
3 アクセスステート、0 ウェイト	1	1
3 アクセスステート、1 ウェイト	2	2
3 アクセスステート、2 ウェイト	3	3
3 アクセスステート、3 ウェイト	4	4

6.12 バックアップ

HT1030 に搭載されている SRAM(128KB)、およびオプションのカレンダー時計(RTC)、オプションメモリソケットに増設した SRAM はボード上の 0.1F 電気二重層コンデンサでバックアップすることができます。標準で搭載されている 128KB SRAM のみであれば、常温で約 2 日程度バックアップすることができます。オプションメモリソケットの SRAM をバックアップしたり、カレンダー時計をバックアップする場合は、バックアップ時間は短くなります。

さらに長期間のバックアップが必要な場合は、ボード上にタブ端子付きのコイン型リチウム電池を実装するか、外部電池を CN4 から接続してください。コイン型リチウム電池を搭載する場合は、極性に注意してください。ボード上に正極側が + 印で示されています。

バックアップ電池には通常のマンガン・アルカリ乾電池やリチウム 1 次電池、ニッケルカドミウム電池等が使用できます。ニッケルカドミウム電池の場合は、基板上にトリクル充電用の抵抗を実装するスペース(R7)が用意されていますので、電池の仕様にあわせた適切な抵抗を取り付けることができます。

なお、HT1030 に搭載されている SRAM および搭載可能なカレンダー時計(オプション)のデータ保持最低電圧は 2.0V(Min.)です。

6.13 オプションメモリソケット

HT1030 では標準搭載のメモリのほか、DIP32 ピンまでのメモリを基板上に搭載するためのスペース(オプションメモリソケット、ただしソケットは未実装)が用意されています。なおこのソケットを使用する場合は JP6、JP8~11、JP15(JP6 以外は部品未実装)をデバイスタイプに応じて設定する必要があります。設定については 6.3.1、6.3.2 項をご参照ください。

6.13.1 使用可能なメモリのアクセスタイム

搭載可能なメモリのアクセスタイムは、システムクロックやアクセスステート、ウェイト数の設定に依存します。表 6-45 をご参照ください。

表 6-45 オプションメモリソケット搭載デバイスアクセスタイム

SYSCLK	2 state access	3 state access			
		No wait	1 wait	2 wait	3 wait
8MHz	150ns	250ns	400ns	540ns	670ns
16MHz	40ns	100ns	150ns	200ns	250ns

6.13.2 SRAM を使用する場合の注意点

特に注意点はありますが、JP6 をバックアップ有の設定にした場合は、電気二重層コンデンサでバックアップされるため、オンボードの SRAM のみをバックアップする場合に比べてデータ保持時間が短くなりますのでご注意ください。

6.13.3 256kbitEPROM を使用する場合

256kbitEPROM を使用する場合、ROM の VPP 端子に A15 が接続されます。256kbitEPROM はこの端子を H として使用する必要がありますので、アクセスに使用するアドレスは A15 が 1 となるようにしてください。

たとえば、オプションメモリソケットを/CS3 で選択している場合、600000 ~ 7FFFFFF でアクセスすることができますが、600000 ~ 607FFF でこのメモリをアクセスすると A15 が L となるため、608000 ~ 60FFFF でアクセスして A15 が H となる範囲で使用します。

6.13.4 1MbitEPROM を使用する場合

1Mbit の EPROM の/PGM 端子に A18 が接続されます。通常 1MbitEPROM はこの端子を H として使用することになっていますので、アクセスに使用するアドレスを A18 が 1 となるようにしてください。

たとえば、オプションメモリソケットを/CS3 で選択している場合、600000 ~ 7FFFFFF でアクセスすることができますが、600000 ~ 61FFFF でこのメモリをアクセスすると A18 が L となるため、640000 ~ 65FFFF でアクセスして A18 が H となる範囲で使用します。

6.13.5 256kbitEEPROM を使用する場合

HN58C256 を使用する場合は、デバイスの A14 端子にアドレス A15 が接続されます。このため、データプロテクションのシーケンスに使われるアドレスが変わりますのでご注意ください。たとえば、デバイスの 5555 番地をアクセスする場合は CPU からアクセスするアドレスが 9555 になります。

6.13.6 1MbitEEPROM を使用する場合

HN58C1001 を使用する場合は、デバイスに接続される A14、A15 が入れ替わる接続となります。このため、データプロテクションのシーケンスに使われるアドレスが変わりますのでご注意ください。たとえば、アドレス 5555 は 9555 に、AAAA は 6AAA になります。

6.14 RM4 ~ 7

RM4 ~ 7 は、ポート端子のプルアップ・プルダウンを HT1030 ボード上で行うためのシングルインライン 8 素子抵抗モジュールを取り付けするスペースです。各スペースは 10 極となっており、そのうちの 9 極を使用して抵抗を取り付けすると、プルアップまたはプルダウンすることができます。印のある 1 ピン側が VCC ですので、1 ピン側に集合抵抗のコモンをあわせて取り付ければプルアップ、10 ピン側は GND ですから、このピンに集合抵抗のコモンをあわせて取り付ければプルダウンとなります。

表 6-46 RM とプルアップ・プルダウンされるポート

抵抗	ポート
RM4	P4
RM5	PB
RM6	PA
RM7	P7

6.15 旧基板との相違点

この節では、HT1030 の旧基板と現行基板の相違点について説明します。現行基板製品を旧基板製品の代替に使用する場合、お客様がご設計になりました HT1030 の周辺回路等を変更する必要はなく、旧基板製品とまったく同様にご使用いただくことができますが、JP4 の設定が異なりますのでご注意ください。

6.15.1 JP12, 13, 24

旧基板では DIP スイッチが使用されていましたが、新基板では JP12, 13 はチップ抵抗、JP24 はジャンパソケットとなりました。図 6-20をご参照ください。

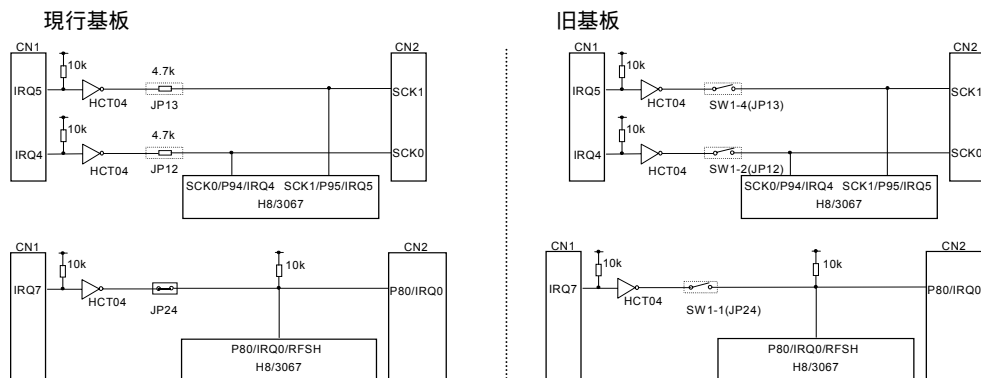


図 6-20 現行基板と旧基板の JP12, 13, 24

6.15.2 モード設定

H8 の動作モードは JP1, 2, 4 を使用し、表 6-47 のように設定します。JP4 の設定が旧基板と現行基板では異なりますのでご注意ください。なお現行基板では JP4 のジャンパソケットを取り外すと SW1 によるブートモード切替が禁止され、誤ってブートモードに設定されることを防止できます。

表 6-47 H8/3067 動作モード設定(旧基板、現行基板の対比)

基板	旧基板			現行基板		
	JP1	JP2	JP4	JP1	JP2	JP4
モード 3	1-2	2-3	1-2	1-2	2-3	2-3
モード 5	2-3	1-2	1-2	2-3	1-2	2-3
モード 7	1-2	1-2	1-2	1-2	1-2	2-3
ブートモード(モード5)	2-3	2-3	2-3	任意	任意	1-2

6.15.3 ブートモード設定

旧基板には SW1 がなく、JP1,JP2 および JP4 をすべて 2-3 に設定してブートモード(フラッシュメモリの書換モード)を設定します。同時に JP5 を 1-2 に設定する必要があります。

現行基板では JP4 が 2-3 に設定されている場合、SW1 のみでブートモードに切替することができます。JP4 を 1-2 に設定すると SW1 の設定状態にかかわらず、常にブートモードとなります。また JP4 のジャンパソケットを取り外すと、SW1 によるブートモード設定が無効となります。なお SW1 の追加にともない、JP1,2,4,14 と CN7 の位置が旧基板より CN1 方向に 2.54mm 移動しました。また旧基板でブートモード設定に必要なだった JP5 の切替は不要になりました。

6.15.4 その他

RTC のバックアップ回路が変更となっていますが、使用方法は従来通りです。

7 ソフトウェア

本章では、HT1030 を使用するために必要となる設定項目と、設定例を説明しています。各レジスタの機能については、本マニュアル 6 章の説明および H8/3067 ハードウェアマニュアルをご参照ください。

7.1 システムクロックの設定

初期状態では、システムクロックは 16MHz となります。次のような場合には、システムクロックを 1/2, 1/4, 1/8 に設定して使用することができます。

- オプションメモリソケットに増設するメモリのアクセスタイムが遅い場合
- 消費電流を低くするため、システムクロックを下げたい場合
- CN1 から増設する回路の SYSCLK が 16MHz では動作しない場合

設定レジスタ

- DIVCR (システムクロック分周比設定)

設定例

システムクロックを 8MHz に設定する場合

```
DIVCR    .EQU    #H'FEE01B
          MOV.B   #H'01,R0L
          MOV.B   R0L,@DIVCR
```

7.2 アドレス出力

H8/3067 のモード 5 では、アドレスバス出力ピンが初期状態でポート入力となるため、ボード上の SRAM や CN1 拡張バス、オプションメモリソケット、カレンダー時計を使用する場合には、出力となるように設定する必要があります。

設定レジスタ

- P1DDR (アドレス A7 ~ A0 を出力にする設定)
- P2DDR (アドレス A15 ~ A8 を出力にする設定)
- P5DDR (アドレス A19 ~ A16 を出力にする設定)

設定例

A19 ~ A0 を有効にする場合

```
P1DDR    .EQU    #H'FEE000
P2DDR    .EQU    #H'FEE001
P5DDR    .EQU    #H'FEE004
          MOV.B   #H'FF,R0L
          MOV.B   R0L,@P1DDR
          MOV.B   R0L,@P2DDR
          MOV.B   R0L,@P5DDR
```

7.3 アクセスステート数とウェイト数

H8/3067 のバス接続で拡張されるデバイスは、アドレス範囲によって 8つのエリアに分かれており、各エリアに対して アクセスステート数とウェイト数を設定することができます。初期値は 3 ステートアクセス・3 ウェイトに設定されていますので、そのまま使用しても支障ありませんが、必要に応じてアクセスサイクルを短くすることが可能です。デバイス毎に設定可能な範囲がありますので、詳しくは 7.5 節からの説明をご参照ください。なお、アクセスステートを 2 ステートに設定したエリアでは、WCRL による追加のウェイト数設定は無視され、ウェイトは挿入されませんのでご注意ください。

設定レジスタ

- WCRL (エリア 0~3 のウェイト数を設定する)
- ASTCR(アクセスステート数の設定)

設定例 1

エリア 2 を 3 ステートアクセスとし、ウェイトをいれない場合

```
ASTCR   .EQU      #H'FEE021
WCRL    .EQU      #H'FEE023
        MOV.B     #B,11111111,R0L ;全エリア 3 ステートアクセス
        MOV.B     R0L,@ASTCR
        MOV.B     #B'11001111,R0L
        MOV.B     R0L,@WCRL
```

設定例 2

エリア 3 のアクセスを 2 ステートアクセスにする場合

```
ASTCR   .EQU      #H'FEE021
        MOV.B     #B'11111011,R0L
        MOV.B     R0L,@ASTCR
```

7.4 /CS 出力設定

HT1030 に搭載されているデバイスの選択や、CN1 に出力される制御信号の発生には H8/3067 の/CS 出力機能を使用しています。H8/3067 の初期値のままでは、/CSx 端子がポート入力となっているため、/CSx 出力となるように設定する必要があります。

設定レジスタ

- P8DDR (/CS0 ~ /CS3 を有効にする設定)

設定例

/CS0 ~ /CS3 を有効にする場合

```
P8DDR   .EQU      #H'FEE007
        MOV.B     #B'11111110,R0L
        MOV.B     R0L,@P8DDR
```

7.5 IOCHRDY 有効・無効の設定

IOCHRDY は、バスサイクルの延長入力(H8/3067 の/WAIT)です。H8/3067 の初期値はこの機能が無効となっていますので、必要に応じて有効に設定してください。

設定レジスタ

- BCR (/WAIT 入力の有効・無効設定)

設定例

IOCHRDY を有効にする場合

```
BCR     .EQU      #H'FEE024
        MOV.B     #B'11000111,R0L
        MOV.B     R0L,@BCR
```

7.6 SRAM(128KB)を使用するための設定

ボード上の 128KB SRAM は、初期状態では/CS2 で選択されるようにジャンパ設定されていますが、/CS2 端子は初期状態で P82 ポート入力となるため、/CS2 出力となるよう P8DDR を設定する必要があります。ポート 8 には/CS0 から/CS3 までのメモリ選択出力が割り当てられていますので、通常これらの端子をすべて/CS 出力となるよう設定します。

この SRAM は、システムクロックが 16MHz の場合 3 ステートアクセス、ノーウェイトか、それよりも遅いタイミングでご使用ください。システムクロックが 8MHz の場合は、2 ステートアクセスでのアクセスが可能です。

設定が必要な関連するレジスタは次の通りです。

- P1DDR (アドレス A7 ~ A0 を出力にする設定)
- P2DDR (アドレス A15 ~ A8 を出力にする設定)
- P5DDR (アドレス A19 ~ A16 を出力にする設定)
- P8DDR (/CS を有効にする)
- ASTCR(アクセスステート数の設定)
- DIVCR (システムクロックを 8MHz にする必要がある場合)

7.7 CN1 拡張バスを使用するための設定

CN1 拡張バスを使用する場合は、以下の H8/3067 内蔵レジスタを設定する必要があります。

- P1DDR (アドレス A7 ~ A0 を出力にする設定)
- P2DDR (アドレス A15 ~ A8 を出力にする設定)
- P5DDR (アドレス A19 ~ A16 を出力にする設定)
- P8DDR (/CS1 を出力にする設定、/IOR,/IOW,/MEMR,/MEMW 出力に必要)
- DIVCR (システムクロックを 8MHz にする必要がある場合)
- WCRL (ウェイトサイクルの挿入)
- ASTCR (アクセスステート数の選択)

PC/104 バスの拡張モジュールにはシステムクロックとして 8MHz が必要なものがありますので、接続するボードの仕様を充分ご確認ください。また、PC/104 の I/O アクセスタイミング規定に一番近いタイミングとするためには、システムクロックを 8MHz としたうえで、エリア 1 について 3 ステートアクセス、3 ウェイト挿入を設定する必要があります。なお、オプションで増設可能なカレンダー時計も同じエリア 1 にマッピングされるため、レジスタ設定内容は RTC のアクセスにも適用されます。

7.8 オプションメモリを使用するための設定

オプションメモリソケットは、JP15 によりエリア 0/2/3 で選択することができます。いずれの/CS 端子も初期状態でポート入力となるため、/CS 出力となるよう P8DDR を設定する必要があります。ポート 8 には/CS0 から/CS3 までのメモリ選択出力が割り当てられていますので、通常これらの端子をすべて/CS 出力となるよう設定します。オプションメモリソケットに搭載するデバイスに応じて、アクセスステート数やウェイト数を適切に設定してください。(表 6-45をご参照ください。)

設定が必要な関連するレジスタは次の通りです。

- P1DDR (アドレス A7 ~ A0 を出力にする設定)
- P2DDR (アドレス A15 ~ A8 を出力にする設定)

- P5DDR (アドレス A19 ~ A16 を出力にする設定)
- P8DDR (/CS を有効にする)
- ASTCR(アクセスステート数の設定)
- DIVCR (システムクロックを 8MHz にする必要がある場合)

7.9 RTC を使用するための設定

RTC を使用する場合は、以下の H8/3067 内蔵レジスタを設定する必要があります。

- P1DDR (アドレス A7 ~ A0 を出力にする設定)
- P2DDR (アドレス A15 ~ A8 を出力にする設定)
- P5DDR (アドレス A19 ~ A16 を出力にする設定)
- P8DDR (/CS1 を出力にする設定、/IOR,/IOW,/MEMR,/MEMW 出力に必要)
- DIVCR (システムクロックを 8MHz にする必要がある場合)
- WCRL (ウェイトサイクルの挿入)
- ASTCR (アクセスステート数の選択)

RTC は、CN1 を通して接続される拡張モジュールの I/O・メモリと同じエリア 1 にマッピングされるため、CN1 に接続する拡張モジュールがある場合は、レジスタへの設定値はこれらの拡張モジュールの動作タイミングを考慮して決定する必要があります。CN1 に拡張モジュールを接続しない場合は、RTC のタイミングを考慮して、3 ステートアクセス、ノーウェイトまたはこれよりも遅いタイミングを設定してください。

7.10 Yellow IDE/Yellow Scope を使用する

有限会社イエローソフト(<http://www.yellowsoft.com/>)では H8 のソフトウェア開発に便利な C コンパイラ(Yellow C)やリモートデバッガ(Yellow Scope)を販売しています。HT1030 用のローダやスタートアップルーチンもあらかじめ用意されていますので、HT1030 を使った開発にも適しています。

なお、イエローソフトより提供されているローダーおよびデバッガ用スタートアップルーチンでは HT1030 の PC/104 バスが有効になるように設定されておりませんので、PC/104 バスを使用して他の I/O モジュールを接続する場合は下記変更を行ってください。

7.10.1 ローダープログラム

YellowIDE からプログラムを RAM に転送して実行するためのローダープログラムは、デフォルトで c:\¥YellowIDE6¥Loader¥梅澤無線¥HT1030 に C1.asm としてインストールされています。追加・修正が必要な箇所は下記網がけ部分です。

```

;=====
;
;          !!!!!場合によって修正必須!!!!!!
;      イエローソフトの CPU ボード以外を使用される場合は修正
;      が必要です。
;
;      外部メモリの設定
;      下記の例はエリア 1 にバス幅 8 ビットの RAM が接続されている場合の例です
;=====
;アドレスバス   ポート

```



```

P1DDREQU      H'FEE000
P2DDREQU      H'FEE001
P5DDREQU      H'FEE004
P8DDREQU      H'FEE007
ASTCREQU      H'FEE021
;バスコントローラ
ABWCR         EQU      H'FEE020
ASTCREQU      H'FEE021
WCRH EQU      H'FEE022
WCRL EQU      H'FEE023
BCR           EQU      H'FEE024

```

```

IF ((DEFD __YIDE_ROM__) || (DEFD __YIDE_ROM_DEBUG__));<- ROM 化と ROM デバッグ時のみ
必要

```

```

;<<変更 >>

```

```

;外部メモリの設定
;ポート 1、 2、 5 を出力に設定することにより
;アドレスバスとして機能させる
;外部メモリを使用しない場合はコメントにして下さい。
MOV.B #H'FF,R0L
MOV.B R0L,@P1DDR
MOV.B R0L,@P2DDR
MOV.B R0L,@P5DDR

```

```

;CS0/CS1/CS2 端子をチップセレクト端子として有効にする

```

```

MOV.B #H'FE,R0L
MOV.B R0L,@P8DDR

```

```

MOV.B #B'11111011,R0L
MOV.B R0L,@ASTCR ;2 ステートアクセスの場合、コメントははずす

```

```

;MOV.B @ABWCR,R0L
;AND.B #B'11111101,R0L
;MOV.B R0L,@ABWCR ;16 ビットバス幅の場合、コメントははずす。

```

```

MOV.B #B'11000111,R0L
MOV.B R0L,@BCR

```

```

ENDIF

```

```

;----- ユーザが変更するのはここまでです -----

```

7.10.2 スタートアッププログラム

YellowScope を使用する場合のスタートアッププログラムは、デフォルトで c:\¥YelloIDE6¥STARTUP¥梅澤無線¥HT1030 に Cs3067.asm としてインストールされています。追加・修正が必要な箇所は下記網がけ部分です。

```

;=====
;
;          !!!!!場合によって修正必須!!!!!!
;
;   イエローソフトの CPU ボード以外を使用される場合は修正
;   が必要です。
;
;
;   外部メモリの設定
;   下記の例はエリア 1 にバス幅 8 ビットの RAM が接続されている場合の例です
;=====
;アドレスバス   ポート
P1DDREQU      H'FEE000
P2DDREQU      H'FEE001
P5DDREQU      H'FEE004
P8DDREQU      H'FEE007
ASTCREQU      H'FEE021
;バスコントローラ
ABWCR         EQU      H'FEE020
ASTCREQU      H'FEE021
WCRH EQU      H'FEE022
WCRL EQU      H'FEE023
BCR           EQU      H'FEE024

```

```
IF ((DEFD __YIDE_ROM__) || (DEFD __YIDE_ROM_DEBUG__)) ;<- ROM 化と ROM デバッグ時のみ  
必要
```

```
;<<変更 >>
```

```
  ;外部メモリの設定  
  ;ポート 1、 2、 5 を出力に設定することにより  
  ;アドレスバスとして機能させる  
  ;外部メモリを使用しない場合はコメントにして下さい。  
  MOV.B   #H'FF,R0L  
  MOV.B   R0L,@P1DDR  
  MOV.B   R0L,@P2DDR  
  MOV.B   R0L,@P5DDR
```

```
  ;CS0/1/2/3 端子をチップセレクト端子として有効にする
```

```
  MOV.B   #H'FE,R0L  
  MOV.B   R0L,@P8DDR
```

```
  MOV.B   #B'11111011,R0L  
  MOV.B   R0L,@ASTCR  
  ;MOV.B   @ABWCR,R0L  
  ;AND.B   #B'11111101,R0L  
  ;MOV.B   R0L,@ABWCR
```

```
  ;2 ステートアクセスの場合、コメントははずす
```

```
  ;16 ビットバス幅の場合、コメントははずす。
```

```
  mov.b   #B'11000111,R0L  
  mov.b   R0L,@BCR
```

```
ENDIF
```

8 内蔵 FLASH メモリ書き込み

この章では、H8/3067 内蔵 FLASH メモリ書き込みに関連する事項をまとめてあります。なおフラッシュメモリ書き込み操作の概略は4.7節をご参照ください。

8.1 モードスイッチ・ジャンパ設定

モードスイッチ(SW1)を BOOT 側に倒します。JP4 の設定は任意ですが、どちらかにジャンパソケットが挿入されている必要があります。モードスイッチのない旧基板では JP1,JP2,JP4 を 2-3、JP5 を 1-2 に設定します。この状態で電源を投入すると、H8/3067 はブートモード(モード 5)で起動します。

8.2 書き込みソフトウェア

FLASH メモリ書き込みプログラムは Windows95/98/Me/2000/XP 用のアプリケーションです。配布されている TOOL.LZH を適当なディレクトリに解凍してください。インストーラやセットアッププログラムがありませんので、必要に応じてスタートメニューへの登録や、ショートカット作成を行ってください。FLASH メモリ書き込みプログラムは FLASHWR.EXE をダブルクリックする等の方法で実行することができます。

初めて使用する場合は、まず HT1030 との通信に使用する COM ポート番号を Settings-Port メニューから指定してください。次に File-Send メニューから書き込みするファイルを選択して Send ボタンを押してください。なお HT1030 の電源は、Send ボタンを押す前に投入しておく必要があります。

拡張子が MOT および S のファイルは、内容を S フォーマットのデータとして書き込みます。また拡張子が BIN のファイルは、ファイル内容をバイナリイメージとしてそのまま書き込みます。

8.3 出荷時の FLASH メモリ内容

HT1030 出荷時の H8/3067 内蔵フラッシュメモリには、S ファイルローダプログラム(S フォーマットのファイルを PC から HT1030 の RAM に転送するツール)が書き込みされています。このプログラムは FLASH メモリの内容を書き換えすると失われますが、上記 TOOL.LZH を解凍したときに作成される LOADER ディレクトリに S ファイルローダのバイナリイメージファイル SLOADER.BIN が用意されていますので、必要な場合はこのファイルを FLASH メモリに書き込みしてください。なおこのディレクトリには通信速度がデフォルトの 9600bps のイメージファイルのほか、19200bps、38400bps のイメージファイルも収録されています。

8.4 FLASH メモリ書き換え時の注意

FLASH メモリ内容書き換え中、/IOCHCHK(NMI)入力が完全に禁止されていないので、この入力が与えられると書き込みプログラムが暴走してしまいます。FLASH メモリ書き換え中には HT1030 に /IOCHCHK 入力が加えられないようご注意ください。

9 ハードウェア回路増設例

9.1 82C55 増設例

図 9-1に 82C55 (uPD71055) を HT1030 に接続する例を示します。

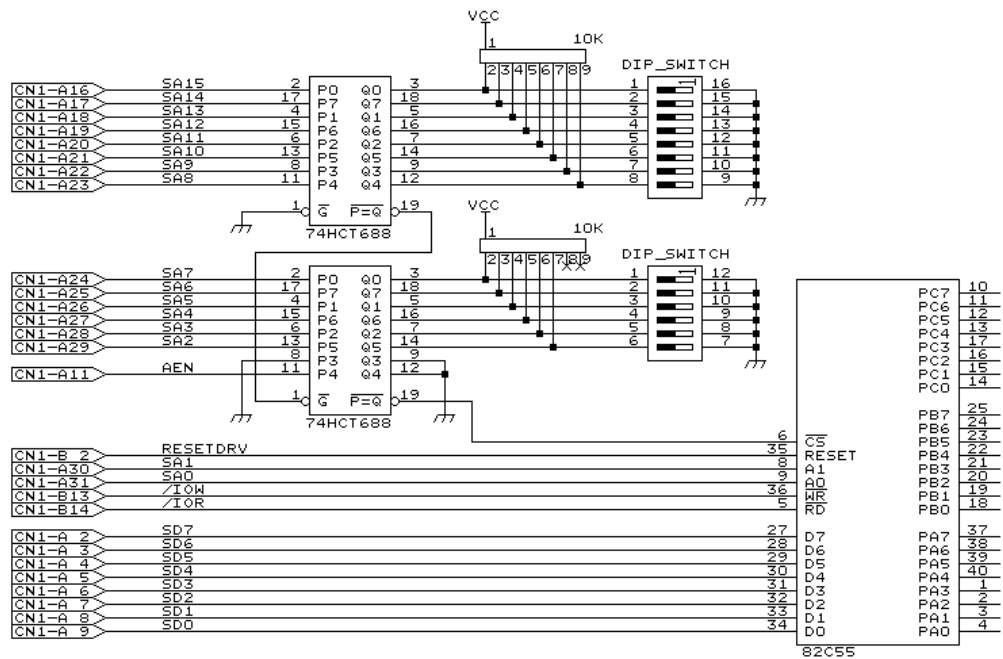


図 9-1 82C55 増設回路例

9.2 データバスバッファリング例

図 9-2にデータバスバッファの使用例を示します。本回路は 82C54 を接続する場合の参考例を兼ねています。

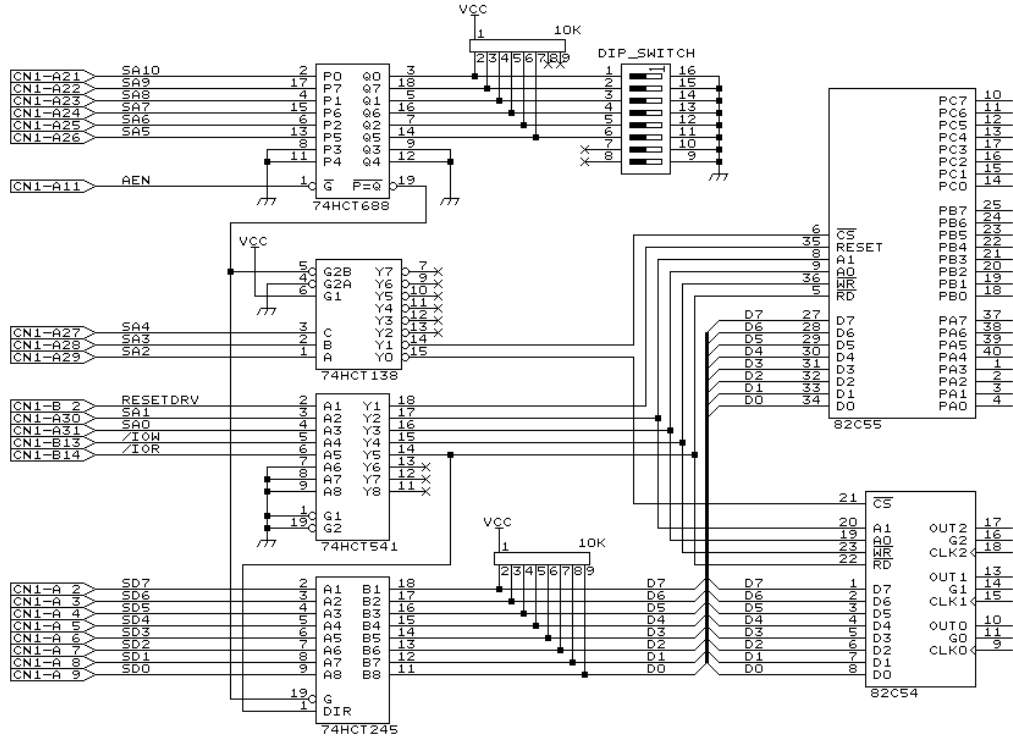


図 9-2 データバスバッファリング例

10 ICE 接続モデル

HT1030-U00 には H8 / 3067CPU がはんだ付けされているため、ICE 接続用に 100 ピン QFP ソケットを搭載したモデルを用意しています。なおこれらのモデルに CPU は付属しませんのでご注意ください。ICE メーカーによって採用しているプローブの適合ソケット製造メーカーが異なるため、2 タイプの ICE 接続用モデルがあります。ご使用になる ICE のプローブ仕様をご確認ください。

10.1 HT1030-SKA

ソケットに山一電機株式会社製 IC149-100-154-B5 を使用しています。このソケットに IC を搭載するためのカバーやネジは添付されています。HT1030-SKA に適合する ICE の例を表 10-1 に示します。なお各社製品仕様等が変更となっている場合もありますので、ご購入前に必ずマニュアルやメーカーにお問い合わせのうえプローブオプションや適合ソケットについて充分ご確認ください。

表 10-1 HT1030-SKA 適合インサーキットエミュレータ

メーカー	型式	プローブ
(株)ルネサステクノロジ	E7000 エミュレータ H8/300H	HS3067ECH61H
(株)日立超 LSI システムズ	MY-ICE H8/300H	MS3069UB5Q100
(株)コンピューテックス	Mr ICE H8/3067	ADP3048-100PB-EX

10.2 HT1030-SKB

ソケットに東京エレテック株式会社製 NQPACK100SD を使用しています。このソケットに IC を搭載する場合は、HQPACK100SD が別途必要となりますのでご注意ください。なお製品仕様等が変更となっている場合もありますので、ご購入前に必ずマニュアルやメーカーにお問い合わせのうえプローブオプションや適合ソケットについて充分ご確認ください。

表 10-2 HT1030-SKB 適合インサーキットエミュレータ

メーカー	型式	プローブ
(株)ソフィアシステムズ	HyperSTAC for H8/300H	YQPACK100SD

11 ユーティリティリファレンス

この章では、HT1030 に付属するユーティリティの使用方法を説明します。

11.1 S ファイルローダ

【説明】

ホストパソコンで作成した S フォーマットのオブジェクトファイルを RAM へ転送するためのツールです。簡単なメモリ、I/O のテストをするためのコマンド等が用意されています。

このプログラムは、バイナリイメージで提供されていますので、必要に応じて内蔵 FLASH メモリに書き込みご使用ください。(出荷時の内蔵 FLASH メモリには書き込まれています。)

FLASH メモリ上の割り込みベクタテーブルを RAM 上にあるテーブルにリダイレクトする機能がありますので、割り込みプログラムを RAM 上でテストすることもできます。

【使用メモリ】

ワークエリアとして、FFF000 ~ FFF2D5 までを使用します。また、スタックポインタは FFFF00 に初期化しています。

【シリアル通信条件】

9600bps, 8bit, No Parity, 1 stop bit, X 制御あり

ターミナルソフトウェアではローカルエコーなしに設定してください。

表 11-1 S ファイルローダのコマンド

コマンド名	機能
D/DB/DW/DL	メモリ内容をダンプ表示します。
E/EB/EW/EL	メモリ内容を変更します。
L	S フォーマットファイルをロードします。
I/IB/IW/IL	CN1 I/O 空間のポートを読み出し表示します。
O/OB/OW/OL	CN1 I/O 空間のポートヘデータ書き込みします。
G	指定アドレスへ実行制御を移します。
?	コマンド一覧表示

【数値データタイプ】

各コマンドの引数あるいは設定値として入力する数値には、次の 3 種類の表現を用いることができます。

・ 16 進数

通常、入力された数値は全て 16 進数として解釈されます。

また、数値の前に \$ をつけた場合も 16 進数として扱われます。

【例】 3FFC

\$2F

・ 10 進数

数値の前に#をつけた場合は、それに続く数値は 10 進数として扱われます。数値は正数のみ有効で、± 符号はつけることができません。

【例】 #25
#3500

・ 2 進数

数値の前に@をつけた場合は、それに続く数値は 2 進数として扱われます。

【例】 @10101111
@0100

【コマンド入力方法】

コマンド待ち状態になるとマイナス(-)をプロンプト記号として出力します。投入可能なコマンド名は表 11-1をご参照ください。引数を与える場合、コマンド名と引数、引数どうしは 1 つ以上のカンマ(,)あるいは空白で区切ります。これ以外のもの(セミコロンやタブ等)は区切り符号として使用できません。ただし、コマンド名と第一引数は区切らずに入力可能ですが、コマンド名が優先的に検出されるため注意が必要です。

送出文字は、バックスペースを送信することで 1 字ずつ訂正することができます。また、途中でその行をすべて取り消したい場合にはエスケープキーによって 1 行キャンセルすることができます。

コマンド入力および引数は大文字・小文字どちらでも受け付けられます。ただし、ダブルクォートで囲まれた文字列中では区別されています。

《注意》

複数個の引数が必要な場合、途中の引数を省略して後の引数のみを与えることはできませんのでご注意ください。

【コマンド記述に用いた表現】

以下の項には各コマンドについてその機能、引数等が説明されていますが、ここではその入力フォーマット説明中に用いている記法について説明します。

<引数>

不等号記号で囲まれた項目は、それがコマンドの引数であることを示します。実際にコマンドを投入する場合には<>をつける必要はありません。引数が数値である場合は、上述のデータタイプに従って解釈されます。

/ オプション

スラッシュ記号の後に続けて(区切り記号をいれずに)アルファベット 1 文字からなるオプション(B, C, D, H のいずれか)を与えます。これは、すべて省略可能となっています。

[省略可能な引数またはオプション]

大括弧で囲まれた中にある引き数またはオプションはそれが省略可能であることを示します。コマンド投入時には[]をつける必要はありません。

項目 1 | 項目 2

項目 1 または項目 2(さらに項目が並列に記述されている場合もあります)のどちらかを用いることを意味します。

11.1.1 D(メモリ内容表示)

【フォーマット】

- a) D | DB | DW | DL [/H | /B]
- b) D | DB | DW | DL <開始アドレス> [/H | /B]
- c) D | DB | DW | DL L <表示バイト数> [/H | /B]
- d) D | DB | DW | DL [<開始アドレス> <終了アドレス>] [/H | /B]
- e) D | DB | DW | DL [<開始アドレス> L <表示バイト数>] [/H | /B]

【機能】

メモリーの内容を様々な形式で表示します。

コマンド名の後に付加される文字(B/W/L)によって、表示データ単位が決まりません。コマンド名 D のみの場合は、直前に実行されたコマンドで使用された形式で表示されます。デフォルトはバイト型となっています。

a)のように表示範囲の指定を行なわなければ、前回の表示終了アドレスから、以前に指定された<表示バイト数>分表示します。デフォルトの<表示バイト数>は 128 バイトです。

b)のように<開始アドレス>のみ指定した場合は、以前に指定された<表示バイト数>分表示されます。

c)のように<開始アドレス>なしに L <表示バイト数>を与えると、前回の表示終了アドレスから<表示バイト数>分表示します。

表示範囲の指定方法には 2 種類あり、d)のように<開始アドレス>と<終了アドレス>を指定する方式の他、e)のように<開始アドレス>と<表示バイト数>を与える方法があります。/B は 2 進数表示、/H は 16 進数での表示を指定します。リセット後のデフォルトは 16 進表示となります。

表示中にエスケープキーを押すと表示を中止してコマンド入力に戻ります。それ以外のキーが押されると一行表示して休止し、再度何かのキーが押されると表示を再開します。

11.1.2 E(メモリ内容変更)

【フォーマット】

- a) E | EB | EW | EL [/H | /B]
- b) E | EB | EW | EL <開始アドレス> [/H | /B]
- c) E | EB | EW | EL <開始アドレス> <データリスト>

【機能】

メモリーの内容を変更するコマンドです。

コマンド名の後に付加される文字(E/W/L)によって、データを表示・変更する単位が決まります。コマンド名(E)のみの場合は、直前に実行されたコマンドで使用された型になります。デフォルトはバイト型です。

/B は 2 進数表示、/H は 16 進数での表示を指定します。デフォルトは 16 進表示です。

a)のようにアドレスを指定しない場合は、前回の E(EB/EW/EL)コマンドの最終アドレスが<開始アドレス>となります。

b)のように変更<開始アドレス>を指定すると、指定アドレスのデータを表示してデータ入力待ちとなります。ここで新たなデータを入力するとメモリ内容が更新され、次のアドレスについてデータの入力待ちとなります。

データの入力待ち状態で、複数個のデータをスペースまたはカンマで区切って一度に与えることができます。これらのデータは、現在のアドレスから連続してメモリに書き込まれます。

バイト型データが指定されている場合には、データ入力待ち状態でダブルクォート(")で囲んだ文字列を指定することができます。

データを変更せずに次のアドレスへ進むためには、改行のみを入力します。アドレスを 1 データ分前に戻すためには、マイナス(-)を入力して改行します。ピリオド(.)を入力して改行すると、コマンドを終了します。

c)のように開始アドレスの後にデータをカンマまたはスペースで区切って与えると、データの表示を行わずに直接メモリに書き込みを行いません。バイト型が指定されている場合はデータリスト中にダブルクォートで囲まれた文字列を与えることもできます。

《注意》

1. データリスト中に不正なデータがあった場合、それ以前のデータはメモリに書き込まれますが、不正なデータ以降のデータは書き込みが中止されます。
2. メモリのない空間や FLASH メモリ上への書き込みはチェックしていません。
3. 指定アドレスがワークエリア内かどうかチェックしていませんので、ワークエリアを破壊しないようご注意ください。

11.1.3 I(ポート入力)

【フォーマット】

I | IB|IW|IL <ポートアドレス> [/C]

【機能】

入力ポートからデータを読み込み、表示します。/C オプションがつけられている場合は、何かキーが押されるまで繰り返しポートからの読み込み・表示を行います。この機能は、ハードウェアのデバッグ時に便利です。

IW の場合は連続する 2 バイト、IL の場合は 4 バイトを読み出し表示します。H8/3067 では I/O はすべてメモリ空間に割り当てられています。このコマンドで指定するアドレスは 16 ビットで、CN1 に増設される PC/104 拡張モジュールの I/O アドレスです。実際に読み出し・表示されるアドレスは、H8/3067 の対応するメモリアドレスとなっています。

11.1.4 O(ポート出力)

【フォーマット】

O | OB|OW|OL <ポートアドレス> <出力データリスト> [/C]

【機能】

<ポートアドレス>で指定された出力ポートに、<出力データリスト>で与えられたデータを書き込みます。/C オプションがつけられている場合は、何かキーが

押されるまで繰り返し同一ポートへの出力を行いません。この機能は、ハードウェアのデバッグ時(特に増設した I/O デコード回路のテスト等)に便利です。<出力データリスト>中には、複数個のデータをスペースまたはカンマで区切って一度に与えることができます。/C オプションが指定されている場合は、これらのデータが繰り返し使用されます。

OW の場合は連続する 2 バイト、OL の場合は 4 バイトに書込みされます。H8/3067 では I/O はすべてメモリ空間に割り当てられています。このコマンドで指定するアドレスは 16 ビットで、CN1 に増設される PC/104 拡張ボードの I/O アドレスです。実際に書き込みされるアドレスは、H8/3067 の対応するメモリアドレスに変換されています。

11.1.5 G(実行)

【フォーマット】

G [<実行開始アドレス>]

【機能】

実行制御をユーザープログラムに移します。

<実行開始アドレス>が指定された場合はそのアドレスから、指定されないときは S フォーマットファイルロード時のエンドレコードで指定されたスタートアドレスに制御を移します。制御はサブルーチンコールの形で移されますので、プログラムから RTS によって S ファイルローダのコマンドプロンプトに制御を戻すことができます。

11.1.6 L(S フォーマットファイルロード)

【フォーマット】

L

【機能】

このコマンドを投入すると、これ以降入力されるデータをモトローラ S フォーマットであるものと解釈してそのデータをメモリー上に展開します。このコマンドを投入後、ホストマシンのテキストファイル送信機能を使用して、ロードしたいオブジェクトファイルを送信します。

エンドレコードを受信するか、空行(リターンのみ)を受信するとコマンド入力待ち状態に復帰します。エンドレコード中のアドレスフィールドで値が指定されている場合には、その値を G コマンドのスタートアドレスとして保持します。

《注意》

1. ファイルの受信中はエコーバックしません。
2. ファイルの最後にエンドレコードがない場合、あるいはエラーなどでエンドレコードが正常に検出されなかった場合等では L コマンドが終了しないため、ファイル送信終了後にキーボードから空行(リターンのみ)を送信し、コマンドプロンプトが出てから次のコマンドを投入してください。

11.1.7 割り込みプログラムの実行

H8/3067 では割り込みベクタアドレスは固定(000000 ~ 0000FF)で、S ファイルローダ動作中は FLASH メモリ上に存在するため、RAM 上にロードされたプログラムからこのベクタテーブルの内容を変更することはできません。

このため、RAM にロードされるアプリケーションから割り込みが利用できるよう、S ファイルローダではいったん FLASH メモリ上のベクタに制御が移った後 FFF000 ~ FFF0FF(H8/3067 内蔵 SRAM 上)に用意したベクタテーブル内のアドレスにリダイレクトする機能が用意されています。このテーブルは RAM 上に割り当てられていますので、アプリケーションで変更することが可能です。すでに FLASH メモリに固定することを考慮して作成されたプログラムを S ファイルローダを通して実行するためには、割り込みベクタテーブルの初期化部分で 000000 ~ 0000FF 番地の範囲が指定されている部分を FFF000 番地からに変更してください。(割り込みベクタテーブルをプログラムやデータとは別のセクションとして指定している場合は、リンカ指示で変更することができます。)

11.1.8 初期化内容

S ファイルローダは、H8/3067 のレジスタおよびスタックポインタを下記のように初期化しています。RAM 上にロードしてテストしたアプリケーションプログラムを ROM 化する際には、同様の初期化をアプリケーションプログラム内で行ってください。

```
STACK_BASE .equ      H'FFFF00
mov.l      #STACK_BASE,ER7;initialize Stack
mov.b      #H'C7,R0L      ;/WAIT active
mov.b      R0L,@BCR
mov.b      #H'FF,R0L      ;A0-A7 enable
mov.b      R0L,@P1DDR
mov.b      #H'FF,R0L      ;A8-A15 enable
mov.b      R0L,@P2DDR
mov.b      #H'FF,R0L      ;A16-A19 enable
mov.b      R0L,@P5DDR
mov.b      #H'1E,R0L      ;/CS0-3 enable
mov.b      R0L,@P8DDR
mov.b      #H'FF,R0L      ;3 state access cycle
mov.b      R0L,@ASTCR
mov.b      #H'00,R0L      ;0 wait
mov.b      R0L,@WCRL

mov.b      #H'00,R0L      ;Async, 8bit, No Parity, 1Stop bit, 1/1CLK
mov.b      R0L,@SMR1
mov.b      #51,R0L      ;Divisor for 9600bps
mov.b      R0L,@BRR1
mov.b      #B'00110000,R0L ;set TE/RE bit
mov.b      R0L,@SCR1
```

11.2 FLASHWR

H8/3067 内蔵フラッシュメモリ書き換えのユーティリティです。

【説明】

メニュー構成は次の通りです。

FILE – SEND

ファイルを選択して、SEND ボタンを押すと、書込みを開始します。

FILE – QUIT

プログラムを終了します。

SETTINGS – PORT

HT1030 との通信を行うポートを COM1 ~ COM4 から選択します。

ABOUT

バージョンを表示します。

【エラー】

- COMx Open Error!
指定された COM ポートが使用できません。存在しないポート番号を指定しているか、他のソフトウェアと競合している可能性があります。通信ソフトウェアを立ち上げている場合は、いったん終了してください。
- Handshake Error
- Handshake Timeout Error
HT1030 との通信に失敗しました。FLASH メモリ書き込みモードにするためのジャンパ設定が正しく設定されているか、HT1030 に正しく電源が接続されているかどうかを確認してください。
- Flash Programming Error
何らかの原因で FLASH メモリ書き込みに失敗しました。HT1030 の電源を再投入してやり直してみてください。なお、H8/3067 ハードウェアマニュアルによると、FLASH メモリ書き換え回数は 100 回となっていますので、これを大幅に越える場合は書込みができない可能性があります。

12 外形寸法图

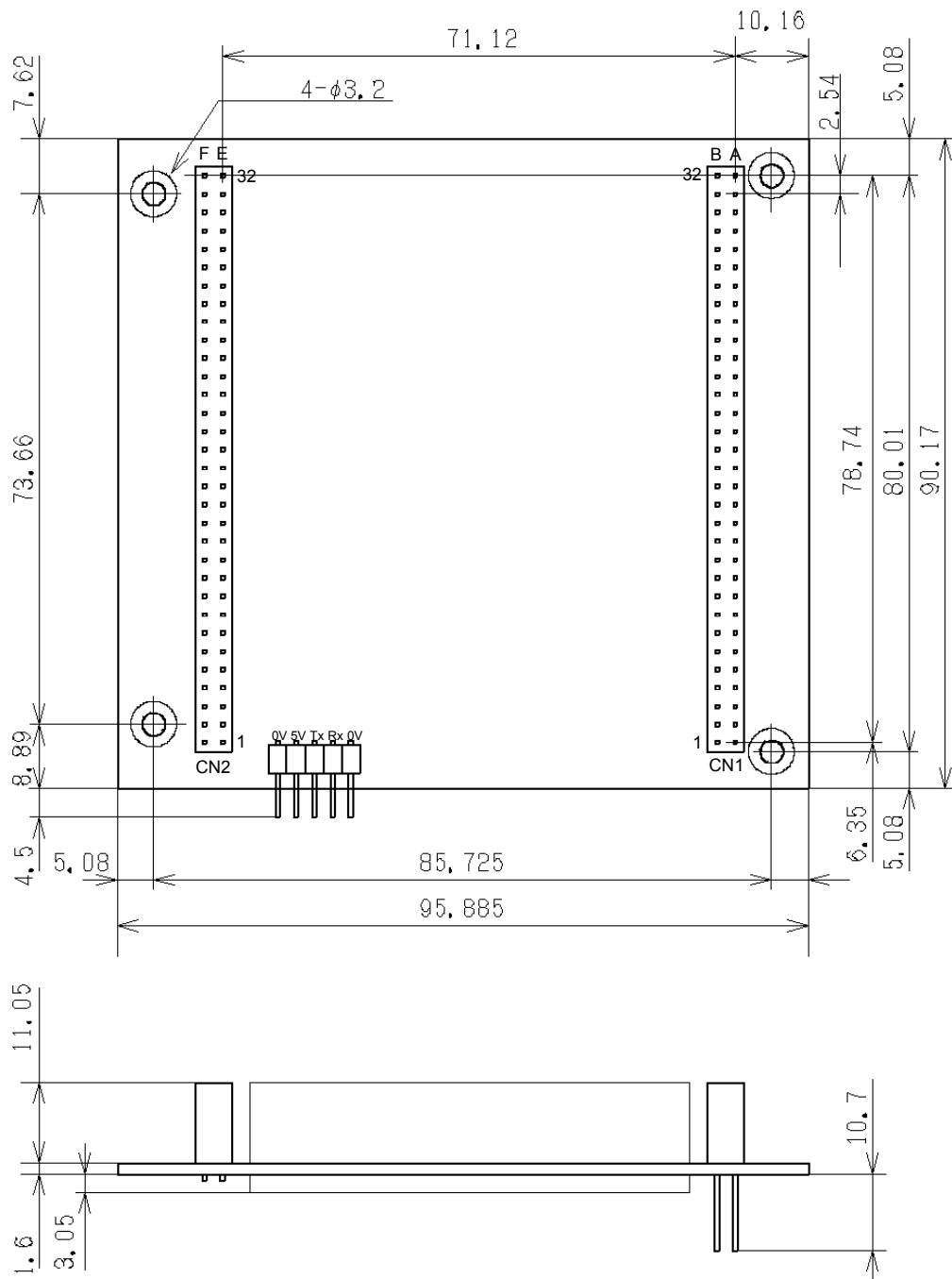


图 12-1 外形寸法图

HT1030 ユーザーズマニュアル 2007年10月20日 rev.1.2

梅澤無線電機株式会社

東京営業部

101-0044 東京都千代田区鍛冶町 2-3-14

TEL03-3256-4491 FAX03-3256-4494

仙台営業所

982-0012 仙台市太白区長町南 4 丁目 25-5

TEL022-304-3880 FAX022-304-3882

札幌営業所

060-0062 札幌市中央区南 2 条西 7 丁目

TEL011-251-2992 FAX011-281-2515

本製品・資料についての技術的なお問い合わせは技術推進部直通ダイヤル(TEL/FAX)へ



0 1 2 0 - 0 2 4 7 6 8
